

サブスレッショルドMOS LSIのための スイッチトキャパシタ型DC-DCコンバータ Switched-Capacitor DC-DC Voltage Converter for Subthreshold MOS LSIs

廣瀬 哲也 浅井 哲也 雨宮 好仁
北海道大学大学院情報科学研究科

Tetsuya HIROSE Tetsuya ASAI Yoshihito AMEMIYA
Department of Electrical Engineering, Hokkaido University

1 はじめに

近年の携帯電話、情報携帯端末の急速な発展により、新規情報環境社会、情報ネットワーク社会とも呼ばれる新しい社会基盤が構築されつつある。このような新規社会基盤の進展に向けて、極めて微小な電源エネルギーで動作する多種多様なスマートセンサLSIの開発が要求されている。この際の問題点は、電力供給にある。すなわち、これらのスマートセンサは超小型電池を電源とするか、あるいは周囲の自然環境から電力を取得するか、いずれにしても極めて限られた電力消費のもとで動作することが必要となる。

これまでCMOS LSIの消費電力は、スケーリング則とそれに伴う電源電圧の低減によって削減されてきた[1]。しかし、MOSFETの強反転領域動作を前提とした現行のシステム設計手法では、回路システムの消費電力を格段に削減することは困難である。ここでは、消費電力が数 μW 以下のスマートセンサLSIを実現するために、MOSFETをサブスレッショルド領域で動作させて極低消費電力化を実現することを考える。この場合には、CMOS回路をかなり低い電圧で動作させることになる。そのため、外部電源の電圧を効率よく低電圧に下げる必要がある。以下において、サブスレッショルドMOS LSIに低電圧を供給するためのDC-DC降圧コンバータについて述べる。

2 サブスレッショルド LSIのための電源回路

サブスレッショルド領域動作を前提としたスマートセンサLSIアーキテクチャを図1に示す。構成要素はセンサをはじめとして、AD変換器、プロセッサ

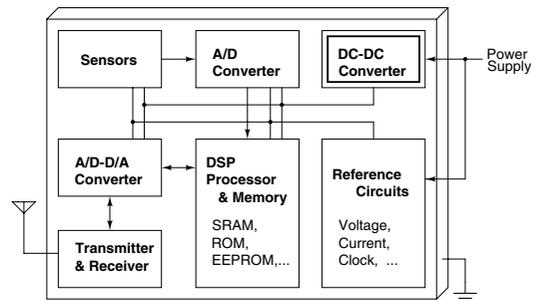


図1: サブスレッショルド領域動作を前提とした極低消費電力スマートセンサLSIアーキテクチャ。

ユニット、メモリ、リファレンス回路、電源回路等である。センサ素子のセンシング信号をAD変換し、CPU等のプロセッサによりデジタル信号処理を行ない、メモリに格納する。さらに、必要に応じて外部端末との間で、命令データ・蓄積データ等の送受信を行なう。全ての回路ブロックをサブスレッショルド領域で動作させることで、極低消費電力化を実現することができる。

サブスレッショルド領域動作を前提としたLSIでは、回路をかなり低い電圧で動作させる。とくに、プロセッサやメモリなどのデジタル回路は0.4~0.6Vの低電圧で動作させる必要がある。そのため、外部バッテリー電源の電圧をチップ内で低電圧に変換するDC-DCコンバータが必須となる。このDC-DCコンバータは、電力変換効率が重要となる。また、面積が小さくチップ内に実装できることが求められる。

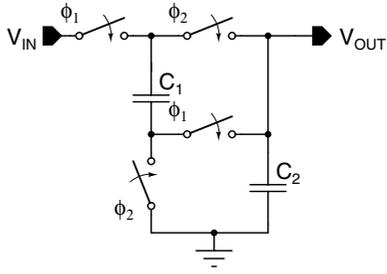


図 2: スイッチトキャパシタ (SC) 型 DC-DC コンバータ。2 相クロック (ϕ_1, ϕ_2) によりキャパシタ C_1, C_2 を直列・並列に繰り返し接続することにより入力電圧 V_{IN} の半分の電圧 $V_{OUT}(= V_{IN}/2)$ を出力する。

これまで、インダクタやキャパシタを用いた多くの DC-DC コンバータ回路が提案されている [2]–[4]。しかし、いずれも数 mW 以上の大きな電力を扱うものであり、数 μW 級の極低電力用途に対応できるものではない。また、従来のものは、チップ外に大きなインダクタとキャパシタを付加することを前提としている。そこで、本研究では、サブスレッショルド領域動作を前提とした極低電力用途に適した DC-DC コンバータ回路を設計し、その動作をシミュレーションにより解析する。設計にあたっては、外部付加の素子を必要としないように考慮した。

3 SC 型 DC-DC コンバータ

3.1 回路構成

図 2 にスイッチトキャパシタ (SC) 型 DC-DC コンバータを示す。この回路は、入力電圧 V_{IN} の半分の電圧 V_{OUT} を出力する。2 つのキャパシタ C_1, C_2 および 4 つのスイッチから構成されている。2 相クロック (ϕ_1, ϕ_2) により、 C_1 および C_2 のキャパシタの直列接続・並列接続を繰り返すことで入力電圧 V_{IN} の半分の電圧 $V_{OUT}(= V_{IN}/2)$ を出力する [5]。キャパシタ C_1, C_2 が直列接続された時の C_2 の電圧を V_{2n-1} 、並列接続された時の C_2 の電圧を V_{2n} とすると、電荷保存則により次式が成立する。

$$\begin{aligned} -C_1 V_{2n-2} + C_2 V_{2n-2} \\ = -C_1 (V_{IN} - V_{2n-1}) + C_2 V_{2n-1} \end{aligned} \quad (1)$$

$$\begin{aligned} C_1 (V_{IN} - V_{2n-1}) + C_2 V_{2n-1} \\ = C_1 V_{2n} + C_2 V_{2n} \end{aligned} \quad (2)$$

したがって、式 (1)、式 (2) により並列接続時の電圧 V_{2n} は、

$$V_{2n} = \left(\frac{C_1 - C_2}{C_1 + C_2} \right)^2 V_{2n-2} + \frac{2C_1 C_2}{(C_1 + C_2)^2} V_{IN} \quad (3)$$

となる。これより、キャパシタ C_2 の電圧 V_{2n} はクロックサイクル n に対して等比級数として表すことができる。ここで、キャパシタ C_2 の初期電圧を V_{20} とすると、式 (3) は

$$V_{2n} = \left(\frac{C_1 - C_2}{C_1 + C_2} \right)^{2n} \left(V_{20} - \frac{1}{2} V_{IN} \right) + \frac{1}{2} V_{IN} \quad (4)$$

となる。ここで、十分な回数のスイッチングを行なった場合 ($2n \rightarrow \infty$) の定常状態では、出力電圧 V_{2n} は

$$V_{2n}|_{2n \rightarrow \infty} \rightarrow \frac{1}{2} V_{IN} \quad (5)$$

に収束する。したがって、図 2 の回路構成により、出力電圧 V_{2n} はキャパシタサイズ、比率に依存せず、入力電圧の半分の値に収束することが分かる。

3.2 クロック生成回路

図 2 に示した SC 型 DC-DC コンバータは、2 相クロックを使用し、キャパシタを直列接続・並列接続を交互に繰り返すことで入力電圧 V_{IN} の半分の電圧 V_{OUT} を出力する。従来のクロック生成回路では、CMOS 回路に貫通電流があるため、サブスレッショルド領域動作を前提とした極低消費電力スマートセンサ LSI では使用できない。そこで、基本ゲート回路のインバータと NAND ゲートを流れる電流量を制限することで、消費電力を削減したクロック生成回路を設計した。

ゲート回路を流れる電流量を制御するためのバイアス回路を図 3 (A) に示す。nMOSFET および pMOSFET のカレントミラー接続によりバイアス電圧 V_P, V_N を生成する。図 3 (B), (C) に電流制御型のインバータ回路と NAND 回路を示す。バイアス回路により生成した電圧 V_P, V_N により電流量を制限する。

図 4 にリング発振器を示す。電流制御型インバータ回路を 7 段リング状に接続した構成とした。サブスレッショルドバイアス電流により貫通電流が小さく制限されているため、負荷を充放電する電流が小さく、発振波形の立ち上がり、立ち下がりがなだらかにする。従って、一段当たりの遅延時間が増大し発振周期

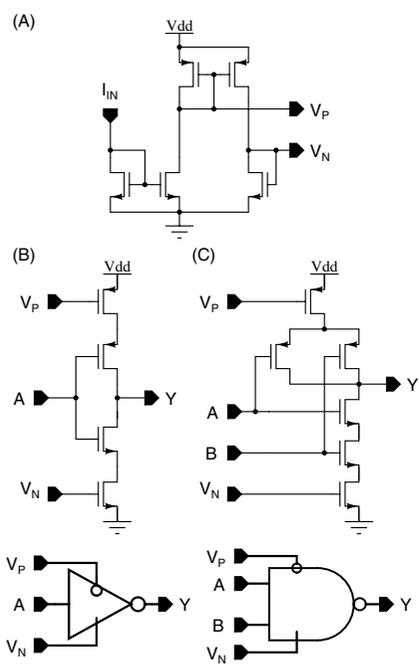


図 3: (A) 電流制御論理ゲート用に使用したバイアス回路, (B) 電流制御型インバータ回路 (下段; シンボル), (C) 電流制御型 NAND 回路 (下段; シンボル).

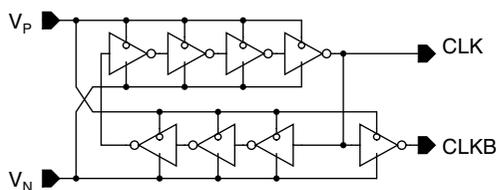


図 4: 電流制御型インバータ回路を 7 段接続したリング発振器.

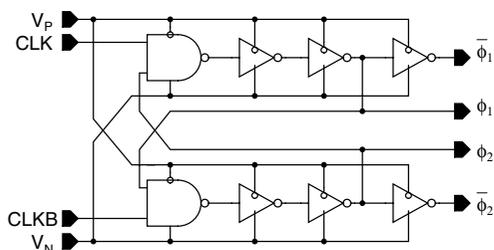


図 5: 電流制御型 NAND 回路および電流制御型インバータ回路を使用したノンオーバーラップ回路.

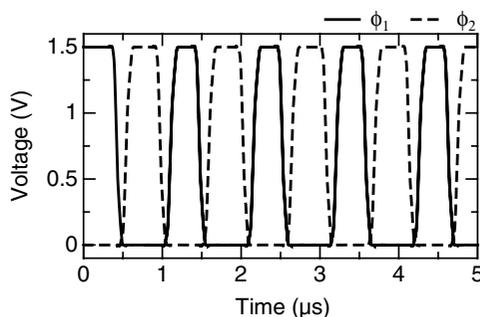


図 6: 2 相クロック (ϕ_1, ϕ_2) の発振波形.

数 f は遅くなるが, コンバータに使用するには支障はない.

SC 型 DC-DC コンバータでは, 2 相クロックによってスイッチを切替えるため, 直列接続および並列接続用のスイッチが同時に ON 状態とならないように設計する必要がある. そのためのノンオーバーラップ回路を図 5 に示す. 電流制御型の NAND 回路とインバータ回路を使用する. 遅延時間をインバータ 2 段により生成している. これにより, 直列接続および並列接続用スイッチが同時に ON 状態となることを回避する.

図 4 のリング発振器と図 5 のノンオーバーラップ回路を用いた 2 相クロックの発振波形を図 6 に示す. ここで電流制御用バイアス回路 (図 3 (A)) の入力電流 I_{IN} を 50 nA としている. サブスレッショルド電流により貫通電流が制限されているため, インバータ回路の遅延時間が大きくなり, 発振周波数は約 950 kHz となっている. ノンオーバーラップ回路により 2 相クロックが同時に ON 状態となることを回避できることが分かる.

3.3 負荷接続時における動作解析

負荷を接続した場合には, キャパシタに蓄えられた電荷は出力電流として消費される. 従って, 式 (1), (2) の電荷保存則は成立しなくなり, 容量値と負荷に応じて出力電圧は減少する. また, ノンオーバーラップ回路により 2 相クロックが同時に ON 状態となることを回避しているため, 遅延時間の影響で直列・並列接続を切替えるスイッチが全て OFF 状態となる期間が存在する. つまり, 図 6 の制御クロックにより構成された SC 型 DC-DC コンバータは 4 つの接続構

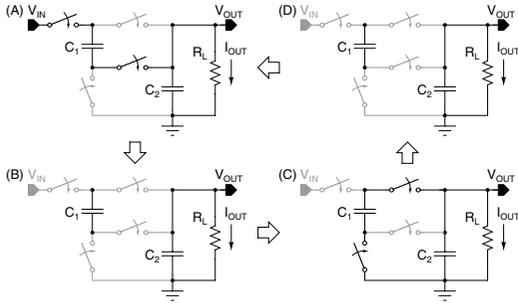


図 7: 2 相クロック (ϕ_1, ϕ_2) を用いた SC コンバータの接続構成。スイッチが切れて接続されていない配線を薄く表示している。

成をとる。この様子を図 7 に示す。クロック ϕ_1 が立ち上り、直列接続構成となり (図 7(A)), クロック ϕ_1 が立ち下がってスイッチを OFF する (図 7(B))。続いて、クロック ϕ_2 が立ち上って並列接続構成となり (図 7(C)), クロック ϕ_2 が立ち下がってスイッチを OFF する (図 7(D))。この 4 つの状態を繰り返す、定常状態となる。以下では、図 7 の 4 つの接続構成 ((A)~(D)) について動作解析を行なう。なお、簡単のため、キャパシタ容量 $C_1=C_2=C$ とし、スイッチ抵抗を R 、負荷抵抗を R_L として解析を行なう。

図 7(A) の直列接続時において、キャパシタ C_2 の電荷を Q_2 とすると次の微分方程式が成立する。

$$\frac{d^2 Q_2}{dt^2} + \frac{R + R_L}{R_L RC} \frac{dQ_2}{dt} + \frac{Q_2}{2R_L RC^2} = 0 \quad (6)$$

ここで、 $R_L \gg R$ とし、キャパシタ C_1, C_2 の初期電荷を $Q_{10,D}, Q_{20,D}$ (構成 (D) 終了時における C_1, C_2 の電荷量) とすると、微分方程式を解くことができ、 Q_2 は次式で表せる。

$$Q_2 = A_s \exp\left(-\frac{t}{RC}\right) + B_s \exp\left(-\frac{t}{2R_L C}\right) \quad (7)$$

$$A_s = -\frac{R_L(CV_{dd} - Q) - RQ_{20,D}}{2R_L - R} \quad (8)$$

$$B_s = \frac{2(R_L - R)Q_{20,D} + R_L(CV_{dd} - Q)}{2R_L - R} \quad (9)$$

$$Q = Q_{10,D} + Q_{20,D} \quad (10)$$

ここで、 $A_s < 0, B_s > 0$ である。従って、直列接続状態においては、キャパシタ C_2 に保持されている電荷は、初期電荷 $Q_{20,D}$ から時定数 RC で上昇し、時定数 $2R_L C$ で減少する。

同様に図 7(C) の並列接続時においても、式 (6) と同じ微分方程式が成立し、キャパシタ C_1, C_2 の初期電荷を $Q_{10,B}, Q_{20,B}$ (構成 (B) 終了時における C_1, C_2 の電荷量) とすると、 Q_2 は次式で表せる。

$$Q_2 = A_p \exp\left(-\frac{t}{RC}\right) + B_p \exp\left(-\frac{t}{2R_L C}\right) \quad (11)$$

$$A_p = -\frac{R_L \Delta Q - RQ_{20,B}}{2R_L - R} \quad (12)$$

$$B_p = \frac{2(R_L - R)Q_{20,B} + R_L \Delta Q}{2R_L - R} \quad (13)$$

$$\Delta Q = Q_{10,B} - Q_{20,B} \quad (14)$$

ここで、 $A_p < 0, B_p > 0$ である。従って、直列接続時と同様に、キャパシタ C_2 に保持されている電荷は、初期電荷 $Q_{20,B}$ から時定数 RC で上昇し、時定数 $2R_L C$ で減少する。

図 7(B)(or 図 7(D)) の直列・並列接続両方のスイッチが切れている場合には、 Q_2 は次式を満たす。

$$\frac{dQ_2}{dt} + \frac{Q_2}{R_L C} = 0 \quad (15)$$

この微分方程式より、キャパシタ C_2 の初期電荷を $Q_{20,A}$ (or $Q_{20,C}$) (構成 (A), (C) 終了時における C_2 の電荷量) とすると、 Q_2 は次式で与えられる。

$$Q_2 = Q_{20,i} \exp\left(-\frac{t}{R_L C}\right) \quad i = A \text{ or } C \quad (16)$$

これより、キャパシタ C_2 に保持されている電荷は、初期電荷 $Q_{20,A}$ (or $Q_{20,C}$) から時定数 $R_L C$ で減少する。

以上の解析により、出力電圧 V_{OUT} は直列接続時と並列接続時に時定数 RC で上昇し、時定数 $2R_L C$ で減少する。またスイッチが全て OFF の時には、 $R_L C$ の時定数で減少することが分かる。従って、電力変換効率 $\eta (= V_{OUT} I_{OUT} / V_{IN} I_{IN})$ を大きくするためには、直列接続時および並列接続時の上昇時定数 RC のオーダーの周波数でスイッチングする必要がある。

3.4 SC 型 DC-DC コンバータの構築

実際に使用したコンバータでは、図 2 の回路に逆位相の回路を付け加えた。これを図 8 に示す。図 2 の SC 型 DC-DC コンバータでは、クロック ϕ_1 でキャパシタ C_1 と C_2 を直列接続で充電し、またクロック ϕ_2 の並列接続で充電する。このとき式 (7)~(14) より、直列接続時および並列接続時における電位の立ち上りスピードが異なる。直列接続時には電源電圧に接続されるため立ち上りが早くなる。一方、

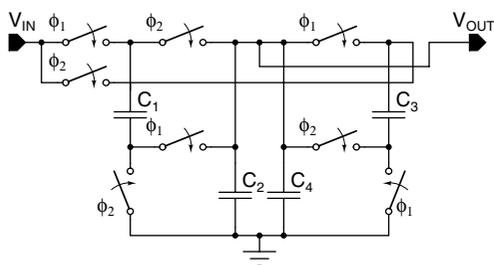


図 8: スイッチトキャパシタ型 DC-DC コンバータ.

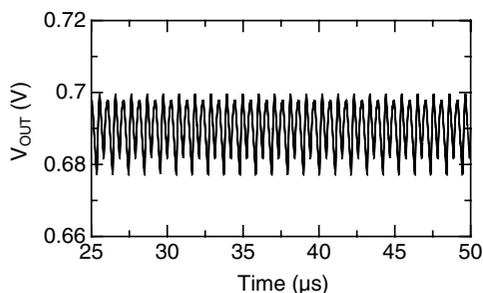


図 9: 出力電圧 V_{OUT} のシミュレーション結果.

並列接続時には、 C_1 と C_2 に保持された電荷の差に依存して C_2 が充電される為、立ち上りのスピードが遅くなる。図 8 では、クロック ϕ_1 で並列接続、クロック ϕ_2 で直列接続となる C_3 と C_4 からなる逆相ブロックを追加している。つまり、2 相クロック ϕ_1 , ϕ_2 の両方で電源電圧から充放電を行ない出力電力を供給する回路構成とした。

4 シミュレーション結果

図 8 の SC 型 DC-DC コンバータの動作を確認するために SPICE によるシミュレーションを行なった。使用したキャパシタを全て同一値 ($C_1 = C_2 = C_3 = C_4 = C$) とし、出力端子 V_{OUT} に接続する負荷抵抗を 20 ~ 300 k Ω の範囲で変えて異なる負荷電流に対する動作特性を調べた。ここでは、電源電圧 1.5 V を降圧している。使用したスイッチの ON 抵抗は約 3 k Ω である。図 9 にキャパシタ $C = 100$ pF、負荷抵抗 50 k Ω を接続した場合の出力電圧のシミュレーション波形を示す。平均出力電圧は 0.69 V であり、出力リップル電圧は 20 mV 以内である。図 10 に SC 型 DC-DC コンバータの電力変換効率の動作シミュレーション結果を示す。キャパシタ $C = 10$ pF および C

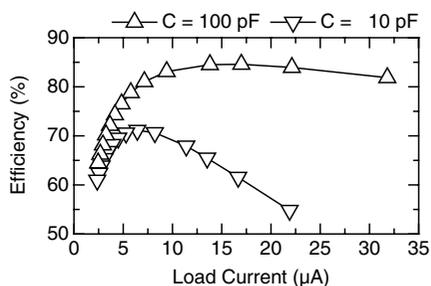


図 10: 電力変換効率のシミュレーション結果。(制御回路(バイアス回路、リング発振器、およびノンオーバーラップ回路)を含んだ全体の効率。)

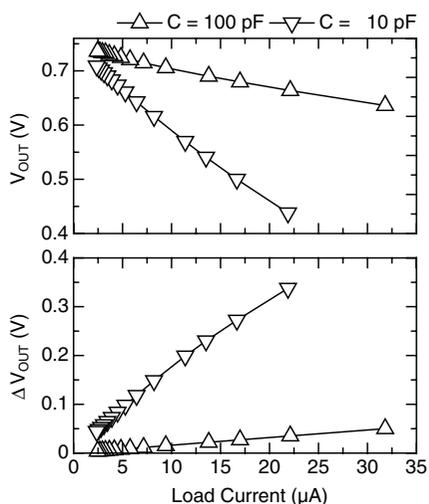


図 11: 出力電圧 V_{OUT} の出力リップル電圧 ΔV_{OUT} のシミュレーション結果.

= 100 pF の場合を示している。電力変換効率は、 $C = 100$ pF、負荷電流 17 μ A の時に最大値 85 % であった(制御回路を含んだ全体の値)。図 11 に出力電圧 V_{OUT} 、出力リップル電圧 ΔV_{OUT} のシミュレーション結果を示す。負荷電流が大きくなればなるほど出力電圧 V_{OUT} は減少し、また出力リップル電圧 ΔV_{OUT} は大きくなる。キャパシタの容量が大きいかほど出力電圧特性が改善されている。

実際の回路では、使用するキャパシタの容量 C に限界があるため、SC 型 DC-DC コンバータを多数配置することは出来ない。そこで、図 12 に示す通り、チップ内に配置するコンバータを限定する。そして、

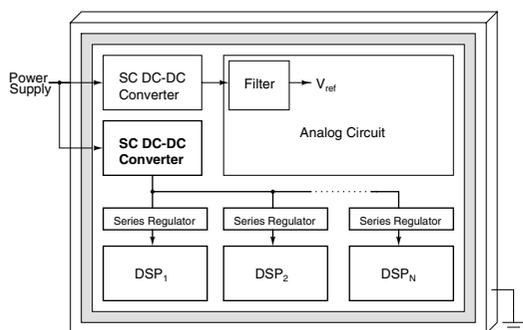


図 12: 電力供給方法. SC 型 DC-DC コンバータを用いて電源を分圧し, 各デジタル回路ブロックにおいてシリーズレギュレータを使用して整流する. 図の灰色部分にキャパシタを配置することで大容量を確保する.

各種デジタル回路ブロック (DSPs) に, シリーズレギュレータを介して微調整を行なった電源電圧を供給する. コンバータに使用する容量は, 図 12 に示す通りチップ外周に配置することで大容量を確保することが可能である.

5 まとめ

μW 級の極低電力用途に適したスイッチトキャパシタ型 DC-DC コンバータの提案を行なった. キャパシタサイズ, キャパシタ比率に依存しないスイッチトキャパシタ DC-DC コンバータを採用し, 負荷電流に対する動作特性をシミュレーションにより確認した. 電力変換効率は, キャパシタ $C=100\text{ pF}$, 負荷電流 $17\text{ }\mu\text{A}$ の時に最大値 85% であった. クロック周波数の最適化によりさらなる効率の改善が可能である.

謝辞

本研究は東京大学大規模集積システム設計教育センターを通し, 日本ケイデンス株式会社の協力で行なわれたものである.

参考文献

- [1] E.S. Sinencio, and A. Andreou, “Low-Voltage / Low-Power Integrated Circuits and Systems”, *IEEE Press.*, 1999.
- [2] A.J. Stratakos, S.R. Sanders, and R.W. Brodersen, “A Low-Voltage CMOS DC-DC Converter for a Portable Battery-Operated System”, *IEEE Power Electronics Specialists Conference*, pp. 619-626, Jun., 1994.
- [3] S. Sakiyama, J. Kajiwara, M. Kinoshita, K. Satomi, K. Ohtani, A. Matsuzawa, “An On-Chip, High-Efficiency and Low-Noise DC/DC Converter Using Divided Switches with Current Control Technique”, *IEEE ISSCC Dig. Tech. Papers*, pp.156-157, Feb., 1999.
- [4] T. Ogawa, S. Hatanaka, and K. Taniguchi, “An On-Chip High-Efficiency DC-DC Converter with a Compact Timing Edge Control Circuit”, *IEEE VLSI Circuits Dig. Tech. Papers*, pp.278-279, Jun., 2002.
- [5] K. Yamada, N. Fujii, and S. Takagi, “Capacitance Value Free Switched Capacitor DC-DC Voltage Converter Realizing Arbitrary Rational Conversion Ratio” *IEICE Trans. Fundamentals*, Vol.E87-A, No.2, pp.344-349, Feb., 2004