

# サブスレッショルド MOS 特性を利用した PTAT 電流生成のための微小フローティング電圧源回路 Floating reference voltage circuit for PTAT current generation using subthreshold MOS characteristics

上野 憲一

廣瀬 哲也

浅井 哲也

雨宮 好仁

北海道大学 大学院 情報科学研究科

Ken Ueno

Tetsuya Hirose

Tetsuya Asai

Yoshihito Amemiya

Department of Electrical Engineering, Hokkaido University

## 1 はじめに

ユビキタスネットワーク社会の到来に伴い、それを支えるセンサデバイスの開拓が不可欠となっている。これらのセンサデバイスは、我々の周りの様々な情報をセンシングし、これまでにない新しい情報社会基盤を実現すると期待されている。このような社会基盤を実現するためには、極めて限られたエネルギー源のもとで各種のセンシングを行なうスマートセンサ LSI を開発することが必須である。したがって、これらのセンサは超小型電池を電源とするか、あるいは周囲の環境エネルギーから電力を取得するか、いずれにしても極めて限られた電力消費のもとで長時間動作しなければならない。

消費電力が数  $\mu\text{W}$  以下のスマートセンサ LSI を実現する一つの手法として、MOSFET をサブスレッショルド領域で動作させる手法がある。MOSFET のサブスレッショルド特性は、そのドレイン電流は数十 nA オーダの微小電流であり、極低消費電力化を実現できる。

このようなスマートセンサ LSI のアプリケーションの一例として、先に温度センサ LSI を提案した [1]。これは、MOSFET のサブスレッショルド特性を利用することで、絶対温度に比例した PTAT (Proportional To Absolute Temperature) 電流を生成し、これを温度センサとして使用した。しかし、このセンサ回路では温度係数の小さなオフチップ抵抗体を用いることで微小差電圧のフローティング電圧を生成し、これを PTAT 電流生成に用いた。したがって、実装チップ面積が大きくなる問題点がある。そこで本研究では、オフチップ抵抗体を使用しない PTAT 電流生成のため

の微小フローティング電圧源回路を提案する。

本稿では、はじめに MOSFET のサブスレッショルド電流を利用した PTAT 電流の生成アーキテクチャについて説明し、微小フローティング電圧源回路が必要となる背景を説明する。そして、微小フローティング電圧源を提案し、回路構成とそのシミュレーション結果を示す。さらに、高精度化に向けた電流モード補正技術について説明し、その回路構成とシミュレーション結果を示す。

## 2 PTAT 電流生成アーキテクチャ

MOSFET のサブスレッショルド特性は、温度に対して敏感に変化する特性を示す。この特性を利用することで、絶対温度に対して線形に変化する PTAT (Proportional To Absolute Temperature) 電流を生成することが可能である。PTAT 電流は温度センサのセンサシグナルとして利用することができ、来るべきユビキタスセンサ情報社会の主要アプリケーションとなり得る。以下では、サブスレッショルド MOS 回路を用いて PTAT 電流を生成するための方式を説明する [1]。

MOSFET のゲート・ソース間電圧  $V_{GS}$  がしきい値電圧  $V_{TH}$  以下のとき、サブスレッショルド電流  $I_D$  が流れる。ここで、ドレイン・ソース間電圧が  $0.1 V$  以上のとき、 $I_D$  は指数関数で近似できて次のようになる [2]。

$$I_D = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \quad (1)$$

ここで、 $I_0$  はサブスレッショルド電流の前置係数、 $V_T (= k_B T / e)$  は熱電圧、 $k_B$  はボルツマン定数、 $T$  は

絶対温度,  $e$  は電気素量,  $\eta$  はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数である。ここで, 2つのサブスレッショルド電流  $I_{D1}$ ,  $I_{D2}$  の比  $I_{D2}/I_{D1}$ ,  $I_{D1}/I_{D2}$  をとると,  $I_0$ ,  $V_{TH}$  に依存しない関係が得られ, その差分は次式で与えられる。

$$\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}} = \exp\left(\frac{V_{GS2} - V_{GS1}}{\eta V_T}\right) - \exp\left(-\frac{V_{GS2} - V_{GS1}}{\eta V_T}\right) \quad (2)$$

ゲート・ソース間電圧の差電圧  $|V_{GS2} - V_{GS1}|$  が  $\eta V_T$  と比較して十分小さいとき, 上式は次のように近似することができる。

$$\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}} = 2 \frac{V_{GS2} - V_{GS1}}{\eta V_T} \quad (3)$$

式 (3) の逆数をとることで次式を得る。

$$\begin{aligned} \frac{1}{\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}}} &= \frac{\eta V_T}{2(V_{GS2} - V_{GS1})} \\ &= \frac{\eta k_B}{2e(V_{GS2} - V_{GS1})} T \end{aligned} \quad (4)$$

したがって, 2つのサブスレッショルド電流  $I_{D1}$ ,  $I_{D2}$  を発生させる  $V_{GS1}$ ,  $V_{GS2}$  の差電圧  $V_{GS2} - V_{GS1}$  を数十 mV 以下とし, 温度に対して一定にすることで絶対温度に比例した PTAT 特性を得ることができる。

上記のアーキテクチャを回路化する場合, 電流の割算・減算はトランスリニア乗除算器・電流ミラー回路で実現することができる [1]。一方, 微小差電圧  $V_{GS2} - V_{GS1}$  を実現するためには, 温度係数の小さな抵抗  $R$  を定電流バイアスするか, もしくは抵抗を使用することなくオンチップで微小フローティング電圧源を構築する必要がある。前者の場合, オフチップ抵抗を必要とするためデバイスサイズが大きくなってしまいう問題点がある。そこで, 温度に依存しない一定の微小差電圧  $V_{GS2} - V_{GS1}$  を生成する微小フローティング電圧源回路が必要になる。

### 3 フローティング電圧源

基準電圧源やフローティング電圧源として, 抵抗体を使用したバンドギャップ参照電圧源回路が広く使用されている [3]。しかし, これらの回路を nA オーダのサブスレッショルド MOS で動作させる場合, 数十 M $\Omega$  オーダの高抵抗を必要とするため, 実装チップ面積が増大してしまう問題点がある。したがって, 抵抗体を用いないフローティング電圧源を構築する必

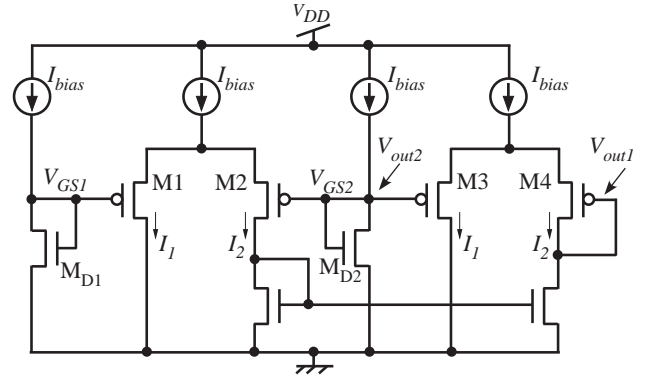


図 1: フローティング電圧源回路。

要がある。Buckらは抵抗体を用いない CMOS バンドギャップリファレンス回路を提案している [4]。そこで, この回路を応用してサブスレッショルド領域動作に適した回路構成を構築し, 微小フローティング電圧を生成する。

#### 3.1 回路構成

図 1 に, 提案するフローティング電圧源を示す。この回路は, ダイオード接続 MOSFET ( $M_{D1}$ ,  $M_{D2}$ ) と 2つの差動対 ( $M1$ - $M2$ ,  $M3$ - $M4$ ) から構成されている。これらの MOSFET のアスペクト比 ( $K = W/L$ ) を次のように設定する。

$$K_{D1} > K_{D2}, K_1 < K_2, K_3 > K_4. \quad (5)$$

提案回路では, ダイオード接続 MOSFET と差動対のトランジスタサイズを変えることで, MOSFET のしきい値電圧が変化する特性 [5, 6] を利用する。しきい値電圧の変化分を回路的に出力することで微小フローティング電圧を生成する。2つの出力端子  $V_{out1}$ ,  $V_{out2}$  は温度に依存して変化するが, その差電圧は温度に対して一定の微小フローティング電圧となる。

サブスレッショルド電流でバイアスされた 2つのダイオード接続 MOSFET ( $M_{D1}$ ,  $M_{D2}$ ) のゲート・ソース間電圧  $V_{GS,Di}$  は次式で表せる。

$$V_{GS,Di} = V_{TH,Di} + \eta V_T \ln\left(\frac{I_{bias}}{K_{Di} I_0}\right) \quad (i = 1, 2) \quad (6)$$

この差電圧  $\Delta V_{GS,D} (= V_{GS,D2} - V_{GS,D1})$  は, 次式で表される。

$$\Delta V_{GS,D} = \Delta V_{TH,D21} + \eta V_T \ln\left(\frac{K_{D1}}{K_{D2}}\right) \quad (7)$$

ここで、 $\Delta V_{TH,D21}(=V_{TH,D2}-V_{TH,D1})$  は、サイズの異なるトランジスタのしきい値電圧の差である。この差電圧  $\Delta V_{GS,D}$  を、差動対 M1-M2 に印加する。したがって、トランジスタ M1, M2 を流れる電流  $I_1, I_2$  は、次式で表せる。

$$I_i = K_i I_0 \exp\left(\frac{V_s - V_{GS,Di} - V_{THi}}{\eta V_T}\right) \quad (i = 1, 2) \quad (8)$$

ここで、 $V_s$  は、トランジスタ M1-M2 のソース電位である。M2 を流れる電流  $I_2$  はカレントミラー回路によって後段の差動対を構成する M4 に流れる。したがって、M3, M4 のゲート・ソース間電圧  $V_{GS,3}, V_{GS,4}$  は次式で表される。

$$V_{GS,i+2} = V_{TH,i+2} + \eta V_T \ln\left(\frac{I_i}{K_{i+2} I_0}\right) \quad (i = 1, 2) \quad (9)$$

ここで、出力端子  $V_{out1}, V_{out2}$  の差電圧  $\Delta V_{REF}(=V_{out2}-V_{out1})$  は、次式で表せる。

$$\Delta V_{REF} = V_{GS,4} - V_{GS,3} \quad (10)$$

式 (7), (8), (9) より、式 (10) は次式で表される。

$$\Delta V_{REF} = \Delta V_{TH,43} + \Delta V_{TH,12} - \Delta V_{TH,D21} + \eta V_T \ln\left(\frac{K_3 K_2 K_{D2}}{K_4 K_1 K_{D1}}\right) \quad (11)$$

ここで、 $\Delta V_{TH,43}(=V_{TH,4}-V_{TH,3})$ ,  $\Delta V_{TH,12}(=V_{TH,1}-V_{TH,2})$  は、サイズの異なるトランジスタのしきい値電圧の差である。したがって、式 (5) に従い MOSFET のサイズを

$$K_3 K_2 K_{D2} = K_4 K_1 K_{D1} \quad (12)$$

のように設定することで、式 (11) の温度依存項 (第 4 項) はキャンセルされ、次式を得る。

$$\Delta V_{REF} = \Delta V_{TH,43} + \Delta V_{TH,12} - \Delta V_{TH,D21}. \quad (13)$$

すなわち、しきい値電圧の温度依存性がキャンセルされ、MOSFET のサイズのみ依存した電圧が残る [5]。したがって、この 2 つの出力電圧  $V_{out1}, V_{out2}$  の差電圧  $\Delta V_{REF}$  は温度に対して一定のフローティング電圧となり、PTAT 電流生成アーキテクチャの微小差電圧に使用することができる。

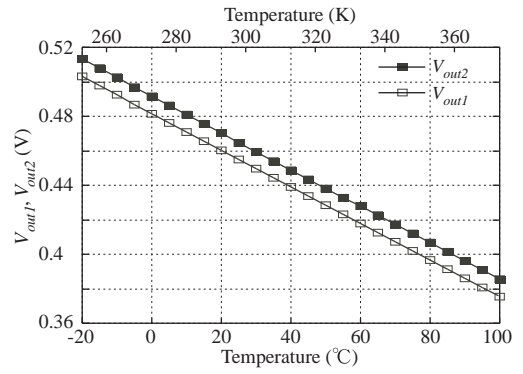


図 2: 出力電圧 ( $V_{out1}, V_{out2}$ ) のシミュレーション結果。

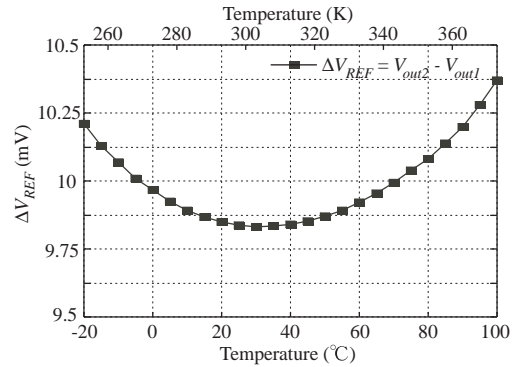


図 3: フローティング電圧  $\Delta V_{REF}(=V_{out2}-V_{out1})$  のシミュレーション結果。

### 3.2 シミュレーション結果

以上の回路構成で、 $0.35 \mu\text{m}$ -CMOS プロセスを用いて SPICE シミュレーションを行った。電源電圧は、ボタン電池の使用を想定して  $1.5 \text{ V}$  とした。

図 2 に出力電圧  $V_{out1}$  と  $V_{out2}$  のシミュレーション結果を示す。温度を  $-20^\circ\text{C} \sim 100^\circ\text{C}$  まで変化させている。それぞれの出力電圧は、一定の差電圧で温度に対して線形に減少していることが分かる。

図 3 にフローティング電圧  $\Delta V_{REF}(=V_{out2}-V_{out1})$  の温度特性を示す。その差電圧はおよそ  $10 \text{ mV}$  であり、温度変化に対してのフローティング電圧の変動は  $\pm 2.7\%$  である。この変動の要因として、ダイオード接続 MOSFET ( $M_{D1}, M_{D2}$ ) のゲート・ソース間電圧が温度に対して非線形に変化することが挙げられる。その影響で出力差電圧には非線形成分が残る。出力電圧の差分をとることで温度に比例する一次係数をキャンセルすることができるが、高次の温度依存性をもった非線形成分が残ってしまう。このようなバイアス電圧の変動は、高精度な PTAT 電流を生成するためには、十分な精度であるとはいえない。

#### 4 補正技術

ダイオード接続 MOSFET のゲート・ソース間電圧は、温度に対して非線形成分を持つ。このため出力差電圧には非線形成分が残る。この非線形電圧を抑制するための補正技術の検討を行った。

バンドギャップ参照電圧源の補正技術として、様々な補正技術が提案されている [7]-[10]。この中でも、Rincon-Mora と Allen は電流モード区分線形補正技術を提案している [10]。この補正技術はバンドギャップ電圧を生成する PTAT 電圧と CTAT 電圧を電流に変換し、その差分電流を高温時に入力することで高次の非線形項を補正する技術である。しかし、この技術をサブスレッショルド領域動作で適用した場合、PTAT 電圧と CTAT 電圧を電流に変換する際に高抵抗が必要となるため実装チップ面積が大きくなってしまふ問題がある。そこでこの補正技術を応用し、サブスレッショルド領域動作に適した補正回路技術を提案する。

##### 4.1 電流モード補正アーキテクチャ

提案する補正技術は、非線形成分の影響が大きい低温時と高温時に補正電流  $I_{curv}$  をフローティング電圧源回路のダイオード接続 MOSFET ( $M_{D2}$ ) に入力することで行う。これにより、補正電流  $I_{curv}$  に依存した温度依存性を持たせることができ、高温時と低温時における非線形成分の増大を抑制することが可能となる。

補正電流  $I_{curv}$  が入力される低温、高温時において  $M_{D2}$  のゲート・ソース電圧  $V_{GS,D2}$  は次式で表される。

$$V_{GS,D2} = V_{TH,D2} + \eta V_T \ln \left( \frac{I_{bias} + I_{curv}}{K_{D2} I_0} \right) \quad (14)$$

よって、2つのダイオード接続 MOSFET ( $M_{D1}$ ,  $M_{D2}$ ) のゲート・ソース間電圧の差電圧  $\Delta V_{GS,D}$  は、次式で与えられる。

$$\begin{aligned} \Delta V_{GS,D} &= \Delta V_{TH,D21} \\ &+ \eta V_T \ln \left( \frac{K_{D1}(I_{bias} + I_{curv})}{K_{D2} I_{bias}} \right) \end{aligned} \quad (15)$$

この時のフローティング電圧  $\Delta V_{REF}(=V_{out2}-V_{out1})$  は次式で表される。

$$\begin{aligned} \Delta V_{REF} &= \Delta V_{TH,43} + \Delta V_{TH,12} - \Delta V_{TH,D21} \\ &+ \eta V_T \ln \left( \frac{I_{bias}}{I_{bias} + I_{curv}} \right) \end{aligned} \quad (16)$$

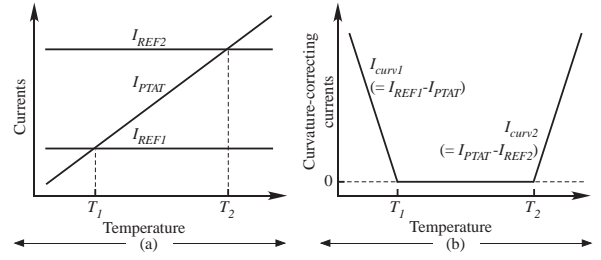


図 4: 補正電流 ( $I_{curv1}$ ,  $I_{curv2}$ ) 生成アーキテクチャ。

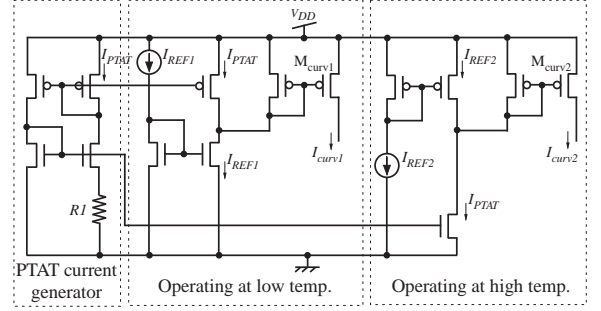


図 5: 補正電流生成回路。

したがって、低温時と高温時に補正電流  $I_{curv}$  を入力することで出力差電圧に負の温度依存性を持たせることが可能となり、温度に対する非線形成分の増大を抑制することができる。

##### 4.2 補正電流生成回路

電流モード補正アーキテクチャを実現するためには、低温時と高温時に補正電流  $I_{curv}$  を生成する必要がある。そこで、低温時、中温時、そして高温時のそれぞれの動作温度時に必要な補正電流  $I_{curv}$  を生成する。つまり、補正電流  $I_{curv}$  を

$$I_{curv} = \begin{cases} I_{curv1} & (\text{at low temp.}) \\ 0 & (\text{at middle temp.}) \\ I_{curv2} & (\text{at high temp.}) \end{cases} \quad (17)$$

とする。このような補正電流  $I_{curv}$  を生成するために、PTAT 電流  $I_{PTAT}$  と 2つの参照電流  $I_{REF1}$ ,  $I_{REF2}$  を用いる。図 4(a) に示すように、参照電流は  $I_{REF1} < I_{REF2}$  となるように設定し、それぞれ PTAT 電流と交差温度  $T_1$ ,  $T_2$  を持つ電流オーダに設定する。これにより、温度が  $T_1$  以下では、PTAT 電流と参照電流  $I_{REF1}$  の差は温度上昇とともに減少していくこと、一方、温度が  $T_2$  以上では、PTAT 電流と参照電流  $I_{REF2}$  の差は増大していくことが分かる。図 4(b) に、この差

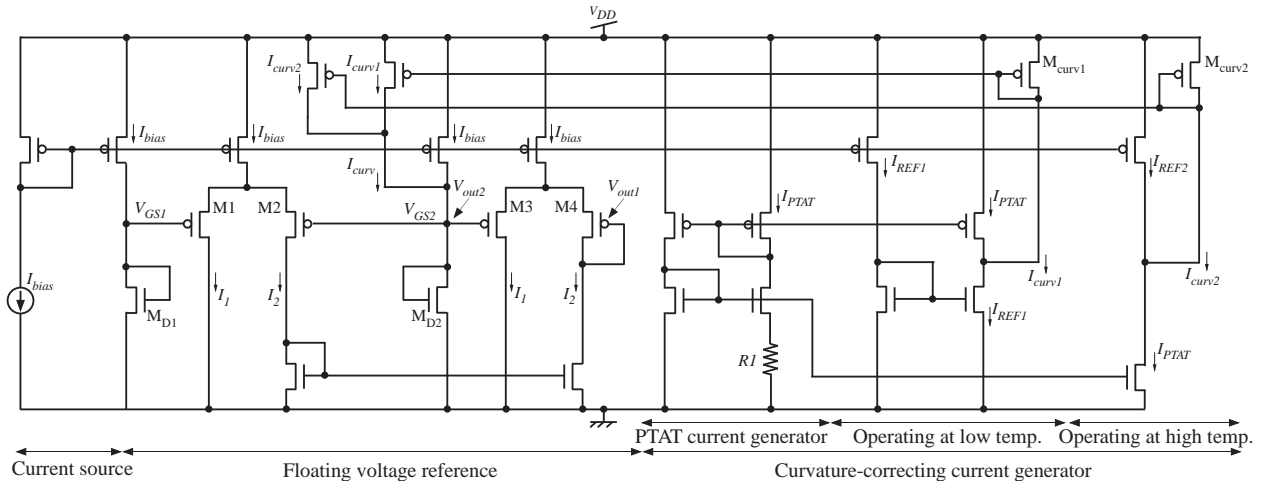


図 6: フローティング電圧源回路と補正電流生成回路.

分電流を示す.  $T_1$  以下では,  $I_{curv1} = I_{REF1} - I_{PTAT}$  を出力し,  $T_2$  以上で  $I_{curv2} = I_{PTAT} - I_{REF2}$  を出力することで, 式 (17) に示す補正電流  $I_{curv}$  を生成できる. それぞれの温度時に生成する補正電流  $I_{curv}$  の関係をまとめると次の通りである.

$$I_{curv} = \begin{cases} I_{REF1} - I_{PTAT} & (\text{at low temp.}) \\ 0 & (\text{at middle temp.}) \\ I_{PTAT} - I_{REF2} & (\text{at high temp.}) \end{cases} \quad (18)$$

上記のアーキテクチャに基づいた補正電流生成回路を図 5 に示す. この回路は PTAT 電流生成回路と低温時と高温時に動作する 2 つの電流比較回路から構成される. PTAT 電流  $I_{PTAT}$  と, 参照電流  $I_{REF1}$  および  $I_{REF2}$  の減算を行うことで低温時には  $I_{curv1}$  を, 高温時には  $I_{curv2}$  の補正電流を生成する. 各温度における回路動作は以下のとおりである.

#### 低温時

電流の大小関係は  $I_{PTAT} < I_{REF1}$  となるため, 電流比較回路のトランジスタ  $M_{curv1}$  は, 補正電流  $I_{curv1} = I_{REF1} - I_{PTAT}$  を出力する. この時,  $M_{curv2}$  はオフ状態であるため補正電流を生成しない.

#### 中温時

電流の大小関係は,  $I_{REF1} < I_{PTAT} < I_{REF2}$  となる. よって, 電流比較回路のトランジスタ  $M_{curv1}$ ,  $M_{curv2}$  ともにオフ状態となるため補正電流  $I_{curv}$  を生成しない.

#### 高温時

電流の大小関係は  $I_{REF2} < I_{PTAT}$  となるため, 電流比較回路のトランジスタ  $M_{curv2}$  は, 補正電流  $I_{curv2} =$

$I_{PTAT} - I_{REF2}$  を出力する. この時,  $M_{curv1}$  はオフ状態であるため補正電流  $I_{curv}$  を生成しない.

したがって, この回路構成により補正電流  $I_{curv}$  を生成することができ, 温度変化に対するフローティング電圧の変動を抑制することができる.

#### 4.3 シミュレーション結果

補正回路を含む微小フローティング電圧源の回路構成を図 6 に示す. 回路動作を確認するために, SPICE シミュレーションを行った. バイアス電流  $I_{bias}$  は 100 nA に設定し, 参照電流  $I_{REF1}$  と  $I_{REF2}$  はカレントミラー回路のトランジスタサイズ比を変えることで, それぞれ 160 nA, 190 nA に設定した. (バイアス電流の生成は参考文献 [11] を参照.)

図 7 に補正電流生成回路の補正電流  $I_{curv}$  の温度特性を示す.  $I_{curv1}$  は PTAT 電流と参照電流  $I_{REF1}$  の交差温度以下の低温時に生成され, 温度上昇にともないその電流値は減少する. 交差温度より高温になると電流はゼロになる. 一方,  $I_{curv2}$  は PTAT 電流と参照電流  $I_{REF2}$  の交差温度以上の高温時に生成され, 温度上昇にともないその電流値は増大する. これらの補正電流  $I_{curv}$  をカレントミラー回路でフローティング電圧源回路のダイオード接続 MOSFET ( $M_{D2}$ ) に入力する.

図 8 に補正回路を使用しない場合と使用した場合のフローティング電圧  $\Delta V_{REF} (=V_{out2} - V_{out1})$  の温度特性を示す. 補正回路を使用しない場合, 温度に対しての変動は  $\pm 2.7\%$  であるが, 補正回路を使用した場合, 低温時と高温時の補正電流により, その変動は  $\pm 0.3\%$  にまで抑制されることが確認できる. 補正回



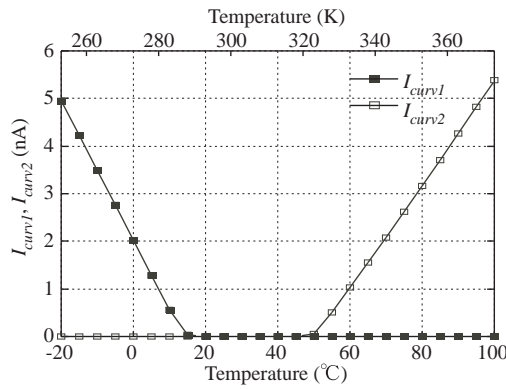


図 7: 補正電流  $I_{curv1}$ ,  $I_{curv2}$  のシミュレーション結果.

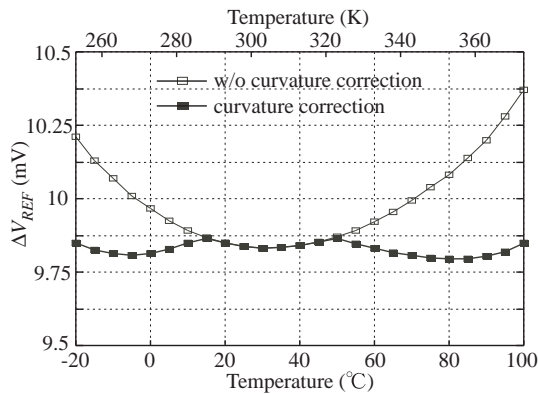


図 8: 補正回路を使用した場合と使用しない場合のフローティング電圧  $\Delta V_{REF}(=V_{out2}-V_{out1})$  のシミュレーション結果.

路を用いることにより高精度なフローティング電圧源回路を構築できる。消費電力は、回路全体をサブスレッショルド領域で動作させているため最大  $4.6 \mu\text{W}$  ( $T=100^\circ\text{C}$ ) の極低消費電力で動作する。

## 5 まとめ

本研究では、PTAT 電流生成用のフローティング電圧源とその補正回路を提案した。  $0.35 \mu\text{m}$ -CMOS プロセスを用いた SPICE シミュレーションにより回路動作を確認した。  $-20^\circ\text{C} \sim 100^\circ\text{C}$  の温度変化に対してフローティング電圧の変動は、補正回路を使用しない場合  $\pm 2.7\%$  であり、補正回路を使用した場合  $\pm 0.3\%$  まで抑えることができる。このフローティング電圧を用いることで、高精度な PTAT 電流を生成することが可能である。この回路は、サブスレッショルド領域で動作し、  $4.6 \mu\text{W}$  の極低消費電力で動作する。

## 参考文献

- [1] K. Ueno, T. Hirose, T. Asai, Y. Amemiya, "Ultralow-power smart temperature sensor with subthreshold CMOS circuits," Proc. ISPACS, pp. 546-549, Dec. 2006.
- [2] Y. Taur, T.H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press, 2002.
- [3] P.E. Allen, D.R. Holberg, "CMOS analog circuit design second edition" New York Oxford University Press, 2002.
- [4] A.E. Buck, C.L McDonald, S.H Lewis, T.R Viswanathan, "A CMOS bandgap reference without resistors." IEEE J. Solid-State Circuits, vol.37, no.1, pp.81-83, Jan. 2002.
- [5] M.C. Hsu, B.J. Sheu, "Inverse-geometry dependence of MOS transistor electrical parameters", IEEE Trans. Computer-Aided Design, vol. CAD-6, pp582-585, July. 1987.
- [6] Y.C. Cheng, M-C. Jeng, Z.Liu, J.H. Huang, M. Chen, K. Chen, P.K. Ko, C. Hu, "A physical and scalable IV model in BSIM3v3 for analog/digitalcircuit simulation.", IEEE Trans. Electron DeVices, vol. 44, No. 2, pp277-287, Feb. 1997.
- [7] B-S. Song, P.R. Gray, "A precision curvature-compensated CMOS bandgap reference," IEEE J. Solid-State Circuits, vol. SC-18, pp. 634-643, Dec. 1983.
- [8] G.C.M. Meijer, P.C. Schmale, K.V. Zalinge, "A new curvature-corrected bandgap reference," IEEE J. Solid-State Circuits, vol. SC-17, pp. 1139-1143, Dec. 1982.
- [9] M. Pertijs, K. Makinwa, J. H. Huijsing, "A CMOS smart temperature sensor with a  $3\sigma$  inaccuracy of  $\pm 0.1^\circ\text{C}$  from  $-55^\circ\text{C}$  to  $125^\circ\text{C}$ ", IEEE J. Solid-State Circuits, vol. 40, no. 12, pp. 2805-2815, Dec. 2005.
- [10] G.A. Rincon-Mora, P.E. Allen, "A 1.1-V current-mode and piecewise-linear curvature-corrected bandgap reference," IEEE J. Solid-State Circuits, vol. 33, pp. 1551-1554, Oct. 1998.
- [11] T. Hirose, T. Matsuoka, K. Taniguchi, T. Asai, Y. Amemiya, "Ultralow-power current reference circuit with low temperature dependence", IEICE Trans. Electron., Vol.E88-C, no.6, pp.1142-1147, Nov. 2004.