

サブスレッショルド CMOS 差動対による高抵抗デバイス

浅井 慎一*, 上野 憲一, 浅井 哲也, 雨宮 好仁 (北海道大学)

High-resistance device consisting of subthreshold-operated CMOS differential pair
Shin'ichi Asai*, Ken Ueno, Tetsuya Asai, and Yoshihito Amemiya, (Hokkaido University)

Abstract

We propose a CMOS circuit that can be used as an equivalent of resistors. This circuit uses a differential pair consisting of diode-connected MOSFETs and operates as a high-resistance resistor when driven in the subthreshold region. Its resistance can be controlled in a range of 1-1000 M Ω by adjusting the driving current for the circuit. For example, we realized a 123 M Ω resistor with a tail current of 1 nA. The results of the fabrication using a 0.35- μ m 2P-4M CMOS process technology and measurement of the circuit are described.

キーワード：集積回路，高抵抗，差動回路，サブスレッショルド領域
(integrated circuit, high resistance, differential circuit, subthreshold)

1. まえがき

集積回路では，高抵抗素子や大容量キャパシタは大面積を要し微細化・高集積化と相容れないのであまり使われな
ない。しかし，これらを使用できれば回路の構成を簡単化で
きることが多い。ここでは，CMOS 差動回路を使って等価
的に高抵抗をつくる方法を提案する。10 M Ω 以上の高抵抗
を小さい面積で構成することができる。

CMOS 集積回路では，抵抗は一般にポリシリコンで構成
されるが，高抵抗ではかなりの面積を必要とする。シート
抵抗が 1-2 k Ω / の高抵抗ポリを使ったとしても，たとえば，
100 M Ω の抵抗では 0.5 mm²の大面積となる。ポリシリコン
のイオン注入量を減らせばシート抵抗をさらに高くできる
が，そのような低ドーピングポリシリコンは抵抗値の絶対精度
が悪く温度変化も大きいので一般の回路使用には適さない。
また，ポリ抵抗は，一度実装すると抵抗値を外部から
変更できないので，可変抵抗を必要とする用途にも適さない。

この問題を解決するため，ここでは CMOS 差動回路を
使って小面積に高抵抗素子をつくる方法を提案する。差動
回路をサブスレッショルド領域⁽¹⁾，すなわち，MOSFET の
ゲート-ソース間電圧がしきい値電圧以下の領域で動作させ
ることにより，100 M Ω 以上の高抵抗を小さい面積で構成で
きる。この高抵抗デバイスは，差動回路のテイル電流によ
り，抵抗値を制御することが可能である。これまで，電子
回路により等価的に抵抗素子を構成する方法^{(2) (3) (4)}が提案
されているが，MOSFET を多数使用するため回路構成が複
雑という問題点があった。以下では，差動回路により簡単

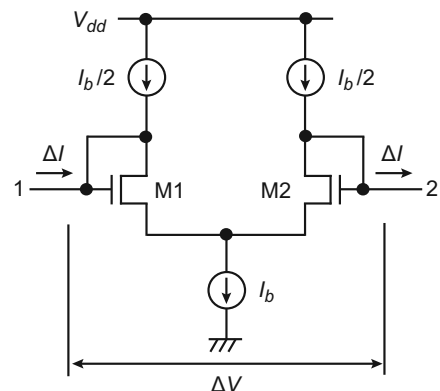


図 1 等価抵抗の原理

Fig. 1 Outline of resistor circuit equivalent to a resistor with terminals 1 and 2.

な構成で高抵抗を模擬する方法を示す。次に，この高抵抗
デバイスの動作解析とチップ試作の結果について述べる。
応用例として，高抵抗デバイスを用いた CR 移相発振回路の
設計と試作について述べる。さらに，高抵抗デバイスの温
度依存性を小さくするための回路構成を示す。

2. 抵抗デバイスの構成と動作原理

ここで提案する抵抗デバイスの構成を図 1 に示す。ダイ
オード接続のトランジスタ M1 と M2 で差動対をつくり，
そこにテイル電流 I_b を流す。負荷電流源のそれぞれにはテ
イル電流の半分の電流 $I_b/2$ が流れるように設定する。この

差動回路では、端子 1 と端子 2 の間に電位差 ΔV を与えたとき、端子 1 から電流 ΔI が流入し、端子 2 から電流 ΔI が流出する。この電流 ΔI は、差動回路が線形動作域にあれば電位差 ΔV に比例する。したがって、この差動回路は 1 と 2 を端子とする抵抗素子として動作する。

サブスレッショルド領域(弱反転領域)で動作する MOSFET のドレイン電流 I_D は、MOSFET のゲート-ソース間電圧 V_{GS} 、ドレイン-ソース間電圧 V_{DS} として次式で与えられる⁽⁵⁾。

$$I_D = \frac{I_b}{2} = \frac{W}{L} I_0 \exp\left(\frac{q(V_{GS} - V_{th})}{mkT}\right) \cdot \left(1 - \exp\left(-\frac{qV_{DS}}{kT}\right)\right), \dots\dots\dots (1)$$

$$I_0 = \mu C_{ox} (m-1) \cdot \left(\frac{kT}{q}\right)^2$$

ここで、 W/L はトランジスタのアスペクト比、 m は傾き係数、 k はボルツマン定数、 T は温度、 q は電荷素量、 V_{th} は MOSFET のしきい値電圧、 μ はキャリアの移動度、 C_{ox} は酸化膜容量である。 $V_{DS} > 0.1$ V では、 I_D は次式のように近似できる。

$$I_D = \frac{I_b}{2} = \frac{W}{L} I_0 \exp\left(\frac{q(V_{GS} - V_{th})}{mkT}\right) \dots\dots\dots (2)$$

いま差動回路の端子 1-2 間に電位差 ΔV を与えたとき、トランジスタ M1 に流れる電流は次式で与えられる。

$$\begin{aligned} \frac{I_b}{2} + \Delta I &= \frac{W}{L} I_0 \exp\left(\frac{q(V_{GS} - V_{th} + \Delta V/2)}{mkT}\right) \dots\dots\dots (3) \\ &= \frac{I_b}{2} \exp\left(\frac{q\Delta V}{2mkT}\right) \end{aligned}$$

$q\Delta V/(2mkT) \ll 1$ のとき、式(3)は以下のように近似できる。

$$\frac{I_b}{2} + \Delta I = \frac{I_b}{2} \left(1 + \frac{q\Delta V}{2mkT}\right) \dots\dots\dots (4)$$

したがって、回路をサブスレッショルド領域で動作させたとき、抵抗の理論値は次式で与えられる。

$$R = \frac{\Delta V}{\Delta I} = \frac{4mkT}{qI_b} \dots\dots\dots (5)$$

よって、差動回路のテイル電流 $I_b = 1$ nA とすると、この回路では、100M Ω の抵抗を簡単に得ることができる。ここで、抵抗特性が線形となる電位差の範囲はおよそ $\pm mkT/q$ である。

バイアス回路を含んだ全体の回路を設計して図 2 に示す。バイアス電流 I_b をもとに、抵抗回路 M1-M5 にテイル電流と負荷電流を供給する。

実際の回路では、MOSFET 間のしきい値の不均衡によりオフセット電流が発生する。すなわち、抵抗両端 1-2 の電

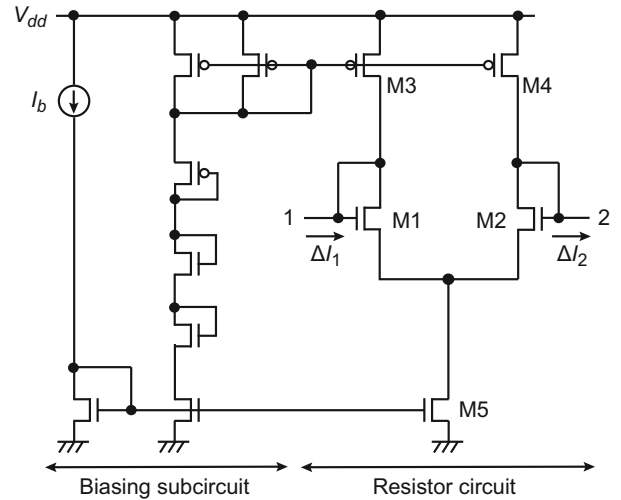


図 2 実際の回路構成

Fig. 2 Resistor circuit with biasing subcircuit.

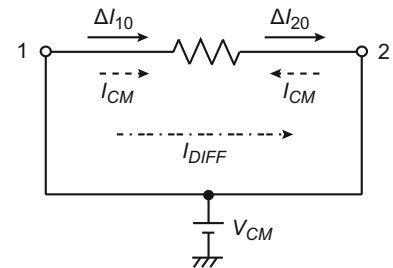


図 3 オフセット電流

Fig. 3 Offset currents of resistor circuit. Offset currents ΔI_1 and ΔI_2 consist of common-mode offset current I_{CM} and differential offset current I_{DIFF} .

位差が 0 でも端子に流れる電流がある。図 3 にその様子を示した。このオフセット電流 ΔI_{10} と ΔI_{20} は 2 つの成分からなる。すなわち (i) 抵抗両端から流れ込む(あるいは流れ出す)同相オフセット電流 I_{CM} 、および (ii) 抵抗を通して一端から他端に流れる差動オフセット電流 I_{DIFF} である。各端子に流れるオフセット電流 ΔI_{10} 、 ΔI_{20} は次式で与えられる。

$$\Delta I_{10} = I_{DIFF} + I_{CM} \dots\dots\dots (6)$$

$$\Delta I_{20} = I_{DIFF} - I_{CM} \dots\dots\dots (7)$$

同相オフセット I_{CM} は、トランジスタ M5 と M3-M4 の電流比が 2 : 1 からずれた場合に発生し、差動オフセット I_{DIFF} は、M1-M3 と M2-M4 に流れる電流に差がある場合に発生する。オフセット電流は、以下に示す測定結果のように抵抗の特性に影響を与える。

3. 測定結果

高抵抗デバイス試作チップの測定結果を以下に示す。0.35- μ m 2P-4M CMOS プロセスを用いて試作を行った。回路を構成するすべての MOSFET でアスペクト比を

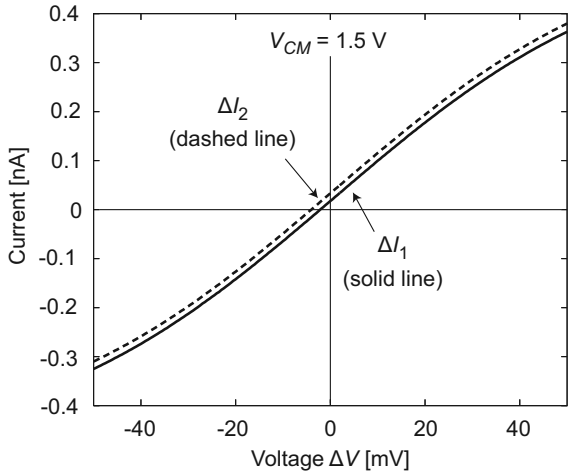


図4 電圧-電流特性

Fig. 4 Voltage-current characteristic of resistor circuit, measured for $I_b = 1$ nA, $V_{dd} = 3$ V and V_{CM} (common-mode voltage for terminals 1 and 2) = 1.5 V.

$W/L = 20 \mu\text{m}/4 \mu\text{m}$ とした. チップ面積は, $105 \mu\text{m} \times 110 \mu\text{m}$ であった. 図4は, 電源電圧 $V_{dd} = 3$ V, 抵抗両端の電圧の平均値(同相電圧) $V_{CM} = 1.5$ V, $I_b = 1$ nA としたときの端子1-2間の電圧-電流(ΔV - ΔI) 特性である. 電圧が -40 mV から 40 mV の範囲で線形性が得られており, この範囲内で抵抗として使用できる. 電圧-電流の特性を細かくみると, 本当の抵抗素子とは異なる点がある. すなわち, (a) 電圧-電流特性は原点を通っていない, および (b) 端子1に流れ込む電流 ΔI_1 (実線)と端子2から流れ出す電流 ΔI_2 (点線)が厳密には一致しない. これらは, 先に述べたオフセット電流のために生じる.

このオフセット電流は, 抵抗端子の両端の同相電圧 V_{CM} によって変化する. 図5には, $V_{dd} = 3$ Vかつ $I_b = 1$ nAにおいて V_{CM} を 0.3 Vの範囲で変動させたときの同相オフセット電流 I_{CM} (実線)と差動オフセット電流 I_{DIFF} (点線)の変化を示す. この例では, V_{CM} が 0.4 - 2.8 Vの範囲ならば, 同相オフセット電流と差動オフセット電流ともに小さいので抵抗として使用できる.

テイル電流 I_b を変動させたときの抵抗値の変化を図6に示す. 実線が測定結果, 点線が式(5)による理論値である. 抵抗値は I_b に反比例で変化するので, I_b の調節により抵抗値を制御できる. 室温では, $I_b = 10$ nA で 12 M Ω , $I_b = 1$ nA では 123 M Ω の抵抗値が得られた.

4. 応用例---CR 移相発振回路

(4.1) 回路構成

高抵抗デバイスの応用例として, キャパシタと組み合わせた移相回路を設計し, 反転増幅回路と組み合わせて CR 移相発振回路を構成した. 図7にその回路図を示す (点線で

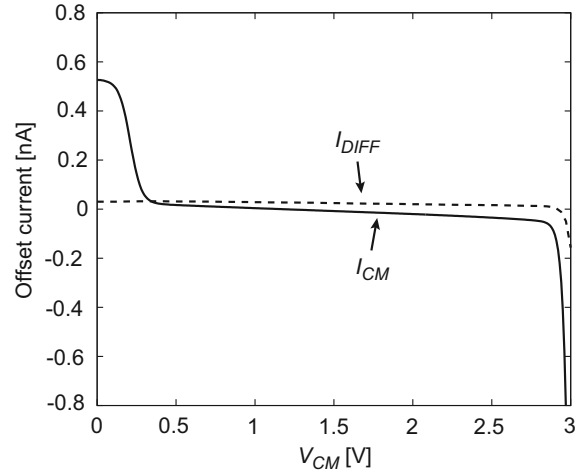


図5 オフセット電流- V_{CM} 特性

Fig. 5 Offset currents as a function of common-mode voltage V_{CM} for terminals 1 and 2, measured for $I_b = 1$ nA and $V_{dd} = 3$ V.

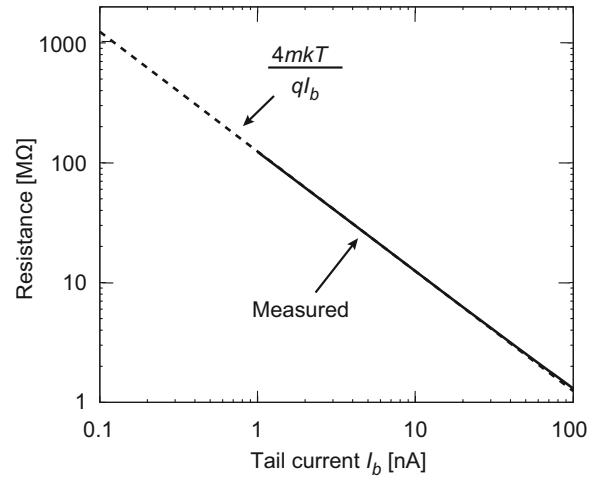


図6 テイル電流 I_b - 抵抗値特性

Fig. 6 Resistance of resistor circuit as a function of tail current I_b . Solid line shows measured data, and dashed line shows theoretical resistance.

囲んだ部分が高抵抗デバイス).

抵抗とキャパシタを3段接続した移相回路の利得 G は, 角周波数を ω として次式で与えられる.

$$G = 1 - 5R^2\omega^2C^2 - jR\omega C(R^2\omega^2C^2 - 6) \dots \dots \dots (8)$$

ここで, R は移相回路の抵抗値, C は移相回路の容量, $1/j\omega C$ は C のリアクタンスである. 発振周波数は, 式(8)の虚部が0 (移相回路の位相遅れが π) となる条件

$$R\omega C(R^2\omega^2C^2 - 6) = 0 \dots \dots \dots (9)$$

で決まる. すなわち

$$\omega = \frac{\sqrt{6}}{CR} \dots \dots \dots (10)$$

より, 発振周波数は

$$f = \frac{\sqrt{6}}{2\pi CR} \dots\dots\dots (11)$$

となる．高抵抗デバイスでは $R = 4mkT/(qI_b)$ なので，差動回路のテイル電流 I_b を変更することで発振周波数 f を制御できる．

〈4・2〉 測定結果

図 8 に 0.35- μm 2P-4M CMOS プロセスを用いて試作した CR 移相発振回路のチップ写真を示す．チップ面積は，350 μm \times 370 μm であった．反転増幅回路の抵抗は， $R_{in} = 5 \text{ k}\Omega$ ， $R_f = 170 \text{ k}\Omega$ である．図 9 に発振波形を示す．一例として， $V_{dd} = 3 \text{ V}$ ， $E_0 = 1.5 \text{ V}$ ， $C = 10 \text{ pF}$ のとき，差動回路のテイル電流 $I_b = 10 \text{ nA}$ で 2.7 kHz， $I_b = 1 \text{ nA}$ では 290 Hz の発振が得られた．集積回路上で実現できる容量は小さいため，通常のポリ抵抗を使うかぎり低周波の正弦波発振は難しい．しかし，この抵抗デバイスは高い抵抗値を小面積に形成できるので，低い周波数の発振回路を容易に構成できる．

5. 温度依存性

〈5・1〉 PTAT 電流源の利用

高抵抗デバイスの抵抗値 $4mkT/(qI_b)$ は，差動回路に供給するテイル電流 I_b が一定であれば，温度の変動とともに変化して一定値にはならない．この温度依存性を打ち消すため，絶対温度に比例する電流，すなわち PTAT 電流(Proportional To Absolute Temperature current)を差動回路のテイル電流 I_b として使用することを検討した．

PTAT 電流源をバイアス回路として使用した高抵抗回路の構成を図 10 に示す．PTAT 電流源の部分はカレントミラー回路 (M6, M7, M8, M9 と他の 4 つのトランジスタ) から構成される β 乗算型自己バイアス回路の抵抗素子をスイッチトキャパシタ抵抗 (C_S および CK と \overline{CK}) に置き換えた構成である．高抵抗デバイスのテイル電流には微小電流を使用するため，抵抗素子は高抵抗の必要があり，通常のポリ抵抗を用いた場合，回路規模が大きくなってしまう．これを避けるためスイッチトキャパシタ抵抗を用いた．点線で囲んだ部分は，PTAT 電流源を駆動させるためのスタートアップ回路である．これは，回路がオフの時に V_{dd} から M9 と M6 を通って接地までの電流経路をつくり，トランジスタを確実にオンとするものである．トランジスタ M8 と M9 のアスペクト比は等しいので，両トランジスタには等しい電流 I_{PTAT} が流れる．トランジスタ M6 のゲート-ソース間電圧 V_{GS6} は M7 のゲート-ソース間電圧 V_{GS7} とスイッチトキャパシタ抵抗にかかる電圧 $I_{PTAT}R_S$ の和に等しく，次式が成り立つ．

$$V_{GS6} = V_{GS7} + I_{PTAT}R_S$$

$$R_S = \frac{1}{C_S f} \dots\dots\dots (12)$$

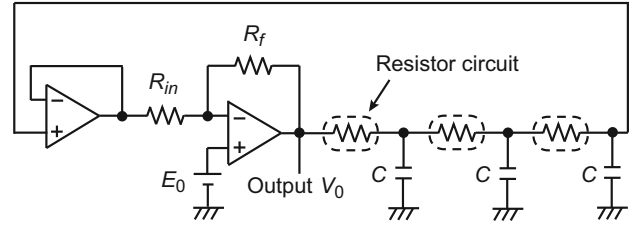


図 7 CR 移相発振回路

Fig. 7 CR phase-shift oscillator. The elements circled by dashed lines represent resistor circuits.

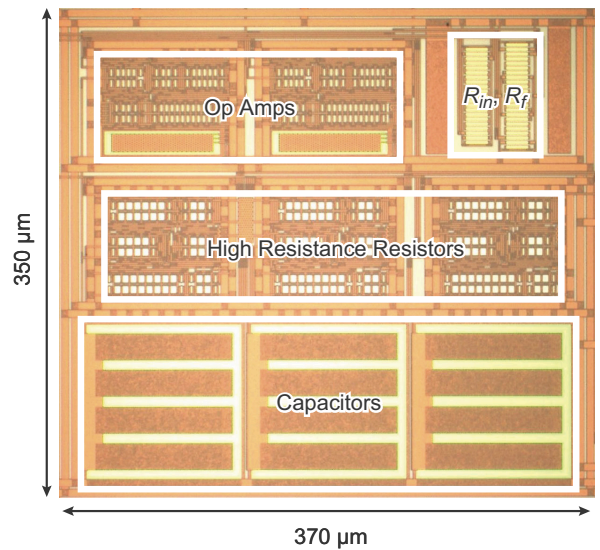


図 8 CR 移相発振回路のチップ写真

Fig. 8 Chip photograph of phase-shift oscillator. Chip size is 350 μm \times 370 μm . Parameters used for fabrication were $R_{in} = 5 \text{ k}\Omega$ ， $R_f = 170 \text{ k}\Omega$ ， $C = 10 \text{ pF}$ ， $V_{dd} = 3 \text{ V}$ ，and $E_0 = 1.5 \text{ V}$ ．

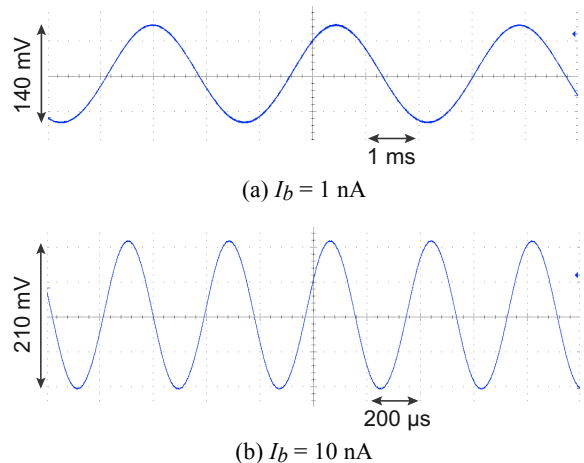


図 9 移相発振回路の出力波形

Fig. 9 Output waveforms of phase-shift oscillator, measured for two values of tail current I_b for resistor circuit.

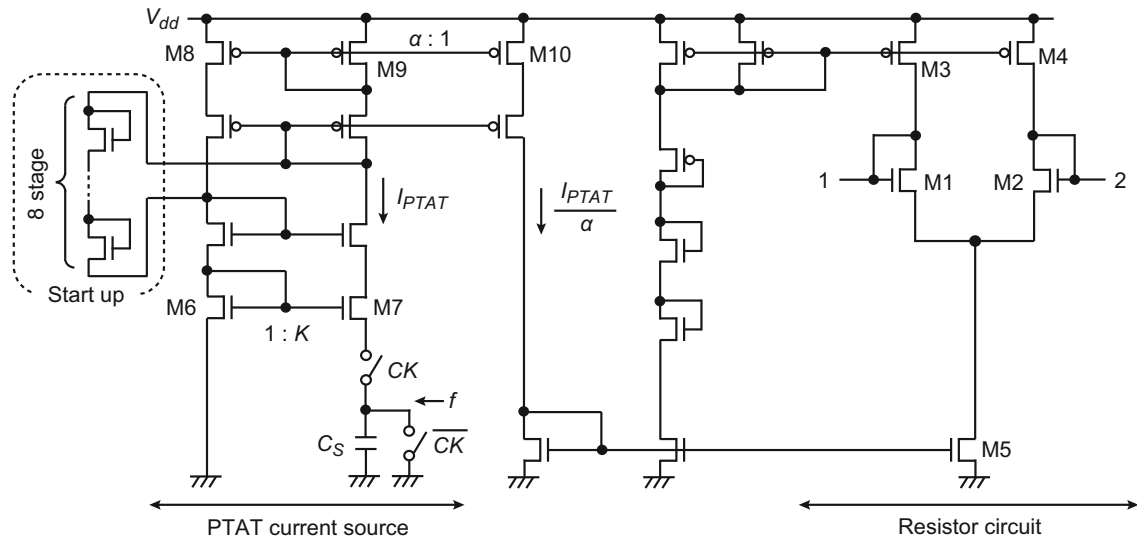


図 10 温度依存性を補償した抵抗回路
Fig. 10 Resistor circuit with temperature compensation.

R_S はスイッチトキャパシタの抵抗値(容量 C_S , スイッチング周波数 f)である. 式(12)を展開すると

$$\begin{aligned}
 I_{PTAT} R_S &= V_{GS6} - V_{GS7} \\
 &= \frac{mkT}{q} \ln \left(\frac{I_D}{I_0} \cdot \frac{L}{W} \right) + V_{th6} \\
 &\quad - \frac{mkT}{q} \ln \left(\frac{I_D}{I_0} \cdot \frac{L}{WK} \right) - V_{th7} \dots\dots\dots (13) \\
 &= \frac{mkT}{q} \ln K
 \end{aligned}$$

となる. トランジスタ M6 と M7 のサイズ比は 1:K とした. したがって, MOSFET をサブスレッショルド領域で動作させたとき, PTAT 電流源の電流 I_{PTAT} は次式で与えられる.

$$I_{PTAT} = \frac{mkTC_S f}{q} \ln K \dots\dots\dots (14)$$

いまトランジスタ M9 と M10 のサイズ比を 1:α に設定し, I_{PTAT} の 1/α 倍の電流を高抵抗回路のテイル電流として使うとする. このとき端子 1-2 間の抵抗値は, 式(5)と式(14)により

$$R = \frac{4\alpha}{C_S f \ln K} \dots\dots\dots (15)$$

で与えられる. したがって, 温度変化に依存しない高抵抗を生成することができる.

〈5・2〉 シミュレーション結果

抵抗値の温度依存性について, 0.35-μm CMOS デバイスパラメータを用いて SPICE シミュレーションを行った. 図 11 に温度補償のない回路(テイル電流が一定)の抵抗値の温度

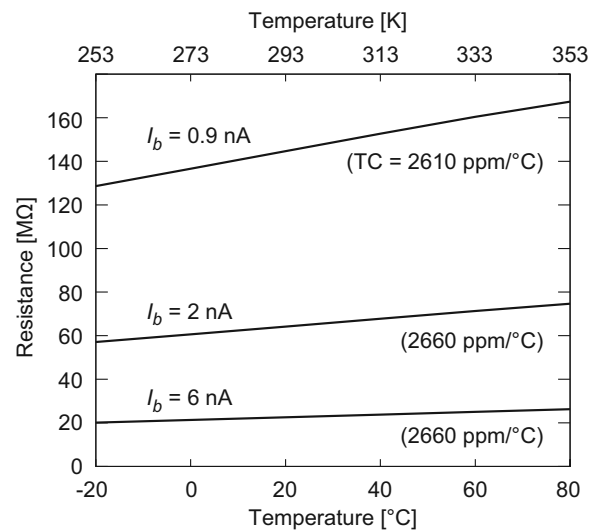


図 11 高抵抗回路の温度特性

Fig. 11 Temperature characteristic of resistor circuit for three tail currents.

特性を示す. テイル電流を 0.9 nA - 6 nA の範囲に設定したとき, 抵抗デバイスの温度係数(TC)は 2610 ppm/°C - 2660 ppm/°C と非常に大きい.

図 12 には, 図 10 に示した PTAT 電流源の電流 I_{PTAT} の温度変化を示す. 容量 $C_S = 0.55$ pF として, スイッチトキャパシタのスイッチング周波数 f を 910 kHz - 5.6 MHz の範囲に設定した. 出力電流は温度に対して線形変化する. 図 13 には, この PTAT 電流源を用いて温度補償した高抵抗デバイス(図 10)の抵抗値の温度変化を示す. スイッチング周波数 f を調節して抵抗値を 20 MΩ - 140 MΩ の範囲に設定し

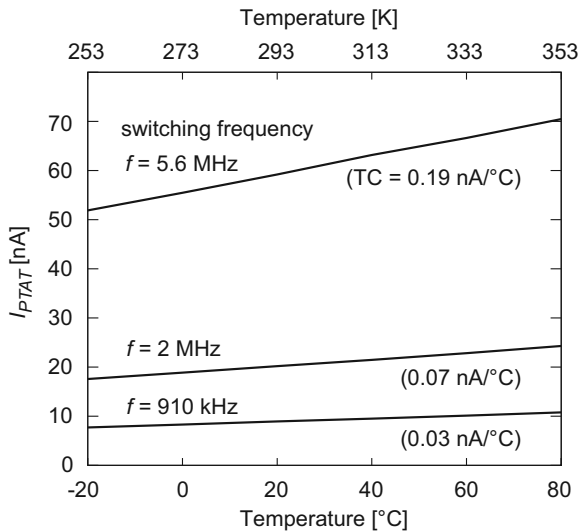


図 12 PTAT 電流源の温度特性

Fig. 12 Temperature dependence of PTAT current for three switching frequencies.

たとき、温度による変化は 330 ppm/°C - 690 ppm/°C の範囲に収まった(点線は温度補償のないとき)。PTAT 電流源を使用することにより、温度係数の小さい高抵抗を実現できる。

さらに、この高抵抗回路は、スイッチトキャパシタそのものを抵抗として使う場合(抵抗値 $1/(Cs f)$)と比較して、容量 Cs とスイッチング周波数 f が同じ値でも、トランジスタのサイズ比 α と K のパラメータを変更することで数十倍の抵抗値が得られる。たとえば $\alpha = 10$ 、 $K = 2$ とおけば、スイッチトキャパシタ抵抗の約 60 倍の抵抗値が得られる。また多数の高抵抗を必要とする場合でも、単に差動回路の数を増やすだけでよいので小面積の構成が可能である。

6. まとめ

本稿では、サブスレッショルド領域で動作する CMOS 差動回路を用いて小面積に高抵抗を生成する方法を提案した。実際にチップ試作と測定を行い、その結果を示した。提案した高抵抗デバイスにより、集積回路上で容易に 1-1000 M Ω の高抵抗を小面積に構成できることを確認した。応用例として、CR 移相発振回路を設計し、高抵抗デバイスを用いることで低周波発振を容易に出力できることを示した。さらに、抵抗値の温度依存性についてシミュレーションを行い、PTAT 電流源を高抵抗デバイスのテイル電流とし

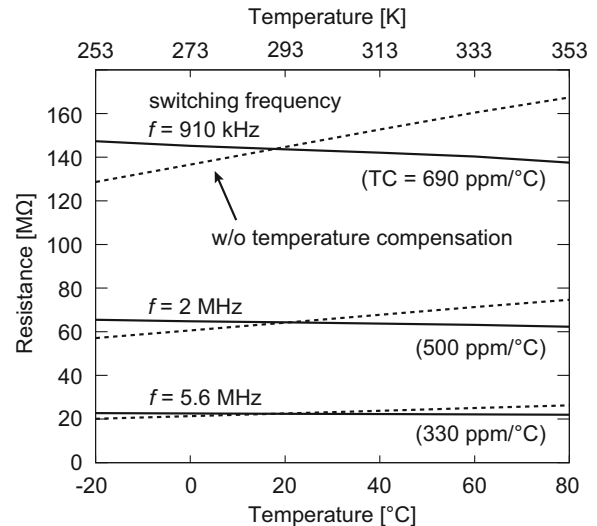


図 13 温度依存性を補償した抵抗回路の温度特性

Fig. 13 Temperature dependence of resistor with compensation. Parameters used for fabrication were $V_{dd} = 3$ V, $\alpha = 10$, $K = 2$, $C_S = 0.55$ pF.

て用いることで温度依存性の小さい高抵抗を実現できることを確認した。なお、抵抗の線形電圧範囲の拡大とオフセット電流の低減は今後の課題である。また、PTAT 電流源の基準クロック源の生成方法についても、検討を進める必要がある。

7. 謝辞

本研究では、東京大学大規模集積システム設計教育研究センター(VDEC)を通し日本ケイデンス株式会社の協力を得た。

文 献

- (1) A. Wang, B. H. Clhoun, and A. P. Chandracasan : Sub-Threshold Design for Ultra Low-Power Systems, Springer, New York (2006)
- (2) K. Nagaraj : "New CMOS Floating Voltage-Controlled Resistor", Electron. Lett., Vol.22, No.12 pp.667-668 (1986)
- (3) S. P. Singh, J. V. Hanson, and J. Vlach : "A New Floating Resistor for CMOS Technology", IEEE Trans. Circuits Syst., Vol.36, No.9 pp.1217-1220 (1989)
- (4) S. Sakurai and M. Ismail : "A CMOS Square-Law Programmable Floating Resistor Independent of the Threshold Voltage", IEEE Trans. Circuits Syst. II, Vol.39, No.8 pp.565-574 (1992)
- (5) Y. Taur and T. H. Ning : Fundamentals of Modern VLSI Devices, Cambridge, Cambridge Univ. Press, U.K. (2002)