

単電子デバイスによる多数決論理回路

大矢 剛嗣[†] 浅井 哲也[†] 福井 孝志[‡] 雨宮 好仁[†]

北海道大学 †工学部電子工学科

‡量子集積エレクトロニクス研究センター

〒060-8628 札幌市北区北13条西8丁目

E-mail: ooya@sapiens-ei.eng.hokudai.ac.jp

あらまし

単電子デバイスを用いた多数決論理回路を提案する。二つの単電子箱 (single-electron box) を対称結合した対回路 (balanced pair) を多数決ゲートとして使用する。このゲート回路は入力信号によって生じる不均衡を利用して多数決論理を出力する。複数の多数決ゲートを組み合わせることで種々の論理システムを構成できる。例としてシフトレジスタと加算器を設計し、シミュレーション上で動作を示す。この多数決ゲートを実現するためには、十字形微小ドットの集積体を形成すればよい。選択気相成長プロセスでこのドット集積体をつくる方法を提案する。

キーワード 多数決論理, 単電子, 回路, デバイス, 気相成長, エピタキシャル, 有機金属

A Majority-Logic Device Using a Balanced Pair of Single-Electron Boxes

Takahide OOYA[†], Tetsuya ASAI[†], Takashi FUKUI[‡], and Yoshihito AMEMIYA[†]

[†] Department of Electrical Engineering, Hokkaido University

[‡] Research Center for Integrated Quantum Electronics, Hokkaido University

Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

E-mail: ooya@sapiens-ei.eng.hokudai.ac.jp

Abstract

We propose a majority-logic gate device that uses single-electron circuits. The device consists of two identical single-electron boxes combined to form a balanced pair. It accepts three inputs and produces a majority-logic output by using imbalances caused by the input signals. We also propose a method of fabricating the unit element of the gate device, a minute dot with four coupling arms. We demonstrate by experiments that it is possible to arrange these unit elements on a GaAs substrate, in a self-organizing manner, by means of a process technology that is based on selective-area metalorganic vapor-phase epitaxy.

Key words majority logic, single electron, circuit, device, vapor phase epitaxy, metalorganic

1. はじめに

単電子回路による集積システムは次世代ナノエレクトロニクスを支えるハードウェアの有力な候補である。単電子回路[1]は電子ひとつ一つの移動を制御することで機能を創り出す電子回路であり、極低電力かつ大規模のLSIを構成できる可能性をもつ。ここでは、単電子LSIの実現に向けて、集積化に適した単電子論理デバイスを提案する。このデバイスは多数決論理の動作を行う。

多数決論理[2]はブール代数論理とは異なるデジタル演算方法である。その処理過程はブール代数論理よりも機能的なので、多数決論理を使うとブール代数論理よりも少ないデバイス数で複雑なデジタル論理を構成できる。しかし現用主流のCMOS回路は本質的にブール代数動作のデバイスであり多数決論理には適していない。

最近のナノテクノロジーの進歩と量子デバイスの研究進展により、多数決論理に適した各種のデバイスが提案されるようになった。例を挙げると磁束量子パラメトロン [3] や量子ドットセルオートマトン [4]、そして単電子回路では擬似CMOS形の多数決ゲート[5]などがある。

本稿では、単電子箱を利用した新しい多数決論理デバイスを提案する。この単電子デバイスは上記の擬似CMOS多数決ゲートよりも構造が簡単で集積化に適する。以下の章で、デバイスと応用回路の動作をシミュレーション上で示すとともに、デバイスを実際に作成する方法を提案する。

2. 多数決論理

多数決論理の基本動作は「複数入力の多数決によって出力を決める」ことである。多数決論理の構成要素？多数決ゲートは奇数個の入力と一つの出力をもつ（入出力は1か0）。論理1の入力が論理0の入力より多いときは出力が1、逆に論理0の入力が多いときには出力が0である。3入力ゲートの記号と動作を図1に示す。たとえば三つの入力が(0, 1, 1)のとき出力は1、入力が(1, 0, 0)のとき出力は0である。多数決ゲートとインバータを組み合わせることで、どのようなデジタル論理でも構成できる。例として図2に加算器の構成を示した。全加算器は3ゲートと2インバータで構成できる。ブール代数回路の方式と比較してゲート数は半分以下でよい。

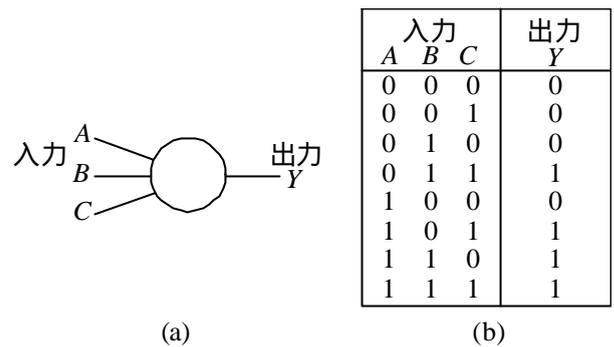


図1 3入力の多数決ゲート (a)記号, (b)論理動作

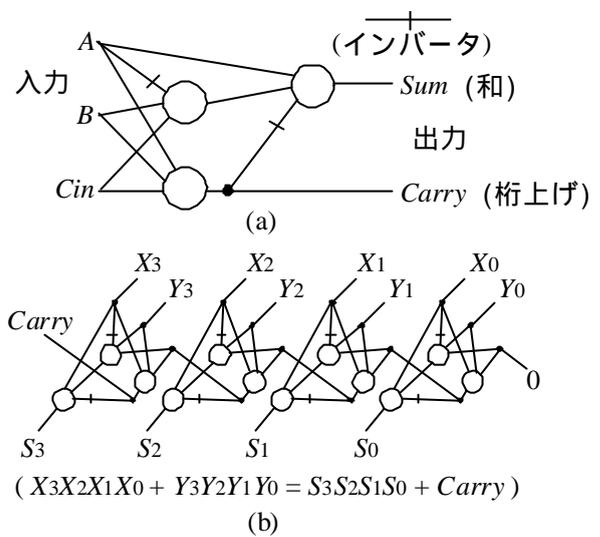


図2 多数決論理の回路構成 (例)
(a) 全加算器, (b) 4ビット加算器

3. 単電子回路による多数決論理ゲートの構成

3.1 単電子箱 (単電子 BOX)

ここで提案する多数決論理デバイスでは単電子箱 (単電子 BOX) を基本要素に用いる。単電子 BOX は図3(a)のようにトンネル接合 C_j とキャパシタ C_L からなる回路である。これに電圧 V_{dd} を加えると、電子が接地点からノード1に向けて接合 C_j をトンネル移動し、ノード1に過剰電子として溜まる。クーロンブロック効果効果が支配的な低温下では、回路の自由エネルギーが最小となるような個数の電子がノード1に蓄積される。この蓄積電子数 n は加えた電圧 V_{dd} に対して図3(b)のような階段関数となり、 $V_{dd} = (n \pm 1)e / (2C_L)$ において不連続的に変化する。それに対応して、ノード1の電位は図3(c)のようにこぎり状の変化を示す。

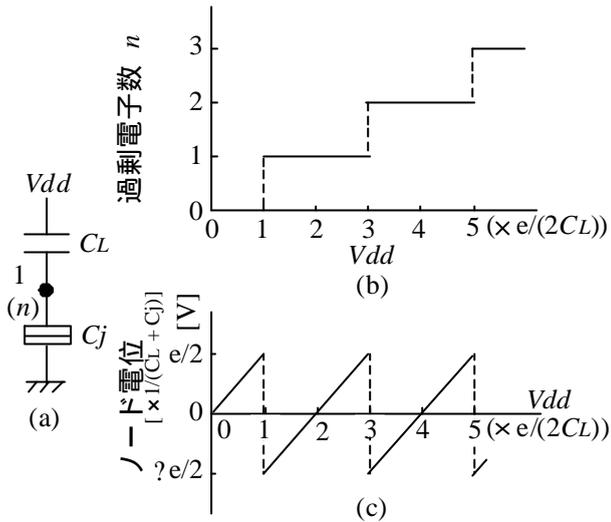


図3 単電子BOX (a)回路構成, (b)ノード1に蓄積される過剰電子の個数と電圧 V_{dd} の関係, (c)ノード1の電位と V_{dd} の関係

3.2 単電子BOXの結合対

単電子BOXでは、電圧 V_{dd} を決めると蓄積電子数 n (すなわち内部状態) もただ一つに決まるのでバイナリ動作には使用できない。そこで、二つの単電子BOXを図4(a)のように結合して双安定デバイスを構成する。以下、この単電子BOX対を「トンネル接合対」と呼ぶ。

トンネル接合対の内部状態はノード1の蓄積電子数 n_1 とノード2の蓄積電子数 n_2 を用いて (n_1, n_2) と表される。この内部状態は電圧 V_{dd} の増加にしたがって図4(b)のように変化する。電圧 V_{dd} が0のとき状態は $(0, 0)$ であり、 V_{dd} が増加して或るしきい電圧 V_1 に達したとき電子が接地点からノード1とノード2のいずれか一方にトンネルする(トンネルの確率は両方のノードで同じ)。図4(b)ではノード1に電子がトンネルしたと仮定しており、それに応じて状態が $(0, 0)$ から $(1, 0)$ に変化する。

一方のノードに電子トンネルが生じると(ノード1とノード2が容量結合されているので)もう一方のノードへの電子トンネルが抑制される。そのため電圧 V_{dd} が次のしきい電圧 V_2 に達するまで、そのままの状態が保たれる。したがってトンネル接合対は $V_1 < V_{dd} < V_2$ の条件下で双安定性をもつ。電圧 V_{dd} の変化に応じて、ノード1とノード2の電位は図4(c)のようにのこぎり状に変化する。

なお回路動作のシミュレーションにはモンテカルロ法[6]を使用した。図4(b)(c)の回路パラメータは $C_L = C_j = C_0 = 10 \text{ aF}$ である。温度は 0 K と仮定した。

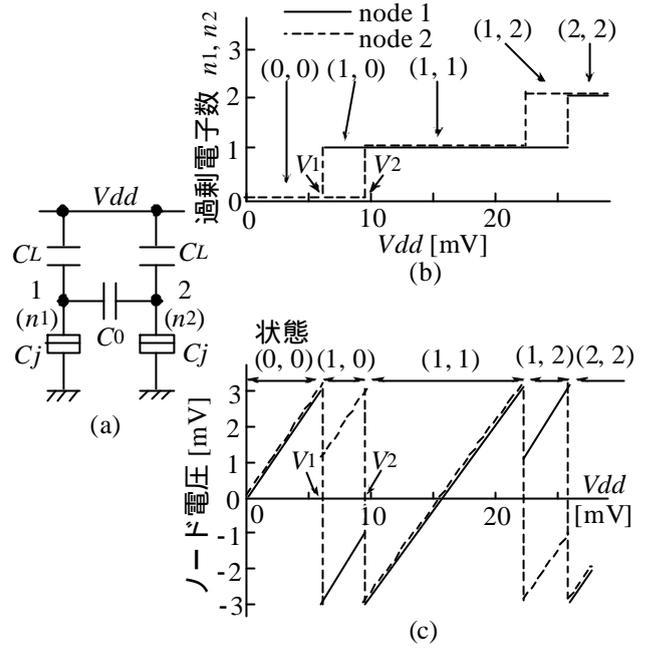


図4 単電子BOX対(トンネル接合対) (a)回路構成, (b)ノード1とノード2に蓄積される過剰電子数 n_1 と n_2 , (c)ノード1およびノード2の電位と V_{dd} の関係(いずれもシミュレーション)

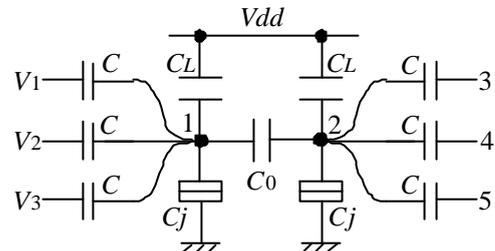


図5 多数決論理ゲート

3.3 多数決論理ゲート

トンネル接合対を使って多数決論理ゲートを構成する。3入力ゲート回路を図5に示す。トンネル接合対のノード1と2に入出力キャパシタ C を3個ずつ結合させた構成をもつ。入力キャパシタを介して三つの入力電圧 (V_1, V_2, V_3) をノード1(入力ノード)に加える。後述のように多数決出力がノード2(出力ノード)に現れる。出力キャパシタと出力端子(3, 4, 5)を通して出力を次段ゲートに伝える。

本ゲートでは、論理1と論理0を振幅の等しい正負の電圧で表す(正電圧が論理1)。ゲートは次のように動作させる。

- (1) 出力端子を接地する。入力電圧を与える。トンネル接合対の状態は $(0, 0)$ である。
- (2) 電圧 V_{dd} を徐々に上げてトンネル接合対を双安定状態にする。一方のノードに電子がトンネ

ル移動して状態が (1, 0) または (0, 1) になる。

- (3) 二つ以上の入力論理 1 (正電圧) のときは、ノード 1 の電位がノード 2 より高いので、ノード 1 につながるトンネル接合が先にしきい電圧に達する。したがってノード 1 にトンネルが生じて (1, 0) の状態になる。このときノード 1 は負電位、ノード 2 は正電位となる。つまり出力電圧 (ノード 2 の電圧) は正 (論理 1) である。
- (4) 二つ以上の入力論理 0 (負電圧) のときは、ノード 2 にトンネルが生じて (0, 1) の状態になる。このとき出力電圧は負 (論理 0) である。

以上の多数決動作をシミュレーションして図 6 に示す (パラメータ値: $C_L = C_j = C_0 = 10 \text{ aF}$, $C = 2 \text{ aF}$, 温度 0 K , トンネル接合コンダクタンス 1 ?S)。駆動電圧 V_{dd} を台形波で与えた。シミュレーション上の都合により、台形波の立上がりと立下がりを階段波で近似した (1 ステップの持続時間 10 ns , ステップ差 0.05 mV)。図は三つの入力論理 (0, 1, 1) と (1, 0, 0) の場合の動作を示している。トンネル接合対の双安定性により、入力がなくなっても (駆動電圧がしきい値より高い値であれば) 出力はそのまま保持される (図 6 下段に示した T の期間)。

4. 多数決論理ゲートを使った応用回路

4.1 複数ゲートの接続

複数の多数決ゲートを相互接続するときは、前段ゲートの出力キャパシタを後続ゲートの入力キャパシタとして使用する。そして 3 相クロック電圧で駆動して信号の流れに方向性をつける。

図 7 (a) に複数ゲートの接続例を示す。図 7 (b) は駆

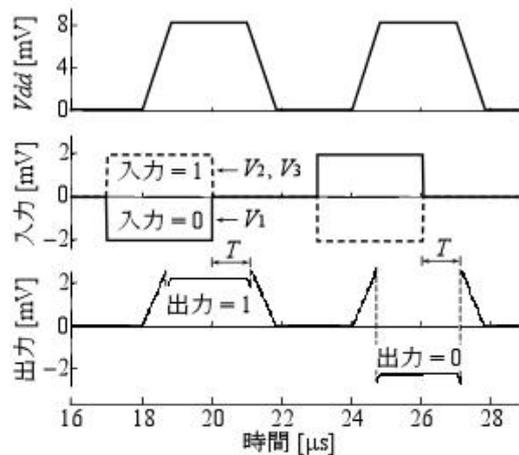


図 6 多数決論理ゲートの動作 (シミュレーション) 上段は駆動電圧 V_{dd} , 中段は入力電圧, 下段は出力電圧。動作の 3 相電圧クロックである。図例では、左のゲ

ートをクロック $_1$ で駆動し、中央のゲートをクロック $_2$ 、右のゲートをクロック $_3$ で駆動する。信号は左から右に伝わる。クロック電圧の波形には図 7 (b) のように重なりをつけて、前段ゲートの出力が保持されている間に (そのゲートにつながる) 後続ゲートの出力が確定するように設定する。なお、各トンネル接合対からみた入出力キャパシタの個数を同じにするため、必要に応じて入出力ノードにダミーキャパシタ (一端は接地) を接続する。

4.2 反転結合

論理信号を反転したいとき (インバータを使いたいとき) には、入力をゲートに反転結合する。すなわち図 8 のように、反転したい入力 A をゲートの出力ノード (ノード 2) に接続する。外部から与えられた電圧の効果は出力ノードと入力ノードで互いに逆である。そのため、図 8 の回路は入力 A の反転が入力ノードに加わったときと同じ動作をする。インバータのためのゲートはとくに必要ない。

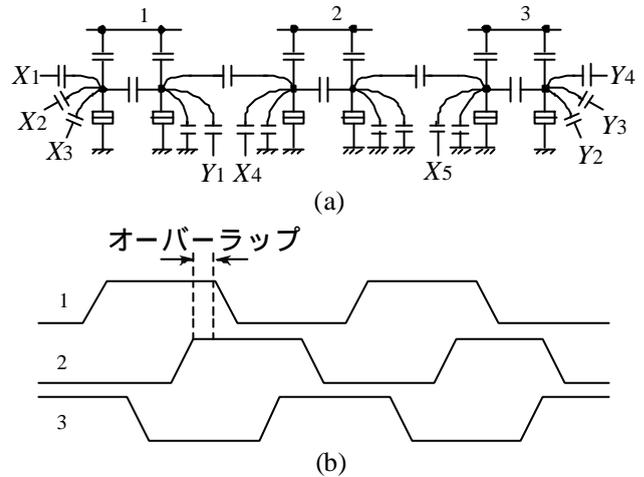


図 7 複数ゲートの接続と 3 相クロック駆動 (a) 接続の方法 ($X_1 \sim X_5$ は他ゲートからの入力, $Y_1 \sim Y_4$ は他ゲートへの出力), (b) 3 相の駆動電圧クロック

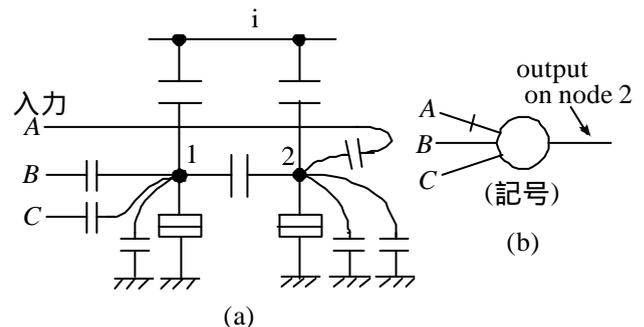


図 8 論理信号の反転 (a) 出力ノードに入力をつなげた多数決ゲート, (b) 記号による表現

4.3 シフトレジスタ

シフトレジスタは本ゲートを鎖状に連結することで構成できる。図9に回路例を示す。各ゲート（ゲート1～ゲート9）を駆動する3相電圧クロックの位相（1, 2, 3）をゲートの上に記す。たとえばゲート2はクロック₂で駆動する。クロックの位相関係は図7(b)と同じである。

図の回路では入力信号をゲート3で二つの経路に分岐し、ゲート4にはそのままの信号を送る。一方ゲート7には反転信号を送る（ゲート7は入力反転結合）。したがって、出力ノード1には正転信号、ノード2には反転信号が転送される。

信号転送の動作シミュレーションを図10に示す。回路パラメータは3.3節のものと同一である。ここでは入力として連続信号“100100100...”を与えた。それに対応してノード1には信号“100100100...”が出力され、ノード2には反転信号“011011011...”が出力される。

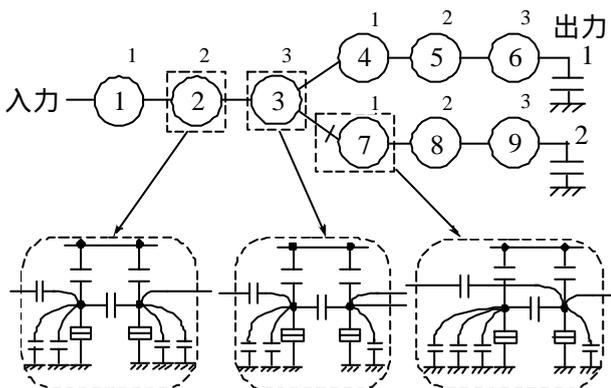


図9 シフトレジスタ

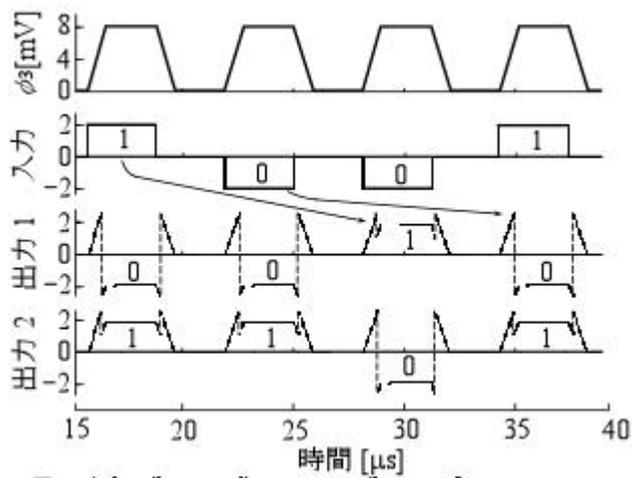


図10 シフトレジスタの動作（シミュレーション）

4.4 全加算器

本ゲートを用いた全加算器の構成を図11に示す。各ゲートを駆動する3相電圧クロックの位相（1, 2, 3）をゲートの上に記す（クロックの位相関係は図7(b)と同じ）。ゲート5～7で加算動作を行う。ゲート1～3は入力バッファである（矩形波の入力を回路信号としての自然な波形に直すために挿入したもので加算動作には関係しない）。ゲート7は遅延バッファであり、ゲート1からの信号を正しいタイミングでゲート7に伝える役割をもつ。

加算器の入力は、被加算数Aと加算数Bおよび下位からの桁上げ信号Cinの三つである。出力は和の信号Coと上位への桁上げ信号Soである。クロック₃の立上がりに合わせて入力を加える。その後クロック₂が立上がる時に桁上げ信号Coが出力され、クロック₃が再び立上がる時に和信号Soが出力される。

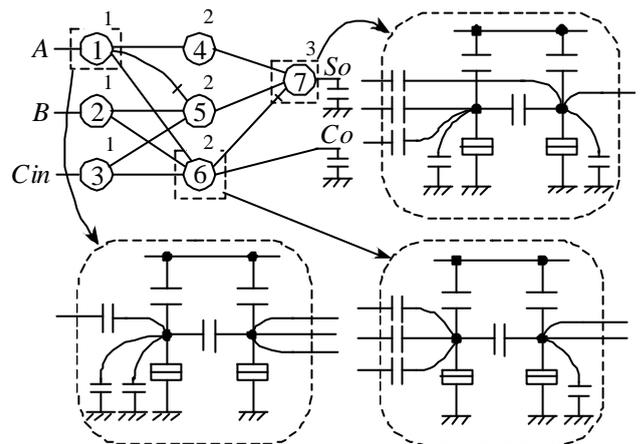


図11 全加算器

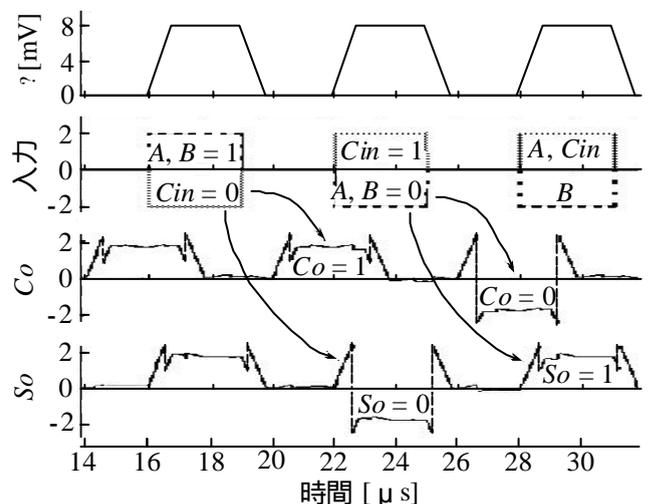
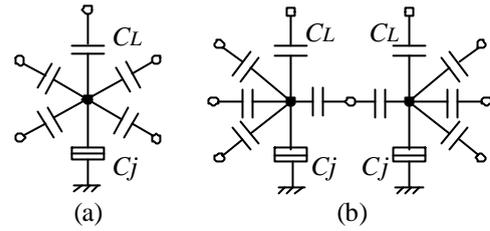


図12 全加算器の動作（シミュレーション）

入力信号のすべての組み合わせについて、加算動作をシミュレーション上で確認した（回路パラメータは 3.3 節と同じ）。図 1 2 に結果の一部を示す。入力 $(A, B, C_{in}) = (1, 1, 0)$ のとき出力 $(C_o, S_o) = (1, 0)$ 、入力 $= (0, 0, 1)$ のとき出力 $= (0, 1)$ となる様子が示されている。



5. 多数決ゲートデバイスの形成プロセス

5.1 多数決ゲートの構成要素

多数決ゲートを形成するための単位要素は図 1 3 (a) のように 4 つの容量結合端子を持つ単電子 BOX である。この単位要素を二つ連結して図 1 3 (b) のように多数決ゲートをつくる。

この要素セルを基板上に多数配列して作成するため、次のプロセスを考えた。すなわち下記 (1)~(4) の工程で単位要素を製作する。

- (1) 導電性基板の表面に絶縁膜を形成する。
- (2) その絶縁膜の上に 2 次元配列した微細ドット（ナノドット）を形成する（図 1 3 (c)）。ナノドットは単位要素として使うものであり、次のような構造を持たせる。

- (i) 各ナノドットは他のナノドットと結合するため四つの端子を持つ（図 1 3 (d)）。
 - (ii) ナノドットは基板との間にトンネル接合を持つ。
- (3) すべてのナノドットを絶縁膜で覆う。
 - (4) その絶縁膜の上に電極を形成してナノドット間を容量結合し、多数決ゲートを構成する（図 1 3 (e)）。

図 1 3 (e) に示すように、ナノドット間を容量結合するときは、二つのナノドットの結合端子に（絶縁膜を介して）結合電極を付ければよい。駆動キャパシタ（図 1 3 (b) の C_L ）を形成するには、各ナノドットの上に（絶縁膜を介して）電極を付ける。したがって、電極パターンを適切に設計することで、多数決ゲートとその組み合わせ回路を構成できる。

本プロセスで重要な工程は、結合端子とトンネル接合を持つナノドットを規則正しい配列で形成することである。そのためのプロセスとして、有機金属気相選択成長（selective-area metalorganic vapor-phase epitaxy：以下 SA-MOPVE）にもとづく作成技術を開発中である。現在までの検討により、GaAs 基板上の絶縁膜の上に GaAs ナノドットを規則配列することに成功している（ナノドットの下にトンネル接合を形成することはまだできていない）。そのプロセスを次節で説明する。

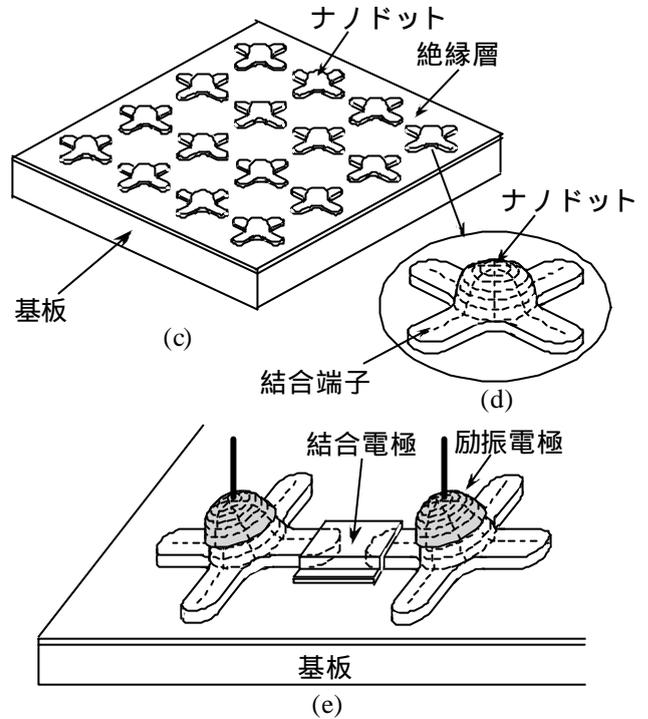


図 13 多数決論理ゲートデバイスの構成

(a) 単位要素：4 端子をもつ単電子 BOX，(b) 二つの単位要素からなる多数決ゲート，(c) 基板表面の絶縁膜上に規則配列したナノドット，(d) 四つの結合端子を持つナノドット，(e) 二つのナノドットを結合電極で容量的に結んで多数決ゲートをつくったもの

5.2 SA-MOVPE によるナノドット配列の形成

開発したプロセスは、SA-MOVPE [7, 8] における結晶成長の方向依存性を利用している。GaAs 基板上で、AlGaAs 絶縁層に埋め込まれたナノドット集積配列を形成することができる。各ナノドットは十字形で四つの結合端子をもつ。

プロセスの手順と使用した条件は次の通りである。

(1) 基板の用意

GaAs 基板（(0 0 1)面）の表面にプラズマ堆積で厚さ 40 nm の SiN_x 層を形成した。

(2) SiN_x マスクパターンの形成

電子ビームリソグラフィとエッチングで SiN_x 層を加工し、 $\langle 100 \rangle$ と $\langle 010 \rangle$ の方向に沿って正方形パターンの配列を残した（図 1 4）。露出した GaAs の部

分(図中の「交叉点」と「街路」)には、以下の工程で GaAs と AlGaAs を選択成長させる。

(3) 結晶成長

結晶成長には高周波加熱の石英反応炉を用いた。キャリアガスに水素を使用し、反応ガスとして $(\text{CH}_3)_3\text{Ga}$, $(\text{C}_2\text{H}_5)_3\text{Al}$, AsH_3 を用いた。分圧の設定値は $(\text{CH}_3)_3\text{Ga} = 1.9 \times 10^{-6}$ atm および $(\text{C}_2\text{H}_5)_3\text{Al} = 6.7 \times 10^{-7}$ atm である。 AsH_3 の分圧は後述のようにプロセス途中で変化させる。キャリアガスを含む全圧は 0.1 atm、温度は 750 に設定した。この条件下での GaAs と AlGaAs の成長速度は $0.5 \mu\text{m/h}$ および $0.8 \mu\text{m/h}$ であった(十分に広い (001) 面での値)。

(4) バッファ層の堆積

SiN_x マスクをつけた基板の上に厚さ 70 nm の n 形 GaAs バッファ層を堆積した。このとき AsH_3 の分圧は 6.7×10^{-5} atm に設定した。

(5) 第1絶縁層の堆積

バッファ層の上に絶縁性の $\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ 層を堆積した。 AsH_3 の分圧は 6.7×10^{-5} atm に設定した。 $\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ 層を絶縁性にするため、キャリアガスに痕跡の酸素を加えた。成長時間は 20 分とした。 $\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ 層の厚さは基板表面の「交差点」の中心上で 130 nm であった(「交差点」については図 14 を参照)。

(6) ナノドットの形成

AlGaAs 絶縁層の上に n 形 GaAs 層を堆積した。 AsH_3 の分圧は 5.0×10^{-4} atm に設定し、成長時間は 5 分とした。ドーパントを添加しなくとも GaAs 層は n 形になった。GaAs 層の厚さは「交差点」の中心上で 30 nm であった。後述のように、GaAs 成長の速度が結晶方向に依存するので「交差点」の部分に十字形のナノドットが自己組織化で形成される。

(7) 第2絶縁層の堆積

絶縁性の $\text{Al}_{0.35}\text{Ga}_{0.65}\text{As}$ を堆積して全表面を覆った。 AsH_3 の分圧を 5.0×10^{-4} atm に設定し、キャリ?

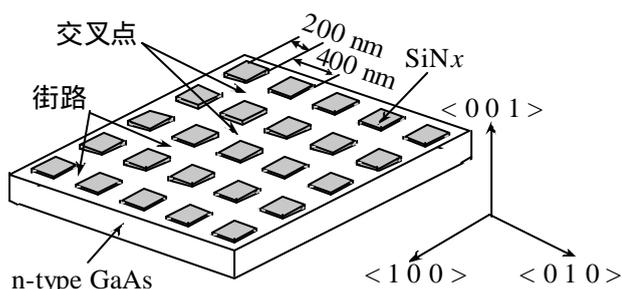


図 14 GaAs 基板上に形成した SiN_x マスクパターン

アガスには痕跡の酸素を加えた。堆積時間は 15 分、堆積層の厚さは「交差点」の中心上で 100 nm であった。

5.3 形成された構造? ナノドットの集積配列

以上のプロセスで得られる構造を図 15(a)、その拡大スケッチを図 15(b) に示す。GaAs 基板の「街路」に沿って井桁状の AlGaAs 細線が形成され、一方「交差点」の部分にはピラミッド状の AlGaAs 堆積構造が形成される。その AlGaAs ピラミッドの上部に GaAs ナノドットが埋め込まれている。

図 15(a) における AB 方向のピラミッド断面を図 16(a) に示す。図 16(b) は対応する SEM 写真である。ピラミッドの基部では、AlGaAs 層と GaAs 層ともに {111} ファセット面が現れる。一方ピラミッドの上部では AlGaAs 層のとき {114} ファセット、GaAs 層のとき {113} ファセットが現れる。そのためピラミッドの上部に GaAs ナノドットが形成される。

図 15(a) の CD 方向の断面を図 16(c) に示す。細線の概形は最初の AlGaAs 層の堆積でつくられる。細線の形は「街路」に沿って横たわる三角プリズム

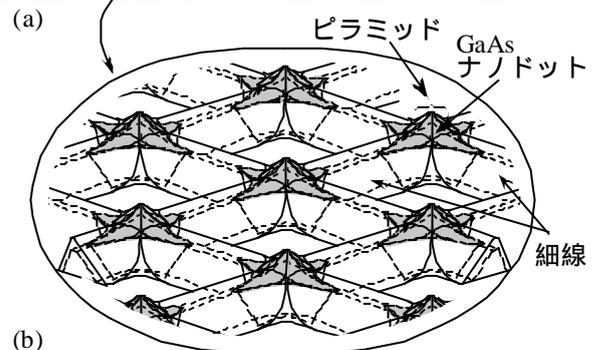
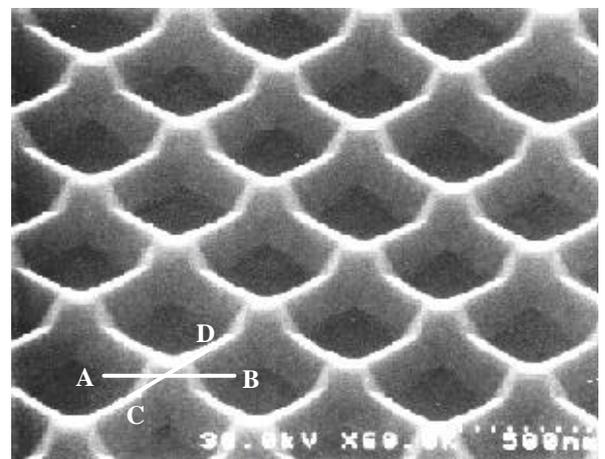


図 15 ナノドットの集積配列 (a) SEM 写真, (b) 拡大スケッチ (灰色が GaAs ナノドット)

状であり、側壁は $\{011\}$ ファセットで覆われている。一方 AlGaAs ピラミッドには $\{114\}$ ファセットが現れるので、細線がピラミッドと接する部分には遷移領域ができる。その上に GaAs を堆積すると、ピラミッドの $\{114\}$ ファセットとピラミッドに接する遷移領域の上には GaAs が成長する。しかし、本プロセスで用いた成長条件では $\{011\}$ ファセット上に GaAs は成長しない。その結果、ピラミッドの頂部から四方の細線に向けて端子を伸ばした十字形 GaAs ナノドットが形成される。

5.4 トンネル接合を持つナノドットの形成

以上のプロセスは第一段階のものであって、ナノドットと基板の間にトンネル接合はまだない。次の段階として、トンネル接合を形成するために図 17 のような改良ピラミッド構造のプロセスを開発中である。この改良プロセスでは、5.2 節の工程 (4) に

おいて、GaAs バッファ層に替えて n 形 GaAs のピラミッドを成長させる。その後のプロセスは 5.2 節と同じである。ピラミッドの上部では、GaAs の成長のとき $\{113\}$ ファセットが現れ、AlGaAs の成長のとき $\{114\}$ ファセットが現れる。その面方位の差によって、GaAs ピラミッドと GaAs ナノドットに挟まれた AlGaAs 層がピラミッドの先端で薄くなる。そこにトンネル接合が形成される。この改良プロセスを用いることによって、単電子多数決ゲートを実現するとともに、それを用いた集積回路を開発することができると思う。

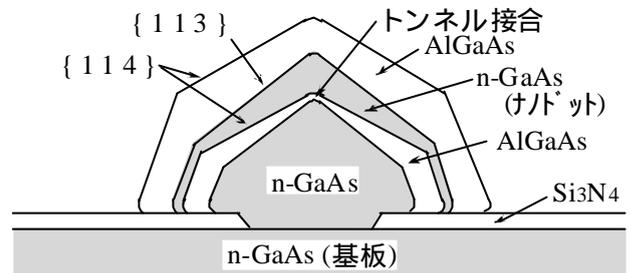


図 17 ナノドットと基板の間にトンネル接合を持つ改良ピラミッド構造

文 献

- [1] H. Gravert and M. H. Devoret, Single Charge Tunneling --- Coulomb Blockade Phenomena in Nanostructures, New York: Plenum, 1992.
- [2] S. Amarel, G. Cooke, and R. O. Winder, "Majority gate network," IEEE Trans. Electronic Computers, vol. 13, pp. 4-13 (1964).
- [3] K. F. Loe and E. Goto, "Analysis of flux input and output Josephson pair device," IEEE Trans. Magn., vol. MAG-21, pp. 884-887 (1985).
- [4] C. S. Lent, P. D. Tougaw, W. Porod, and G. H. Bernstein, "Quantum cellular automata," Nanotechnology, vol. 4, pp. 49-57 (1993).
- [5] H. Iwamura, M. Akazawa, and Y. Amemiya, "Single-electron majority logic circuits," IEICE Trans. Electron., vol. E81-C, pp. 42-48 (1998).
- [6] N. Kuwamura, K. Taniguchi, and C. Hamakawa, "Simulation of single-electron logic circuits," IEICE Trans. Electron., vol. J77-C-II, pp. 221-228 (1994).
- [7] K. Kumakura, K. Nakakoshi, J. Motohisa, T. Fukui, and H. Hasegawa, "Novel formation method of quantum dot structures by self-limited selective area metalorganic vapor phase epitaxy," Jpn. J. Appl. Phys, vol. 34, pp. 4387-4389 (1995).
- [8] K. Kumakura, J. Motohisa, and T. Fukui, "Formation and characterization of coupled quantum dots (CQDs) by selective area metalorganic vapor phase epitaxy," J. Crystal Growth, vol. 170, pp. 700-704 (1997).

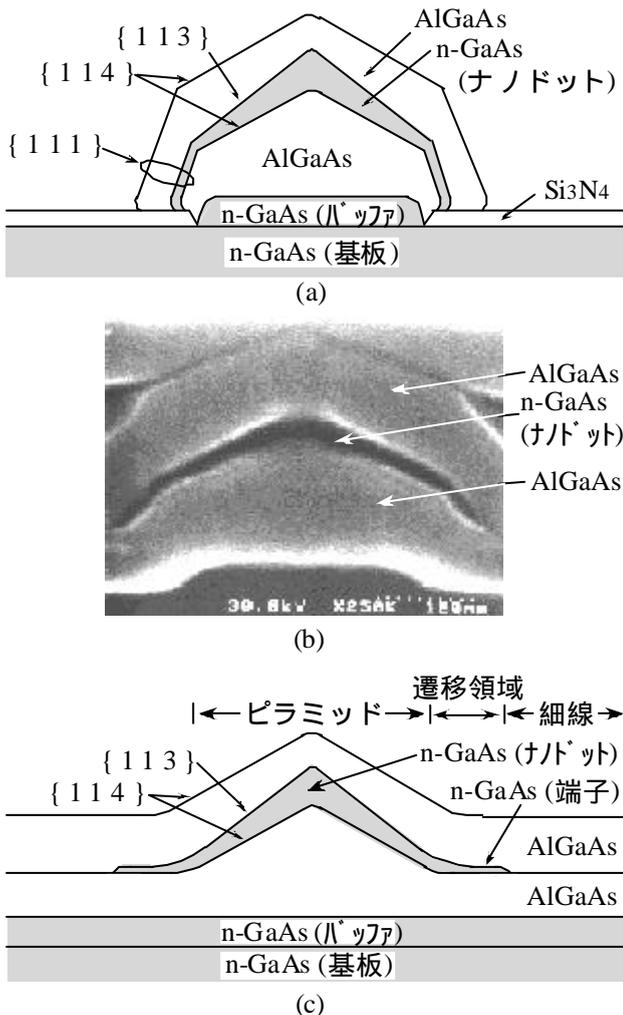


図 16 ピラミッドと細線の構造 (a) AB に沿ったピラミッド断面, (b) ピラミッド断面の SEM 写真, (c) CD に沿ったピラミッドと細線の断面