

サブスレッシュヨルド MOSFET を用いた温度検出スイッチ回路

萩原 淳史[†] 廣瀬 哲也 浅井 哲也 雨宮 好仁

[†]北海道大学大学院情報科学研究科

〒060-0814 北海道札幌市北区北 14 条西 9 丁目

E-mail: [†] {hagiwara, hirose, asai, amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし 特定の温度で回路状態がオン状態からオフ状態にスイッチする温度検出回路を提案する。この回路は、線形 MOS 抵抗の動作状態がしきい温度において強反転領域動作からサブスレッシュヨルド領域動作に遷移することを利用する。遷移のときにノード電圧が高い電圧値（オン状態）から低い電圧値（オフ状態）に変化することを利用して、温度がしきい温度を超えたことを検出する。回路パラメータの調節により、しきい温度を 0°C–100°C の広い範囲で任意に設定できる。通常の CMOS プロセスで製作可能であり、LSI 上に搭載して過熱検知や過電流保護などに応用できる。

キーワード CMOS, サブスレッシュヨルド電流, 温度検出,

Critical temperature switch circuit with CMOS subthreshold region

Atsushi HAGIWARA[†] Tetsuya HIROSE Tetsuya ASAI and Yoshihito AMEMIYA[‡]

[†] Department of Electrical Engineering, Hokkaido University

Kita 14, Nishi 9, Kita-ku, Sapporo, 060-0814, Japan

E-mail: [†] {hagiwara, hirose, asai, amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract We propose a thermosensing circuit that changes its internal state abruptly at a threshold temperature. The circuit switches its output-node voltage from a high value to a low one when temperature exceeds the threshold. The circuit makes use of the transition of a MOSFET resistor from strong-inversion operation to weak-inversion or subthreshold operation. The threshold temperature for the transition can be set to a desired value from 0°C to 100°C by adjusting the parameters of MOSFETs in the circuit. The circuit can be made with a standard CMOS process and can be used as over-temperature detectors and over-current protectors for LSI circuits.

Keywords CMOS, subthreshold current, temperature detection,

1. はじめに

近年、我々の周りの様々な電子機器・電子デバイスは急速に発展し、機器の小型化・高機能化が進んでいる。これにともない、電子デバイスの消費電力は増大し、発熱によるデバイス動作への影響が懸念されている。また、熱暴走等の異常動作による破壊から機器を守るための安全性の確保が求められている。電子デバイスの安全・安定動作を確保するためには、その温度を感度よく検出することが不可欠である。一般に、温度を監視する素子としてサーミスタなどのセラミック抵抗素子が利用されている。とくに CTR (Critical Temperature Resistor) 素子は、

温度が特定値を超えると抵抗値が大きく減少する特性を示すので、温度監視用に広く用いられている [1]。

CTR 素子は金属酸化物からなる焼結材料で構成されており、その材料の相転移現象による抵抗変化を利用して温度を検出する。しかし酸化物焼結体からなるため、安定性や信頼性に改善すべき点があるとともに、IC チップ上へのモノリシック搭載が難しい。加えて、抵抗変化を示すしきい温度を広範囲に設定することが困難という問題もある。

本研究では、上記の問題を解決するために、CTR 素子の持つ高感度性----温度が特定値を超

えると出力が大きく変化する性質----と類似の特性を示す CMOS 回路を提案する。この回路はサブスレッショルド領域で動作する MOSFET の温度感性を利用しており、温度が特定値を超えると出力ノードの電位が大きく変化する。この CMOS 温度センサ回路（温度検出スイッチ：Critical Temperature Switch; CTS）について以下に述べる。

2. 回路構成

CTS 回路の構成を図 1 に示す。この回路は β 乗算型自己バイアス回路[2]を基本としており、抵抗に替えて線形 MOS 抵抗 M7 を用いる。MOS トランジスタ M1~M6 はサブスレッショルド領域、M7 は強反転領域で動作させる。カレントミラー回路 (M1 - M2) により、電流 I_1 と I_2 は互いに等しい ($I_1 = I_2$)。この回路の出力は M7 のゲート電圧 V_b である。温度が特定値より低いと V_b は高い値であり、温度が特定値より高くなると V_b は低い値に大きく変化する。その動作原理を以下に説明する。

2.1. 回路の動作

いま図 1 の CTS 回路の左の電流パス (M1-M3-M5) と右の電流パス (M2-M4-M6-M7) を考える。左のパスを流れる電流 I_1 はダイオード接続されたトランジスタ M3 と M5 を流れて電圧 V_b を生成する。一方、右のパスを流れる電流 I_2 は、M7 のゲート電圧 V_b によって定まる。この 2 つのパスの電圧電流特性が組み合わさって CTS 回路の特性を生み出す。

2 つのパスの電流電圧特性を図 2 に示す (実線が I_2-V_b 特性、点線が I_1-V_b 特性)。同図(a)-(c) は異なる 3 つの温度における特性である。各温度での回路特性は次のようになる。

【図 2(a)】低温では二つの特性は 2 つの交点を持つ。交点 A は回路の安定動作点、交点 B は不安定動作点である。電圧 V_b の初期値が B 点の電圧よりも高いとき、回路の動作点は A 点に向かって移動してそこで安定する。一方、初期電圧が B 点の電圧よりも低いときは、回路の電圧と電流ともに減少してゼロとなる。すなわち回路には 2 つの可能な動作点 (A 点とゼロ点) があり、回路の初期状態に応じていずれか一方が実際の動作点となる。

【図 2(b)】 温度上昇とともに 2 つの特性は移動するが、温度依存性が異なる結果として交点は互いに近づく。A 点の電圧は徐々に低下

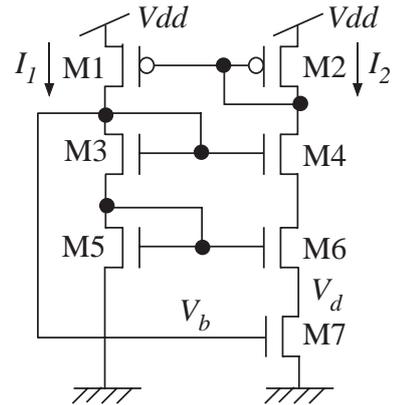


図 1 温度検出スイッチ (CTS) 回路。

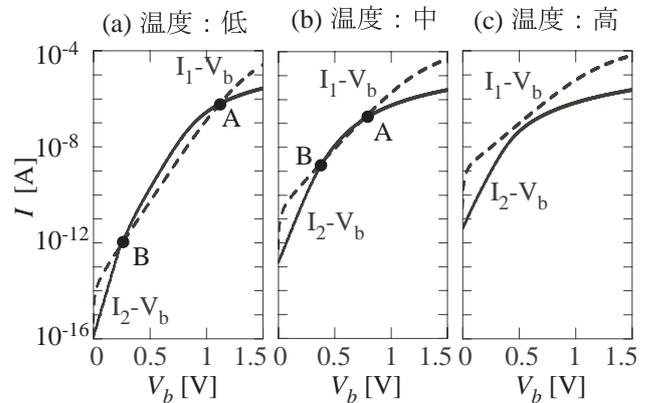


図 2 異なる温度における 2 つの電流パス回路の電流電圧特性の曲線。温度が上昇すると、交点が徐々に近づき、しきい温度を超えると交点が無くなっていることがわかる。

する。

【図 2(c)】高温になると 2 つの曲線は交点を持たなくなる。ときは電圧と電流ともにゼロとなる。したがって回路はオフ動作になる。

以上をまとめると次のようになる：「出力電圧 V_b をみると、低温で回路動作点が A 点であったときには高い値であるが、温度上昇とともに徐々に低下し、温度が特定値 (しきい温度) をこえると急に 0 となる」。

2.2. しきい温度の理論解析

回路特性が急激に変化するしきい温度 T_c を解析的に求める。CTS 回路では MOS トランジスタ M1~M6 をサブスレッショルド領域で動作させる。サブスレッショルド領域 (MOSFET のゲート・ソース間電圧 V_{gs} がしきい値電圧 V_{th}

より低い領域)で流れる弱反転電流 I_D は、ドレイン・ソース間電圧 V_{ds} が 0.1 V 以上のとき、次のような指数関数で近似できる。

$$I_D = K_M I_0 \exp\left(\frac{V_{gs} - V_{th}}{\eta V_T}\right), \quad (1)$$

ここで、 K_M はトランジスタのサイズ比、 I_0 はサブスレッショルド電流の前置係数、 η はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数、 $V_T (=k_B T/q)$ は熱電圧である。

図 1 において、M5 のゲート・ソース間電圧 ($V_{gs,M5}$) は M6 のゲート・ソース間電圧 ($V_{gs,M6}$) と M7 のドレイン電圧 (V_d) の和であり次式を満たす。

$$V_{gs,M5} = V_{gs,M6} + V_d, \quad (2)$$

また、M5 と M6 を流れる電流が等しいことから V_d は次式で表せる。

$$V_d = \eta V_T \ln(K) \quad (3)$$

ここで、 K はトランジスタ M5 と M6 のサイズ比 ($K=K_{M6}/K_{M5}$) である。電圧 V_b は、M3 と M5 を合わせた MOS ダイオード 2 つ分の電圧が印加されるため、M7 のしきい値電圧よりも高い値となる。そのため、M7 は強反転線形領域で動作する。このとき回路を流れる電流 I と電圧 V_b の関係は次の 2 式で表すことができる。

$$\begin{aligned} I &= \beta(V_b - V_{th})V_d \\ &= \beta(V_b - V_{th})\eta V_T \ln(K), \end{aligned} \quad (4)$$

$$V_b = 2V_{th} + 2\eta V_T \ln\left(\frac{I}{I_0}\right). \quad (5)$$

ここで、 β は電流利得係数である。なお、しきい値電圧には温度依存性があり、次式のように表せる。

$$V_{th} = V_{th0} - \kappa T, \quad (6)$$

ここで、 V_{th0} は絶対零度におけるしきい値電圧、 κ はしきい値電圧の温度依存係数である [3][4]。式(4), (5), (6)から電圧 V_b の温度に対する変化率が次のように求まる。

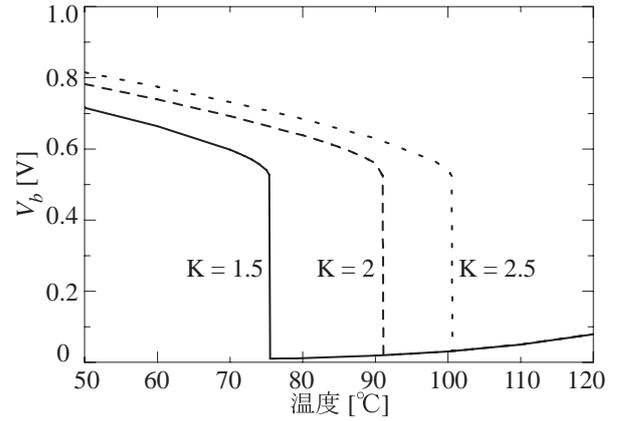


図 3 温度に対する電圧 V_b のスイッチ動作。回路パラメータ K を変えることによって、しきい温度を変更することができる

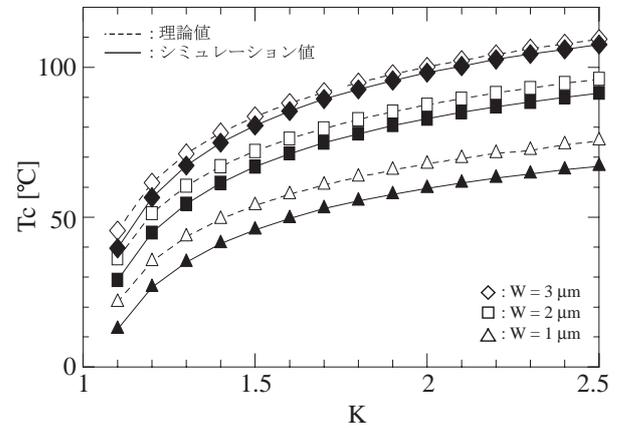


図 4 回路パラメータ K , W に対するしきい温度 T_c の変化。0 °C 付近から 100 °C 付近まで広範囲に設定可能。

$$\frac{\partial V_b}{\partial T} = \frac{\alpha}{\beta\eta V_T \ln(K) - \frac{I_0}{2\eta V_T} \exp\left(\frac{V_b - 2V_{th}}{2\eta V_T}\right)}, \quad (7)$$

$$\begin{aligned} \alpha &= \left\{ 1 + \frac{4\kappa T - (V_b - 2V_{th})}{2\eta V_T} \right\} \frac{I_0}{2T} \exp\left(\frac{V_b - 2V_{th}}{2\eta V_T}\right) \\ &\quad + \left(\frac{V_b - V_{th}}{2T} - \kappa \right) \beta\eta V_T \ln(K), \end{aligned} \quad (8)$$

一般的な CMOS プロセスのパラメータを用いると、式(7)の分子 α は負の値、分母は低温で正の値となる。したがって、低温では V_b は温度とともに減少する。温度の上昇にしたがって式

(7)の分母の項は減少し、ある特定温度でゼロとなる。つまり、この温度において V_b の変化率はマイナス無限大となる。これは回路動作がオフ状態に遷移することに対応している。この温度がしきい温度である。このとき次式が成立する。

$$V_b = V_{th} + 2\eta V_T, \quad (9)$$

これより、しきい温度 T_C が次のように求まる。

$$T_C = \frac{V_{th0}}{2\eta \frac{k_B}{q} \left\{ 1 - \ln \left(2M \frac{\eta^2}{\eta - 1} \ln(K) \right) \right\} + \kappa}, \quad (10)$$

ここで、 M はトランジスタ M_5 と M_7 の β 項の比率 ($M = \beta_{M5}/\beta_{M7}$) である。しきい温度 T_C は回路パラメータを変えることで任意値に設定できる。

2.3. シミュレーション結果

以上の回路動作をシミュレーションで確認した。結果を以下に示す。0.35 μm -CMOS プロセスパラメータを使用し、電源電圧は 1.5 V に設定した。図 3 に温度を上昇させたときの電圧 V_b の変化を示す。電圧 V_b は温度上昇と共に減少し、しきい温度を超えると急激に電圧値が減少する。図 4 は、回路パラメータ K とトランジスタ M_7 のチャネル幅 W を変化させたときのしきい温度 T_C の変化を示す。 T_C を 0 $^{\circ}\text{C}$ 付近から 100 $^{\circ}\text{C}$ 付近まで広範囲に設定可能である。また、しきい温度の解析計算値とシミュレーション計算値は比較的良好に一致した。

3. ヒステリシス特性とリセット機構

先に 2.1 で述べたように、CTS 回路は低温では可能な動作点を 2 つ持つ。そのため、温度が高い値から下がって来たときには、温度がしきい値を下回っても回路動作が復帰しない。図 5 は、この状況を示すヒステリシス特性である。はじめに温度を上昇させ、その後温度を下降させるシミュレーションを行った結果を示す。温度が上昇してしきい温度を超えると、電圧 V_b は高い値からゼロ付近へと急激に変化する。その後、温度が下降してしきい温度よりも低い温度になっても、 V_b の電圧が図 2 (a), (b) の B 点よりも低いため、低い電圧で動作し続けることが分かる。

このヒステリシス特性をなくするた

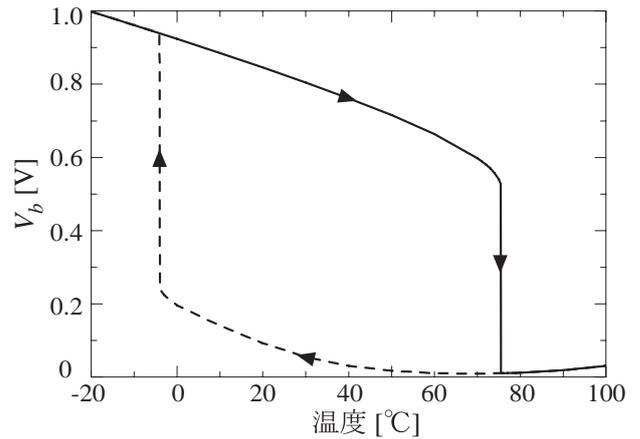


図 5 CTS 回路のヒステリシス特性。しきい温度 $T_C = 75^{\circ}\text{C}$ ($K = 1.5$, M_7 ; $W/L = 2 \mu\text{m}/20 \mu\text{m}$) の CTS 回路において温度下降時には温度上昇時と異なったしきい温度を示している。

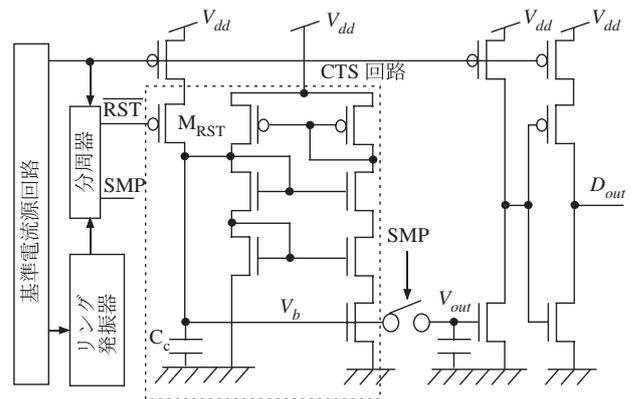


図 6 リセット機構を含んだ CTS 回路構成。リセット機構は、基準電流源回路、リング発振器、分周器から構成されており、出力は V_b の電圧値をソース接地増幅器によってデジタル信号に変換することによって、オン・オフを判定する

めには、電圧 V_b の値を周期的に高い値にリセットすればよい。そのリセット回路を含めた全体の回路構成を図 6 に示す。リセット回路は、基準電流源回路[5]、リング発振器、分周器からなり、CTS 回路に接続された M_{RST} にリセット信号を与える。リセット信号により電圧 V_b を図 2 (a), (b) の B 点よりも大きな電圧に強制的にリセットすることで、しきい温度以下において、CTS 回路が必ず安定動作点で動作するように設定する。基準電流源回路には、

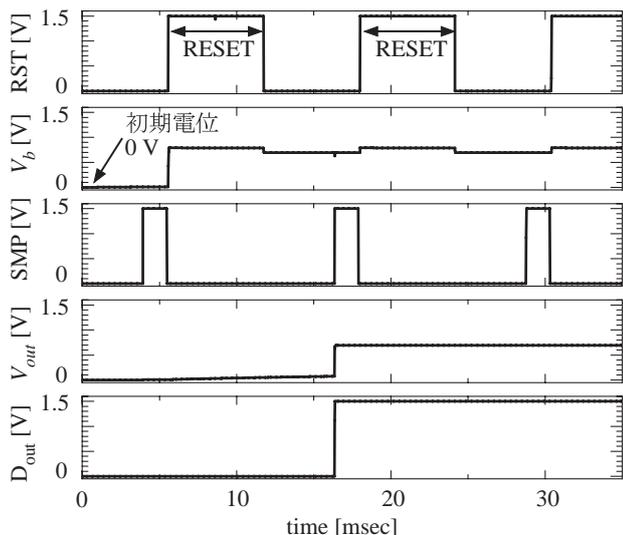


図7 リセット機構を含めたシミュレーション結果。CTS回路（しきい温度 $T_c = 75^\circ\text{C}$ ）の動作温度 $T = 70^\circ\text{C}$ での動作結果。 V_b の初期電位を 0V とし、サブスレッシュホールドバイアス条件からシミュレーションを行っている。

ナノアンペアオーダーの電流を生成する回路を使用し、この電流によってリング発振器を駆動する。リング発振器で生成したパルスを分周器で分周してリセット信号（RST）とサンプル信号（SMP）を生成する。このリセット信号（RST）をトランジスタ M_{RST} に印加することで V_b の電圧値を周期的に高い値に設定した。また、リセット前の V_b の電圧値をサンプル信号（SMP）によって周期的にサンプルし、それを V_{out} として取り出す。その V_{out} を出力インバータによってデジタル信号（ D_{out} ）に変換する。

これらのリセット機構を含めた動作を SPICEシミュレーションにより確認した。 75°C のしきい温度でスイッチ動作をする CTS回路を使用し、 70°C の状態ではシミュレーションを行った。この温度において、CTS回路はオン状態で動作しているため高い出力電圧を示す。しかし、電圧 V_b の初期値が低い場合には、ヒステリシス特性により低い出力電圧を示す。リセット機構を用いることによりヒステリシス特性を回避して、正常な電圧を示すように補正する。このシミュレーション結果を図7に示す。ヒステリシス特性を補正する動作を見るため、電圧 V_b に初期電圧として 0V を与えた。したがって、出力電圧 V_{out} 、 D_{out} には最初 0V が出力される。最初のリセットパルスが入った後、電圧 V_b に

は大きな値の初期値が入るため正しい動作点に落ち着き、その後は正常な高い電圧値を出力する。

4. まとめ

サブスレッシュホールド領域で動作する MOSFET を利用した温度検出スイッチ（CTS）回路を提案した。線形 MOS 抵抗の動作点が温度によって強反転領域から弱反転領域に変化することを利用して温度を検出する。このときのしきい温度は、回路パラメータを調節することで 0°C - 100°C の広範囲に設定可能である。また、回路のもつヒステリシス特性を補正するため、リセット回路を含めた全体回路を設計した。この回路は標準の CMOS プロセスで構成可能であり、LSI 回路上の異常温度検出等に応用できる。

参考文献

- [1] 南任靖雄, "センサと基礎技術", 工学図書, 1994
- [2] R. Baker, H. Li, D. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press., 1997
- [3] Y. Taur, T.H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press., 2002.
- [4] P.R. Gray and R.G. Mayer, "Analysis and Design of ANALOG INTEGRATED CIRCUITS, third ed.", Wiley & Sons, 1993
- [5] H.J. Oguey, D. Aebischer, "CMOS Current Reference Without Resistance", IEEE JOURNAL OF SOLID-STATE CIRCUIT, 1997