

# 極低消費電力 LSI のための CMOS 参照電流源回路

上野憲一\*, 浅井哲也, 雨宮好仁 (北海道大学), 廣瀬哲也 (神戸大学)

A Current Reference Circuit consisting of Subthreshold MOSFETs

Ken Ueno\*, Tetsuya Asai, Yoshihito Amemiya (Hokkaido University)

Tetsuya Hirose (Kobe University)

## Abstract

A low-power CMOS current reference circuit was developed using a 0.35- $\mu\text{m}$  standard CMOS process technology. The circuit consists of MOSFET circuits operating in the subthreshold region and uses no resistors. It compensates for the temperature effect on mobility  $\mu$  and threshold voltage  $V_{TH}$  of MOSFETs and generates a reference current insensitive to temperature and supply voltage. Theoretical analyses and experimental results showed that the circuit generates a stable reference current of 100 nA. The temperature coefficient of the current was 520 ppm/ $^{\circ}\text{C}$  at best and 600 ppm/ $^{\circ}\text{C}$  on average in a range from 0 to 80 $^{\circ}\text{C}$ . The line regulation was 0.2%/V in a supply voltage range of 1.8–3 V. The power dissipation was 1  $\mu\text{W}$  and the chip area was 0.014 mm<sup>2</sup>. Our circuit would be suitable for use in subthreshold-operated, power-aware LSIs.

キーワード：CMOS, 参照電流源, 自己バイアス回路, 温度依存, 超低消費電力, サブスレッショルド (弱反転) 領域 (CMOS, Current reference, Self-biasing circuit, Temperature dependence, Ultra-low power, Subthreshold region, Weak inversion, Power-aware LSIs.)

## 1. はじめに

MOSFET のサブスレッショルド領域特性を利用することで、極めて微少な電力消費で動作可能な LSI を構築することができる。サブスレッショルド領域で動作する回路システムの動作電流値は数 nA – 数百 nA の微小電流であるため、消費電力を格段に低減した LSI (数  $\mu\text{W}$  – 数十  $\mu\text{W}$ ) を実現することが可能である<sup>(1)~(4)</sup>。極低電力 LSI の応用範囲は広く、特に、限られた電力供給のもとで長時間に渡り連続動作が求められるアプリケーションに適している。例えば、センサネットワーク LSI や RFID, そして医療用埋め込みデバイス等は、超小型電池を電源とするか、あるいは周囲の環境エネルギーから電力を取得するか、いずれにしても極めて限られた電力供給のもとで長時間に渡る連続動作が必要となる<sup>(5)</sup>。このような微弱電力供給のもとで数年以上に渡る連続動作を可能にするためには、LSI 全体の消費電力を数十  $\mu\text{W}$  以下に抑える必要がある。

これまで、様々な回路設計手法による低電力化の試みがなされてきた<sup>(6)</sup>。しかし、これらの設計技術の多くは MOSFET の強反転領域動作を前提とした設計アプローチであり、回路システムの消費電力を格段に削減することは困難である。そこで、マイクロワット級の消費電力を実現する一つの手法として、MOSFET のサブスレッショルド領域動作を前提とした回路設計を行うことで低消費電力化を実現することが可能である。一方でサブスレッショルド領域動作を用いて回路設計を行う際、以下の点を考慮する必要がある。

- ◇ 微小電流であるため、動作速度が遅い
- ◇ 温度やプロセス変動に対して特性が敏感に変化するサブスレッショルド電流はナノアンペアオーダーの微小電

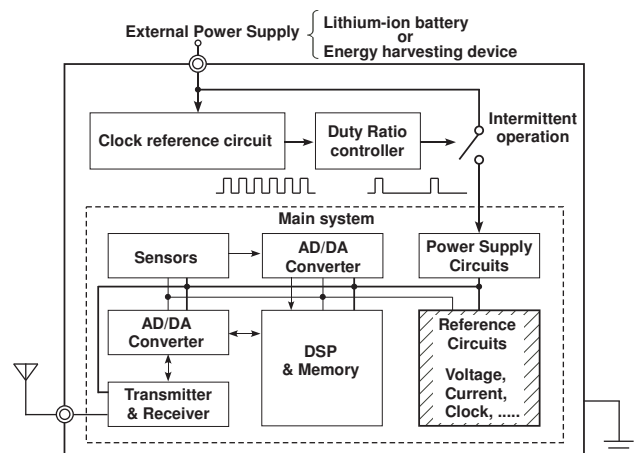


図1 サブスレッショルド領域動作を前提とした極低消費電力スマートセンサ LSI アーキテクチャ。

流であるため駆動能力が低く、高速デジタル演算应用到代表されるこれまでの回路設計技術において使用することはできない。また、周囲の温度変化やプロセスバラツキは回路特性の予測や保証が困難なものとなり、LSI の歩留まりの低下に繋がるため、これまで積極的に用いられることはなかった。これらの問題点に対して、前者に対しては速度が問題とならない応用分野 (例えばセンサデバイス応用など) や、限られた電力供給のもとで動作することが求められる低速アプリケーションをターゲットとすることで、低速動作である問題点を解決することができる。後者に対しては、回路アーキテクチャによる温度補償、プロセスバラツキ

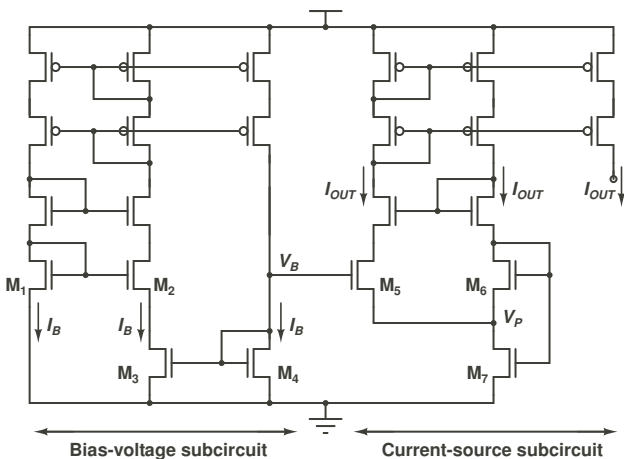


図2 提案する電流源回路。

補正を行う必要がある。また、一方で、サブスレッショルド領域での温度感受性を逆に利用することで、様々なアプリケーション(温度センサや参照電圧源、温度補正回路等)に適用することも可能である。

このような背景の下、極低電力 LSI アプリケーションの一例として、サブスレッショルド領域動作を前提としたスマートセンサ LSI の開発を行っている。そのアーキテクチャを図 1 に示す。構成要素としてセンサ<sup>(1)(2)</sup>をはじめとして、AD/DA 変換器、プロセッサユニット<sup>(7)</sup>、メモリ、参照信号生成回路<sup>(8)(9)</sup>、電源回路<sup>(10)</sup>、トランシーバ回路、間欠動作制御回路<sup>(11)</sup>で構成される。センサ素子のセンシング信号を AD 変換し、CPU 等のプロセッサによりデジタル信号処理を行いメモリに格納する。さらに、必要に応じて外部端末との間で、命令データ、蓄積データの送受信を行う。全ての回路ブロックをサブスレッショルド領域で動作させることで、極低消費電力動作を実現することが可能である。また、スマートセンサ LSI は、様々な使用環境が想定されるため、広い温度範囲や電源電圧の変動のもとで、安定に動作する参照回路が不可欠となる。特に参照電流源回路は回路システムの性能や消費電力を決めるバイアス電流として重要かつ必須な要素回路ブロックである。本稿では、極低消費電力で動作し、回路システムに対して安定に定電流を供給する参照電流源回路を提案する。

## 2. 参照電流源回路

これまで、参照電流源回路としてバイポーラトランジスタや強反転動作の MOSFET を抵抗体と組み合わせることで、参照電流を生成する回路が報告されている<sup>(12)~(16)</sup>。しかし、従来の参照電流源回路をサブスレッショルド領域動作を前提とした LSI システム用の電流源回路として使用することを想定すると以下に示す問題点があげられる。

- ◇ 消費電力が大きい
- ◇ 高抵抗(すなわち大面積)が必要

これまでの参照電流源回路は、動作時の電力が大きい(数百  $\mu\text{W}$  - 数  $\text{mW}$  オーダ)、サブスレッショルドシステム

表 1 Transistor sizes of our circuit.

Transistor	Value (W/L)
M <sub>1</sub>	$20 \mu\text{m} / 2 \mu\text{m} = (2 \mu\text{m} / 2 \mu\text{m}) \times 10$
M <sub>2</sub>	$80 \mu\text{m} / 2 \mu\text{m} = (2 \mu\text{m} / 2 \mu\text{m}) \times 40$
M <sub>3</sub>	$7 \mu\text{m} / 20 \mu\text{m} = (1 \mu\text{m} / 20 \mu\text{m}) \times 7$
M <sub>4</sub>	$4 \mu\text{m} / 20 \mu\text{m} = (1 \mu\text{m} / 20 \mu\text{m}) \times 4$
M <sub>5</sub>	$10 \mu\text{m} / 3 \mu\text{m} = (1 \mu\text{m} / 3 \mu\text{m}) \times 10$
M <sub>6</sub>	$320 \mu\text{m} / 1 \mu\text{m} = (2 \mu\text{m} / 1 \mu\text{m}) \times 160$
M <sub>7</sub>	$12 \mu\text{m} / 3 \mu\text{m} = (2 \mu\text{m} / 3 \mu\text{m}) \times 6$

(数  $\mu\text{W}$  - 数十  $\mu\text{W}$  オーダ)において使用できるものではない。また、消費電力を低減するためには、動作電流を絞るための高抵抗(数十  $\text{M}\Omega$  ~ 数百  $\text{M}\Omega$ )が必要となりチップ面積の増大を招く問題点がある。以上の問題点より、抵抗体を使用した参照電流源回路をサブスレッショルド領域動作を前提とした LSI システム用の電流源回路として使用することはできない。したがって、抵抗素子を用いない新しいアーキテクチャに基づく電流源回路を開発する必要がある。これまで、抵抗素子を用いない回路構成による参照電流源回路がいくつか提案されている<sup>(17)~(19)</sup>。しかし、いずれの回路も出力電流が正の温度係数を持ち、温度に依存( $I_{OUT} \propto T^{0.5}$ )してしまう特性を有する。よって、周囲温度が変動する環境下では使用することができない。そこで、本研究では上記の問題点を解決した温度、電源電圧の変動に依存しない電流源回路を開発した<sup>(20)</sup>。以下では回路構成の詳細を説明する。

## 3. 回路構成

図 2 に提案する参照電流源回路の回路構成を示す。この回路は、バイアス電圧サブサーキット<sup>(18)</sup>と電流源サブサーキットから構成される。バイアス電圧サブサーキットは、 $\beta$ 乗算型自己バイアス回路で使用される抵抗体の代わりに強反転線形領域で動作する MOSFET(M<sub>3</sub>)を使用している。M<sub>3</sub>のゲートソース間電圧(バイアス電圧サブサーキットの出力電圧:  $V_B$ )は、強反転飽和領域で動作するダイオード接続 MOSFET(M<sub>4</sub>)によって供給される。電流源サブサーキットを構成するすべての MOSFET はサブスレッショルド領域で動作する。トランジスタ M<sub>5</sub> は、バイアス電圧サブサーキットからのゲートバイアス電圧( $V_B$ )と、ソースバイアス電圧( $V_P$ )によって、温度、電源電圧に依存しない電流を生成する。表 1 に使用したトランジスタサイズの一例を示す。以下に回路動作の詳細を説明する。

〈3・1〉動作原理 はじめに、本回路で使用する強反転線形領域、サブスレッショルド領域特性について説明する。

強反転線形領域における MOSFET の電流電圧特性は、 $V_{DS}$  が十分に小さいとき次式で表される。

$$I_D = K\mu C_{OX}(V_{GS} - V_{TH})V_{DS} \dots \dots \dots (1)$$

ここで、 $I_D$  はドレイン電流、 $K(=W/L)$  はアスペクト比、 $\mu$  は移動度、 $C_{OX}$  はゲート酸化膜容量、 $V_{GS}$  はゲート・ソース間電圧、 $V_{TH}$  はしきい値電圧、そして  $V_{DS}$  はドレイン・

ソース間電圧を表している。

一方, MOSFET のゲート・ソース間電圧がしきい値電圧 ( $V_{TH}$ ) 以下のとき, サブスレッショルド電流 (弱反転電流)  $I_D$  が流れる.<sup>(3)(21)</sup> サブスレッショルド電流は, ゲート・ソース間電圧 ( $V_{GS}$ ) とドレイン・ソース間電圧 ( $V_{DS}$ ) の指数関数として次式で表される。

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right), \quad (2)$$

$$I_0 = \mu C_{OX} (\eta - 1) V_T^2.$$

ここで,  $\eta$  はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数,  $V_T (= k_B T/q)$  は熱電圧,  $q$  は電気素量,  $k_B$  はボルツマン定数,  $T$  は絶対温度である。ここで, ドレイン・ソース間電圧 ( $V_{DS}$ ) が 0.1 V 以上のとき,  $I_D$  は  $V_{DS}$  に依存せず次式で近似できる。

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right) \dots \dots \dots (3)$$

バイアス電圧サブサーキットにおいて,  $M_1$  のゲート・ソース間電圧  $V_{GS1}$  は,  $M_2$  のゲート・ソース間電圧  $V_{GS2}$  と  $M_3$  のドレインソース間電圧  $V_{DS3}$  の和で表される。つまり

$$V_{GS1} = V_{GS2} + V_{DS3} \dots \dots \dots (4)$$

となる。そして, トランジスタ  $M_1$  と  $M_2$  に流れる動作電流  $I_B$  は, pMOS カレントミラーにより同じ値のため, 式 (4) の  $V_{DS3}$  は, 次式で表される。

$$V_{DS3} = \eta V_T \ln(K_2/K_1) \dots \dots \dots (5)$$

ここで,  $K_1$  と  $K_2$  はトランジスタ  $M_1$  と  $M_2$  のアスペクト比である。トランジスタ  $M_3$  は, 強反転線形領域で動作するため, 線形 MOS 抵抗 ( $R_{M3}$ ) は式 (1) より次式で表される。

$$R_{M3} = \frac{1}{K_3 \mu C_{OX} (V_B - V_{TH})} \dots \dots \dots (6)$$

したがって, 式 (5), (6) より, 動作電流  $I_B$  は,

$$I_B = \frac{V_{DS3}}{R_{M3}} = K_3 \mu C_{OX} (V_B - V_{TH}) \eta V_T \ln(K_2/K_1) \dots \dots (7)$$

となる。

ダイオード接続トランジスタ  $M_4$  は, 強反転飽和領域で動作する。そのドレイン電流  $I_B$  は次式で与えられる。

$$I_B = \frac{K_4 \mu C_{OX}}{2} (V_B - V_{TH})^2 \dots \dots \dots (8)$$

ここで, 線形 MOS 抵抗  $M_3$  と強反転飽和領域で動作する  $M_4$  に流れる電流  $I_B$  は同じ値 (つまり, Eq. (7) = Eq. (8)) のためバイアス電圧サブサーキットの出力電圧  $V_B$  は, 次式で表される。

$$V_B = V_{TH4} + \frac{2K_3}{K_4} \eta V_T \ln(K_2/K_1) \dots \dots \dots (9)$$

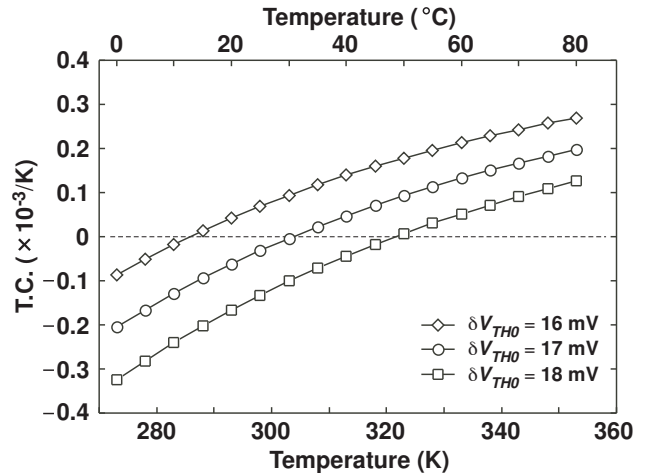


図3 温度係数 T.C.(式 (14)) の数値シミュレーション結果.  $\delta V_{TH0}$  は, それぞれ 16 mV, 17 mV, 18 mV に設定。

電流源サブサーキットのトランジスタ  $M_5$  は, サブスレッショルド領域で動作し, そのドレイン電流  $I_{OUT}$  は, 式 (3) より

$$I_{OUT} = K_5 I_0 \exp\left(\frac{V_B - V_P - V_{TH5}}{\eta V_T}\right) \dots \dots \dots (10)$$

と表される。トランジスタ  $M_5$  のソース電圧  $V_P$  は, サブスレッショルド領域で動作する  $M_6$  と  $M_7$  のゲートソース間電圧の差で表される。

$$V_P = V_{GS7} - V_{GS6} = \eta V_T \ln(2K_6/K_7) - \delta V_{TH76} \dots \dots \dots (11)$$

ここで,  $\delta V_{TH76} (= V_{TH7} - V_{TH6})$  はサイズの異なるトランジスタ  $M_6$  と  $M_7$  のしきい値電圧の差である。したがって, 式 (9)–(11) より, 電流源サブサーキットの出力電流  $I_{OUT}$  は, 次式で表される。

$$I_{OUT} = I_0 \exp\left(\frac{\delta V_{TH}}{\eta V_T}\right) \frac{K_5 K_7}{2K_6} \left(\frac{K_2}{K_1}\right)^{2K_3/K_4} \dots (12)$$

$\delta V_{TH} (= V_{TH7} + V_{TH4} - V_{TH6} - V_{TH5})$  は, トランジスタ  $M_4$ – $M_7$  のしきい値電圧の差であり, トランジスタサイズに依存する<sup>(22)(23)</sup>。以上の解析より, ナノアンペアオーダの参照電流を得ることができる。

〈3・2〉 温度依存性 次に式 (12) で表される出力電流  $I_{OUT}$  の温度特性について議論する。しきい値電圧  $V_{TH}$ , および移動度  $\mu$  の温度依存性は次式で表される<sup>(21)(24)</sup>。

$$V_{TH} = V_{TH0} - \kappa T, \quad \mu(T) = \mu(T_0) (T/T_0)^{-m} \dots \dots \dots (13)$$

ここで  $V_{TH0}$  は絶対零度におけるしきい値電圧,  $\kappa$  はしきい値電圧の温度係数,  $\mu_0$  は温度  $T_0$  における移動度, そして  $m$  は移動度の温度係数である。これより, 出力電流  $I_{OUT}$  の温度係数 (T.C.) は次式で表せる。

$$\begin{aligned}
T.C. &= \frac{1}{I_{OUT}} \frac{dI_{OUT}}{dT} \\
&= \frac{1}{\mu} \frac{d\mu}{dT} + \frac{1}{V_T^2} \frac{dV_T^2}{dT} + \frac{1}{\exp\left(\frac{\delta V_{TH0}}{\eta V_T}\right)} \frac{d \exp\left(\frac{\delta V_{TH0}}{\eta V_T}\right)}{dT} \\
&= \frac{2 - m - (\delta V_{TH0}/\eta V_T)}{T} \dots \dots \dots (14)
\end{aligned}$$

$\delta V_{TH0}(= V_{TH07} + V_{TH04} - V_{TH06} - V_{TH05})$  はトランジスタ  $M_4$ – $M_7$  の絶対零度におけるしきい値電圧の差であり、温度に依存しないパラメータである。よって回路パラメータを次式の通り設定する。

$$2 - m - (\delta V_{TH0}/\eta V_T) = 0 \dots \dots \dots (15)$$

式 (15) を満たすように回路設計パラメータ  $\delta V_{TH0}$  を設定することで、室温付近で出力電流  $I_{OUT}$  の温度係数をゼロにすることができる。したがって、温度依存性が少ない定電流を生成することができる。

式 (14) の温度係数 (T.C.) を数値計算により確認した結果を図 2 に示す。  $\delta V_{TH0}$  は、16 mV, 17 mV, 18 mV に設定した。移動度の温度係数  $m$  は 1.5<sup>(25)</sup>、サブスレッショルド係数  $\eta$  は 1.3 に設定した。解析結果より、 $\delta V_{TH0}=17$  mV のとき、室温付近で温度係数をゼロにすることができる。したがって、適切な  $\delta V_{TH0}$  を設定することによって温度依存性が小さい電流を得ることができる。  $\delta V_{TH0}$  の設定は、トランジスタのサイズによって調節可能である<sup>(22)(23)</sup>。

〈3・3〉 プロセスバラツキ 次に出力電流のプロセスバラツキについて議論する。

式 (12) で表される出力電流  $I_{OUT}$  のプロセスバラツキは、次式で表される。

$$\begin{aligned}
\frac{\Delta I_{OUT}}{I_{OUT}} &= \frac{1}{I_{OUT}} \left( \frac{\partial I_{OUT}}{\partial \mu} \Delta \mu + \frac{\partial I_{OUT}}{\partial \delta V_{TH}} \Delta \delta V_{TH} \right) \\
&= \frac{\Delta \mu}{\mu} + \frac{\Delta \delta V_{TH}}{\eta V_T} \dots \dots \dots (16)
\end{aligned}$$

一般に、移動度のプロセスバラツキは、しきい値電圧バラツキと比較すると無視できる程度に小さい。よって、出力電流はチップ内トランジスタのしきい値電圧差のバラツキ  $\Delta \delta V_{TH}/\eta V_T$  に依存する。したがって、チップ内のしきい値電圧バラツキを低減することが重要である。チップ内のしきい値電圧バラツキは、トランジスタサイズに依存するため<sup>(26)~(28)</sup>、比較的大きなトランジスタサイズの使用や、コモンセントロイド配置等のアナログレイアウト技術<sup>(29)</sup> によって低減可能である。

#### 4. 測定結果

試作チップの測定結果を以下に示す。使用したプロセスは 0.35- $\mu$ m, 2P-4M 標準 CMOS プロセスである。図 4 に試作チップの写真を示す。回路面積は 0.014 mm<sup>2</sup> と小面積である。出力電流は 100 nA の参照電流値となるように設計した。

図 5 に温度を 0°C – 80°C まで変動させたときの出力電流  $I_{OUT}$  の測定結果を示す。電源電圧は、1.8 V 2.0 V, 2.5 V,

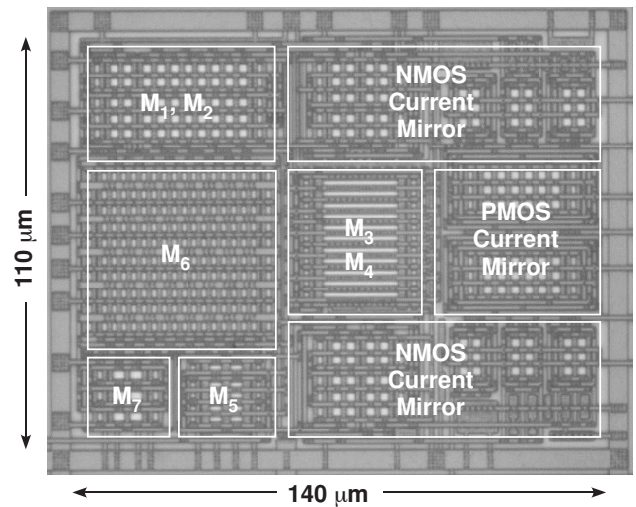


図 4 電流源回路のチップ写真 (0.014 mm<sup>2</sup>).

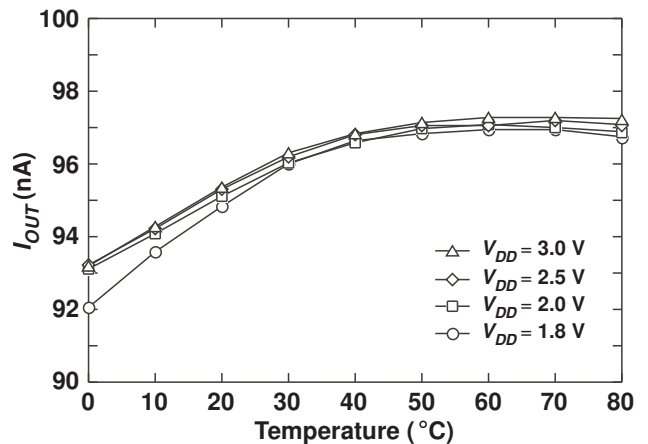


図 5 出力電流  $I_{OUT}$  の温度依存性 (T.C.=520 ppm/°C).

3V に設定した。温度、電源電圧依存性の小さい電流を出力していることを確認できる。参照電流の平均値は約 96 nA である。参照電流の温度バラツキは 50 pA/°C であり温度係数 (T.C.) は 520 ppm/°C である。ここで、図 3 の理論解析の結果より、出力電圧は下に凸の温度依存性を持つ。一方、測定結果の温度依存性は、上に凸の温度依存性を持つ。この原因の一つは、トランジスタ  $M_5$  と  $M_6$  の基板バイアス効果によって式 (14) 内の  $\delta V_{TH0}$  にわずかな温度依存性が生じるからである。図 6 に、 $T=27$  °C における出力電流  $I_{OUT}$  の電源電圧依存性を示す。電源電圧  $V_{DD}$  が 1.8 V から回路が動作していることが確認できる。また、電源電圧変動 (1.8 – 3 V) による出力電流の変動率は 0.2%/V である。

参照電流のプロセスバラツキを評価するために、同一ウェハ上の異なる 4 チップの電流源回路の出力電流を測定した。図 7 に、これらの出力電流  $I_{OUT}$  の温度特性を示す。今回のサンプル回路において出力電流には、チップ間ばらつきが生じている。これは、セクション 3-3 で議論したように、しきい値電圧差  $\delta V_{TH}$  の絶対値は、プロセスばらつきによ

表 2 Comparison of reported low-power CMOS current reference circuits

	This work	JSSC '09 <sup>(19)</sup>	T-CASII '05 <sup>(31)</sup>	JSSC '88 <sup>(17)</sup>	JSSC '97 <sup>(18)</sup>	Elec. Lett.'96 <sup>(30)</sup>
Process	0.35- $\mu\text{m}$ , CMOS	0.35- $\mu\text{m}$ , CMOS	1.5- $\mu\text{m}$ , CMOS	3- $\mu\text{m}$ , CMOS	2- $\mu\text{m}$ , CMOS	2- $\mu\text{m}$ , CMOS
Temperature range	0 - 80°C	-20 - 80°C	-20 - 70°C	0 - 80°C	-40 - 80°C	0 - 75°C
$V_{DD}$	1.8 - 3 V	1.4 - 3 V	$\geq 1.1$ V	$\geq 3.5$ V	$\geq 1.2$ V	5 V
$\overline{I_{OUT}}$	96 nA	36 nA	0.41 nA	774 nA	1 - 100 nA	285 nA
Power (@ $V_{DD}$ )	1 $\mu\text{W}$ (@ 1.8 V) Room temp.	0.3 $\mu\text{W}$ (@ 1.5 V) Room temp.	0.002 $\mu\text{W}$ (@ 1.1 V) N.A.	10 $\mu\text{W}$ (@ 5 V) N.A.	0.07 $\mu\text{W}$ (@ 2.3 V) Room temp.	N.A. N.A. N.A.
T.C	520 ppm/°C	2200 ppm/°C	2500 ppm/°C	375 ppm/°C	1100 ppm/°C	230 ppm/°C
Line regulation	0.2%/V	0.002%/V	6%/V	0.015%/V	10%/V	N.A.
Load regulation	0.02%/V	N.A.	N.A.	0.004%/V	N.A.	N.A.
Chip area	0.014 mm <sup>2</sup>	0.06 mm <sup>2</sup>	0.046 mm <sup>2</sup>	0.2 mm <sup>2</sup>	0.06 mm <sup>2</sup>	N.A.

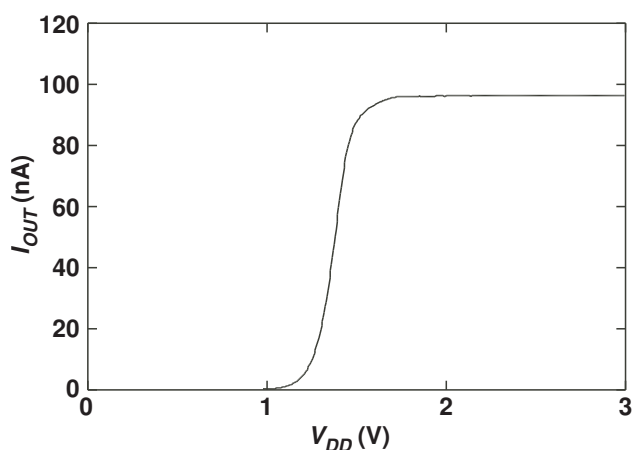


図 6 出力電流  $I_{OUT}$  の電源電圧依存性 (Line regulation=0.2 %/V). 電源電圧 1.8 V 以上で動作.

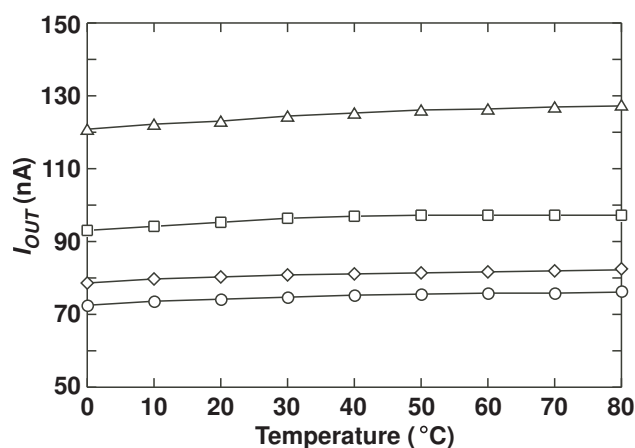


図 7 異なる 4 チップの出力電流の測定結果. (T.C.=520 - 670 ppm/°C)

て変動してしまうためである. さらに大きなトランジスタサイズを用いて設計することで, プロセスバラツキの低減が見込まれる. 一方,  $\delta V_{TH}$  の温度依存性は小さく, それぞれの参照電流の温度依存性は小さい. すべての参照電流は温度に対して一定の特性を示し, その温度係数は 520 - 670 ppm/°C であり, 温度係数の平均値は 600 ppm/°C である.

表 2 に提案回路の性能諸元を示す. また, 性能比較のため, 既に報告されている低消費電力 CMOS 電流源回路の性能も示す<sup>(17)~(19) (30) (31)</sup>. 提案回路の負荷電圧依存性は, 0.02%/V である. チップ面積は, 最も小さく 0.014 mm<sup>2</sup> である. また, 報告されている回路には, 消費電力と T.C. にトレードオフがある. 提案回路は, 消費電力が 1  $\mu\text{W}$ , T.C. が 520 ppm/°C と適切なトレードオフ点を実現した.

## 5. まとめ

本稿では, 微小電力で動作する参照電流源回路を提案した. この回路は抵抗素子を用いずに, サブスレッショルド領域で動作する MOSFET のみで構成される. 提案回路は

100 nA の参照電流値を出力し, その参照電流の温度, 電源電圧依存性は小さく, それぞれ 520 ppm/°C, 0.02 %/V であった. 回路全体の消費電力は 1  $\mu\text{W}$  の低消費電力動作を実現した. これらの結果より, この回路は, 微小電力 LSI における様々なアプリケーションに適用可能であり, 例えば RFID やスマートセンサネットワーク LSI, 医療用埋め込みデバイス等の参照電流源として利用することができる.

## 謝 辞

本研究は東京大学大規模集積システム設計教育研究センターを通じ, 日本ケイデンス株式会社の協力で行われたものである.

## 参考文献

- (1) K. Ueno, T. Hirose, T. Asai, and Y. Amemiya, "CMOS Smart Sensor for Monitoring the Quality of Perishables," *IEEE J. Solid-State Circuits*, vol. 42, no. 4, pp. 798-803, Apr. 2007.
- (2) Ueno K., Asai T., and Amemiya Y., "Temperature-to-

- frequency converter consisting of subthreshold MOS-FET circuits for smart temperature-sensor LSIs,” in *Proc. 15th International Conference on Solid-State Sensors, Actuators and Microsystems (TRANSDUCERS)*, 2009, pp. 2047-2054.
- (3) A. Wang, B.H. Clhoun, A.P. Chandracasan, *Subthreshold Design for Ultra Low-Power Systems*. New York: Springer, 2006.
  - (4) A. P. Chandrakasan, D. C. Daly, J. Kwong, Y. K. Ramadass, “Next Generation Micro-power Systems,” in *Proc. IEEE Symp. VLSI Circuits*, 2008, pp. 2-5.
  - (5) P. Fiorini, I. Doms, C. Van Hoof, R. Vullers, “Micro-power energy scavenging,” in *Proc. 34th European Solid-State Circuits Conference (ESSCIRC)*, 2008, pp. 4-9.
  - (6) S. Yan, “Low voltage analog circuit design techniques: A tutorial,” *IEICE Trans. Fundamentals*, Vol.E83-A, no.2, pp.179-196, Feb. 2000.
  - (7) Tsugita Y., Ueno K., Hirose T., Asai T., and Amemiya Y., “On-chip PVT compensation techniques for low-voltage CMOS digital LSIs,” in *Proc. International Symposium on Circuits and Systems (ISCAS)*, 2009, pp. 1565-1568.
  - (8) Ueno K., Hirose T., Asai T., and Amemiya Y., “A 0.3- $\mu$ W, 7 ppm/ $^{\circ}$ C CMOS voltage reference circuit for on-chip process monitoring in analog circuits,” in *Proc. 34th European Solid-State Circuits Conference (ESSCIRC)*, 2008, pp. 398-401.
  - (9) Ueno K., Asai T., and Amemiya Y., “A 30-MHz 90-ppm/ $^{\circ}$ C fully-integrated clock reference generator with frequency-locked loop,” in *Proc. 35th European Solid-State Circuits Conference (ESSCIRC)*, 2009.
  - (10) T. Hirose, T. Asai, and Y. Amemiya, “Power-supply circuits for ultralow-power subthreshold MOS-LSIs,” *IEICE Electronics Express*, vol. 3, no. 22, pp. 464-468, 2006.
  - (11) Ueno K., Asai T., and Amemiya Y., “Low-power clock reference circuit for intermittent operation of subthreshold LSIs,” in *Proc. International Symposium on Circuits and Systems (ISCAS)*, 2009, pp. 5-8.
  - (12) J. Chen, B. Shi, “1 V CMOS current reference with 50 ppm/ $^{\circ}$ C temperature coefficient,” *Electron. Lett.*, vol. 39, no. 2, pp. 209-210, Jan. 2003.
  - (13) A. Bendali, Y. Audet, “A 1-V CMOS Current Reference With Temperature and Process Compensation,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, pp. 1424-1429, 2007.
  - (14) C. Yoo, J. Park, “CMOS current reference with supply and temperature compensation,” *Electron. Lett.*, vol. 43, no. 43, pp. 1422-1424, 2007.
  - (15) A. M. Pappu, X. Zhang, A. V. Harrison, A. B. Apsel, “Process-Invariant Current Source Design: Methodology and Examples,” *IEEE J. Solid-State Circuits*, pp. 2293-2302, 2007.
  - (16) G. Serrano, P. Hasler, “A Precision Low-TC Wide-Range CMOS Current Reference” *IEEE J. Solid-State Circuits*, pp. 558-565, 2008.
  - (17) W.M. Sansen, F. O. Eynde, M. Steyaert, “A CMOS temperaturecompensated current reference,” *IEEE J. Solid-State Circuits*, vol. 23, no. 3, pp. 821-824, Jun. 1988.
  - (18) H. J. Oguey and D. Aebischer, “CMOS current reference without resistance,” *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 1132-1135, Jul. 1997.
  - (19) K. Ueno, T. Hirose, T. Asai, Y. Amemiya, “A 300 nW, 15 ppm/ $^{\circ}$ C, 20 ppm/V CMOS Voltage Reference Circuit Consisting of Subthreshold MOSFETs,” *IEEE J. Solid-State Circuits*, vol. 44, no. 7, pp. 2047-2054, Jul. 2009.
  - (20) K. Ueno, T. Asai, Y. Amemiya, “Current reference circuit for subthreshold CMOS LSIs,” in *Extended Abstract of Int. Conf. on Solid State Devices and Materials (SSDM)*, 2008, pp. 1000-1001.
  - (21) Y. Taur, T.H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge, U.K.: Cambridge Univ. Press, 2002.
  - (22) M. C. Hsu, B. J. Sheu, “Inverse-geometry dependence of MOS transistor electrical parameters,” *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 582-585, July. 1987.
  - (23) Y. C. Cheng, M-C. Jeng, Z. Liu, J. H. Huang, M. Chen, K. Chen, P. K. Ko, C. Hu, “A physical and scalable IV model in BSIM3v3 for analog/digital circuit simulation,” *IEEE Trans. Electron Devices*, vol. 44, No. 2, pp. 277-287, Feb. 1997.
  - (24) I. M. Filanovsky, A. Allam, “Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits,” *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl*, pp. 876-884, 2001.
  - (25) S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed, John Wiley & Son, 1981.
  - (26) K. A. Bowman, S. G. Duvall, J. D. Meindl, “Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale integration,” *IEEE J. Solid-State Circuits*, vol. 37, no. 2 pp. 183 - 190, Feb. 2002.
  - (27) H. Onodera, “Variability: Modeling and Its Impact on Design,” *IEICE Trans. Electron.*, Vol.E89-C, pp. 342 - 348, 2006.
  - (28) M. J. M. Pelgrom, A. C. J. Duinmaijer, A. P. G. Welbers, “Matching properties of MOS transistors,” *IEEE J. Solid-State Circuits*, vol. 24, no. 5 pp. 1433 - 1439, Oct. 1989.
  - (29) A. Hastings, *The Art of Analog Layout*, Prentice Hall, 2001.
  - (30) C.-H. Lee, H.-J. Park, “All-CMOS temperature-independent current reference,” *Electron. Lett.*, vol. 32, pp. 1280-1281, Jul. 1996.
  - (31) E. M. Camacho-Galeano and C. Galup-Montoro, “A 2-nW self-biased current reference in CMOS technology,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 2, pp. 61-65, Feb. 2005.