

# 生体様 CMOS ファミリーの開発と現状 —スパイクニューロン・減衰シナプスの LSI 化と応用—

A Neuromorphic CMOS Family and its Application

浅井 哲也  
Tetsuya Asai

金澤 雄亮  
Yusuke Kanazawa

雨宮 好仁  
Yoshihito Amemiya

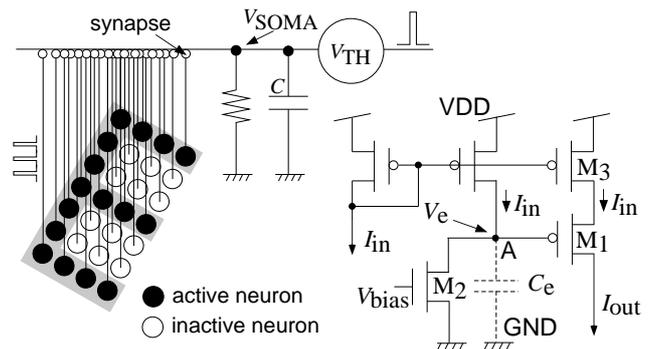
北海道大学 工学部 電子工学科  
Department of Electrical Engineering, Hokkaido University

## 1 はじめに

「生体様 CMOS ファミリー—ニューロンのスパイク特性やダイナミックシナプスの特性などを模する CMOS アナログ LSI」の開発の現状と、それらを用いた情報処理の試みについて紹介する。脳の非線形ダイナミクスを取り入れた新しい情報処理ハードウェア/LSI を構成することが本研究の最終目標である。

著者らは、ニューロンのスパイク特性そのものより、それらをネットワークとして組んだときに生まれる脳の機能的な性質に興味がある。たとえば、素子（ニューロン）レベルではなくネットワークレベルで冗長性が生まれるような脳の性質（[1, 2] などに大変興味深い例がある）を巧く取り入れることができれば、（生物と同様に）ノイズや素子特性のばらつきに強いアナログ LSI が実現できそうである。近年は、ニューロンやシナプスなどのダイナミクスを高レベルで模するデバイスを創るのではなく、簡易的な（しかし最低限必要と思われる性質を残した）スパイクニューロンやシナプスをアナログ/デジタル回路化してネットワークを構成するアプローチが一般的である [3, 4, 5]。

古典的なニューラルハードウェアでは、シナプスは単なるメモリデバイスでしかなく、これまで、通常のコンピュータと同様のメモリデバイス（DRAM, SRAM や Flash メモリをアナログ的に使ったもの等）が用いられてきた。近年のダイナミックシナプス（減衰シナプスや増強シナプス）に関する幾つかの興味深い報告は、それらに対応できる新しいシナプスデバイスの必要性を示唆している。たとえば、減衰シナプスを通してスパイク列をシナプス後ニューロンに与えることで、細胞集団の同期情報が検出可能になる [6]。また、コントラスト非依存の方位コラム形成において、減衰シナプスが重要な役割を果たすことも示されている [7]。Bugmann は、減衰シナプスを用いた簡単なモデルにより、シナプス後ニューロンの応答の大きさが活動中のシナプス前ニューロンの数のみに依存することを示した [8]。この結果を「画像（光強度）に対するコントラスト非依存性」と解釈すると、上記のモデルは自然画像の前処理を行うような視覚チップにとってかなり魅力的である。本稿では、著者らの開発による減衰シナプス回路（生体様 CMOS ファミリーの一つ）を用いて、Bugmann のモデルを LSI 化した例を紹介する。



(a) pattern recognition hardware (b) depressing synapse circuit

図 1 コントラスト非依存パターン認識ネットワーク

## 2 減衰シナプスのアナログ CMOS 回路化

減衰シナプスを用いたネットワークの例として、パターン認識を行う簡単なネットワークを紹介する [8]。図 1(a) のようなネットワークを考える。スパイクを出力する多数のニューロンが、シナプスを介して後段のニューロンに接続している。活動ニューロンは一定周期でスパイクを出力し、非活動ニューロンは何も出力しない。後段のニューロンは  $V_{SOMA} > V_{TH}$  となる場合にスパイクを出力し、その直後に  $V_{SOMA}$  をリセットする。以下、入力スパイクのパルス振幅、パルス幅、および  $V_{SOMA}$  のリークが一定の場合のみを考える。電圧  $V_{SOMA}$  は、シナプス後ニューロンへの入力スパイク数に比例して増加する。そのため、全てのシナプス前の活動ニューロンが同じ頻度で発火している場合、 $V_{SOMA}$  は活動ニューロンの数に比例して増加する。活動ニューロン数に対応したしきい値  $V_{TH}$  を設定することで、ネットワークはシナプス前の活動ニューロンの数を識別することができる。シナプス前ニューロンの発火頻度が一定でない場合、 $V_{SOMA}$  はニューロンの発火頻度にも比例して増加し、図 1(a) に示したネットワークの識別能力は大きく低下するが、結合に減衰シナプスを用いると、発火頻度に依存せず正しい識別ができる [8]。

図 1(b) に提案する減衰シナプス回路を示す。この回路は、入力スパイク電流 ( $I_{in}$ ) の間隔に応じて出力スパイクの効率（ここではスパイク 1 本が持つ電荷量）が変化するように設計したものである。シナプス回路に入力電流を与えると ( $I_{in} > 0$ )、 $V_e$  は増加し  $M_1$  は off 状態になる。しかし、節点 A の寄生容量  $C_e$  により、 $V_e$  の増加はわずかな時間遅れを伴う。それによって、トランジ

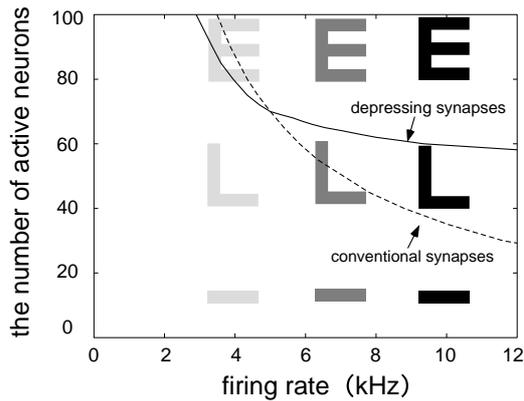


図2 パターン認識結果 (シナプス数=100)

スタ  $M_1$  はわずかな時間だけ on 状態になり、回路はスパイク電流  $I_{out}$  を出力する。出力  $I_{out}$  の振幅は  $V_e$  の大きさにより決まる。入力が無くなるとトランジスタ  $M_2$  がキャパシタ  $C_e$  を放電し、 $V_e$  がゼロに戻る。入力の間隔が短い場合は、キャパシタ  $C_e$  が完全に放電される前に次のスパイクが入力されるため、電圧  $V_e$  が高くなり、出力  $I_{out}$  の振幅は減少する。

このシナプス回路を図 1(a) のネットワークに適用した場合、ニューロンの発火頻度が増加するとシナプス後ニューロンへの入力数は増えるが、スパイク 1 本当たりの効率 (ここでは図 1(a) の  $C$  に流れ込む電荷の量) は減少する。したがって、入力の強度 (発火頻度) が変化しても  $V_{SOMA}$  は大きく変化しない。

### 3 評価

図 1(a) のネットワーク (シナプス数 100) について回路シミュレーションを行った。シナプス前の活動ニューロンが “E” (活動ニューロンが 90 個), “L” (50 個), “-” (10 個) のようなパターンを形成するとした。入力として、パルス振幅 1 nA, パルス幅 10  $\mu$ s のパルスを与えた。シナプス後のニューロンの時定数を 2 ms とした。減衰シナプスを用いた場合と用いない場合それぞれについて実験を行った。しきい値として、発火頻度 5 kHz 時の、活動ニューロン数 70 個の場合 (“E” と “L” の中間) の  $V_{SOMA}$  を設定した。シミュレーション結果を図 2 に示す。活動ニューロン数に対し、初めて  $V_{SOMA}$  がしきい値に達したときの発火頻度をプロットした。最も黒に近い画像は 10 kHz でそれぞれの活動ニューロンが発火、最も白に近い画像は 7 kHz、二つの中間色の画像は 4 kHz とした。減衰シナプスを用いない場合、“E”, “L” に関して、シナプス前ニューロンの発火頻度が増えると、正しい識別を行なうことができなかつた。減衰シナプスを用いた場合は、全てのパターンにおいて正しい識別が行えることを確認した。以上の結果から、減衰シナプス回路を用いることで、広範囲の入力の強度において、ネットワークが正しく動作するようになることを確認した。

提案した減衰シナプス回路の試作を行った (MOSIS AMIS 1.5- $\mu$ m CMOS プロセス)。図 3 にチップ写真を示す (回路面積: 36  $\times$  35  $\mu$ m<sup>2</sup>)。試作回路の入力スパイ

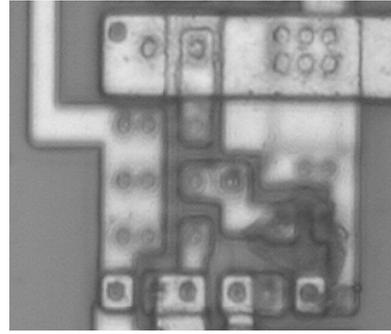


図3 試作した減衰シナプス (1.5- $\mu$ m CMOS プロセス)

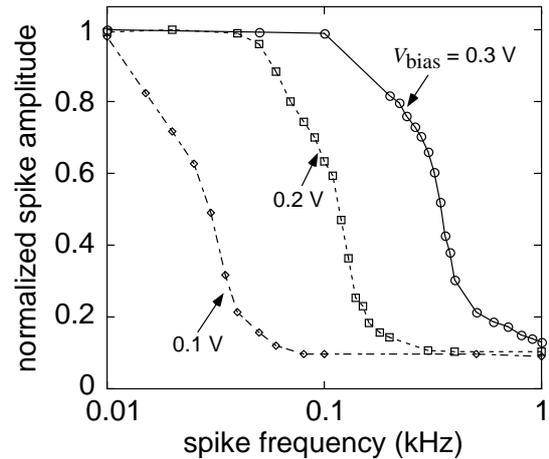


図4 減衰シナプスチップの測定結果

クの入力強度に対する出力スパイク振幅の変化を図 4 に示す。シミュレーションから予測された通り、発火頻度の増加に伴って出力振幅が減衰することを確認した。また、 $V_{bias}$  により減衰率を制御できることも確認できた。

本稿では、生体様 CMOS ファミリの一例として、減衰シナプス回路を挙げた。シンポジウム講演では、スパイクニューロン回路を含むその他のファミリや応用例も併せて紹介したい。

### 参考文献

- [1] T. Fukai: *Biol. Cybern.* **75** (1996) 453.
- [2] T. Fukai and S. Kanemura: *Biol. Cybern.* **85** (2001) 107.
- [3] T. Asai, Y. Kanazawa and Y. Amemiya: *IEEE Trans. Neural Networks* **14** (2003) 1308.
- [4] C. Rasche and R.H.R. Hahnloser: *Biol. Cybern.* **84** (2001) 57.
- [5] A. Bofill, A.F. Murray, and D.P. Thompson: *Advances in Neural Information Processing Systems* 9, M.C. Mozer, M.I. Jordan, and T. Petsche, Eds. (MIT Press 2001) p. 692.
- [6] W. Senn, I. Segev, and M. Tsodyks: *Neural Computation* **10** (1998) 815.
- [7] A. Kayser, J.N. Priebe, and D.K. Miller: *J. Neurophys.* **85** (2001) 2130.
- [8] G. Bugmann: *Biosys.* **67** (2002) 17.