

# MOS 論理ゲート回路のサブスレッショルド動作

Subthreshold operation of MOSFET logic gates

宮川 敬, 上野 憲一, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁

Takashi Miyakawa, Ken Ueno, Tetsuya Hirose, Tetsuya Asai, Yoshihito Amemiya

北海道大学 大学院 情報科学研究科

Department of Electrical Engineering, Hokkaido University

## 1. はじめに

情報ネットワーク社会の進展とともに、極めて微小な電源エネルギーで動作可能なインテリジェントセンサ LSI が要求されるようになった。このような LSI では MOS 論理ゲート回路をサブスレッショルド領域で動作させることが必要となる。本稿では、MOS ゲートのサブスレッショルド動作特性をシミュレーション解析で調べた。

## 2. 電源電圧の調整によるサブスレッショルド動作

MOS ゲートをサブスレッショルド領域で動作させるために、電源電圧を MOSFET の閾値電圧よりも低く設定する。そのための回路構成を図 1 に示す。ここでは CMOS ゲートと p-MOS 負荷の n-MOS ゲートを考えた。これらのゲートにレギュレータを通して電源電圧  $V_{dd}$  を供給する。レギュレータは、モニタ用の p-MOSFET に流れる電流  $i$  が基準サブスレッショルド電流  $i_0$  と等しくなるような  $V_{dd}$  を発生する。したがって、n-MOS ゲートではオン電流が  $i_0$  に設定される。CMOS ゲートではスイッチ時に電源から流れる過渡電流が  $i_0 \times (\text{p-MOSFET の電流経路数; NAND ゲートでは } 2)$  かそれ以下に設定される。

## 3. サブスレッショルド領域におけるゲート動作

サブスレッショルド動作のゲート特性をシミュレーションで解析した (MOSFET はすべて  $W/L = 1 \mu\text{m}/0.35 \mu\text{m}$ )。図 2 には NAND ゲートをファンアウト = 2 の状態でカスケード接続したときのゲート遅延時間を示す。横軸は基準電流  $i_0$  (および  $V_{dd}$ ) である。CMOS ゲートは負荷 (次段の入力容量) が大きいので n-MOS ゲートより動作が遅い。図 3 は入力クロック周波数に対するゲート消費電力を示す (基準電流  $i_0$  がパラメータ)。両ゲートとも周波数が高くなると ×印の点で動作しなくなる。n-MOS ゲートではスタンバイ電流が流れるので、消費電力は周波数によらない。

## 4. サブシステムの動作例 (32 ビット加算器)

サブシステムの例として 32 ビット加算器 (リップルキャリヤ型 RC と桁上げ先見型 CLA) を設計した。加算時間と消費電力をシミュレーション解析して図 4 に示す。ここでは加算器を構成するすべてのゲートの電流を等しく設定してある。消費電力は入力印加から出力発生までの期間の平均値である。桁上げ先見型では、ゲート電流の配分を最適設計することで図の結果よりも高速化が可能である。

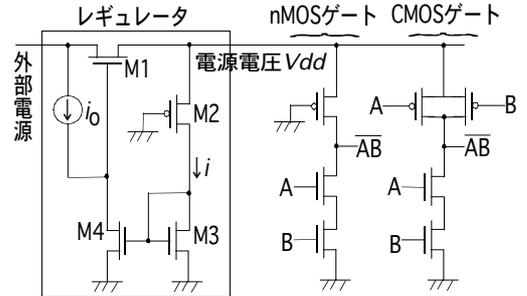


図 1 レギュレータによるゲートへの電源供給

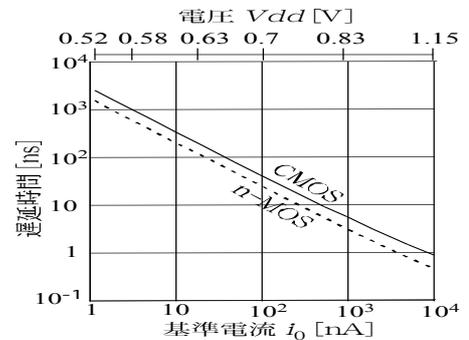


図 2 NAND ゲートの遅延時間-電流特性

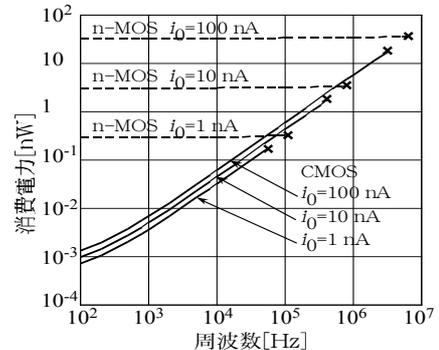


図 3 NAND ゲートの消費電力-電流特性

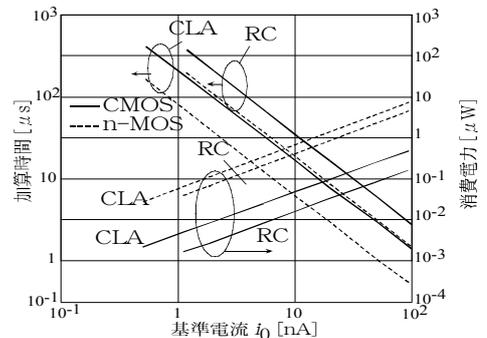


図 4 32 ビット加算器の加算時間と消費電力