

マスタースレーブフリップフロップ回路の低電圧動作解析

Low-voltage Operation of Master-Slave Flip-Flops

小川太一 廣瀬哲也 浅井哲也 雨宮好仁
 Ogawa Taichi Hirose Tetsuya Asai Tetsuya Amemiya Yoshihito

北海道大学 情報科学研究科
 Department of Electrical Engineering Hokkaido University

1. はじめに

情報ネットワーク社会の進展に伴い、微小な電源エネルギーで動作可能な LSI が要求されている。特に、低電力であることが重要なスマートセンサアプリケーションに向けた LSI 設計手法の確立が求められている。回路を極低電力で動作させるには、電源電圧を低電圧化することが最も直接的、かつ効率的な手法である。そこで、本稿では、基本的な順序回路であるマスタースレーブフリップフロップ回路(MSFF: Master-Slave Flip Flop)の低電圧動作解析を行い、極低電源電圧動作が可能なフリップフロップ回路の特性について調べた。

2. MSFF の低電圧動作

検討した MSFF 回路を図 1 に示す。ダイナミック型として、(a) トランスミッションゲートを用いたもの(TG-MSFF)、(b) Clocked CMOS インバータを用いたもの(C²MOS-MSFF)、そしてスタティック型として、(c) NAND 回路によるもの(NAND-MSFF)の三種類について比較・検討を行った。各 MSFF を TFF 構成として、入力クロック(CLK)が出力(Q)されるまでの遅延時間(CLK-to-Q delay)により評価を行った。使用したプロセスは、0.35 μm CMOS プロセス(しきい値電圧 $V_{thn} = 0.5$ V, $V_{thp} = 0.78$ V)である。評価結果を図 2 に示す。TG-MSFF と C²MOS-MSFF は電源電圧 V_{dd} がそれぞれ 0.4 V と 0.35 V 程度まで動作した。そして、NAND-MSFF は、0.15 V 程度の極低電圧まで動作可能であることがわかった。

4. MSFF の低電圧動作比較

各 MSFF の低電圧動作の違いを検討した。TG-MSFF は、検討した三種類の MSFF の中で低電圧動作には最も適していない。その理由は、トランスミッションゲートが低電圧領域で正しく動作せず(オン抵抗が高くなるため)、そのため回路内部のノード電位が変動して正常な論理判定ができなくなるためである。C²MOS-MSFF は、トランスミッションゲートを使用しないので TG-MSFF より低電圧動作が可能である。しかし、nMOS のリーク電流の影響で、インバータに論理 0 を入力したときの出力が論理 1(すなわち V_{dd})から徐々に減少して論理動作ができなくなる。この減少電圧 V_{error} は解析的に導出することができ、次式で与えられる。

$$V_{error} = V_T \ln \left[1 - \frac{I_{on}}{I_{op}} \exp \left\{ \frac{(V_{thp} - V_{thn}) - V_{dd}}{\eta V_T} \right\} \right] \quad (1)$$

ここで、 V_T は熱電圧、 I_{on} 、 I_{op} はサブスレッショルド電流の前置係数、 η はプロセス依存項である。使用したパラメータによる数値計算結果を図 3 に示す。0.4 V 以下でインバータ出力のエラーが徐々に大きくなることわかる。これより、0.35 - 0.4 V 程度でインバータの論理反転動作ができなくなり C²MOS-MSFF は正常動作ができなくなる。このことは、図 2 のシミュレーション結果と一致する。一方、NAND-MSFF は、トランスミッションゲートを使用しないため、また NAND 回路ではフローティングノードが存在しないため、低電力動作が可能となる。回路規模が少し大きくなる問題点を有しているが、低電力動作に適した回路構成である。

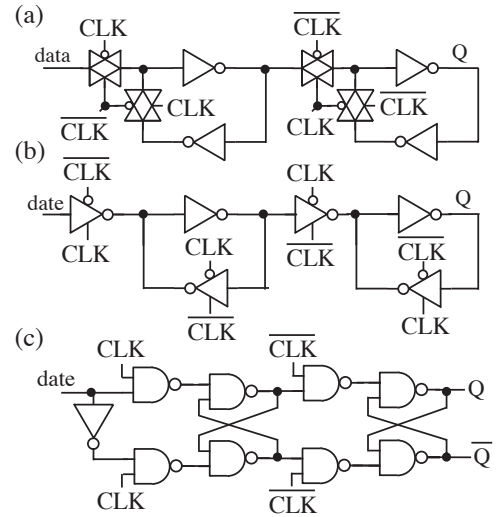


図 1: 検討した MSFF の回路図 (a) TG-MSFF. (b) C²MOS-MSFF. (c) NAND-MSFF.

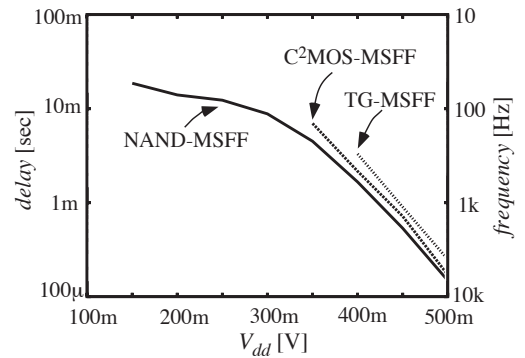


図 2: MSFF の CLK-to-Q delay 特性

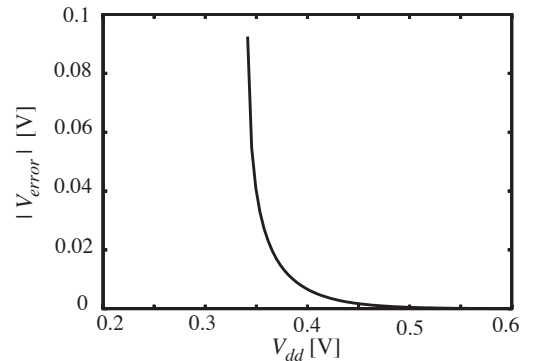


図 3: インバータの $V_{dd} - V_{error}$ 特性