

# 時系列コーディングを行う神経モデルのアナログ CMOS 回路化

Neuromorphic MOS circuits implementing a temporal coding neural model

藤田 大地 トヴァー ジェシカ マリア 浅井 哲也 廣瀬 哲也 雨宮 好仁  
Daichi Fujita Tovar Gessyca Maria Tetsuya Asai Tetsuya Hirose Yoshihito Amemiya

北海道大学 大学院 情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

## 1 まえがき

時系列データの情報処理は、脳の様々な機能にとって重要である。多くの実世界の仕事において、時系列パターンを処理する能力は魅力的である。本研究の目的は、楽曲やリズムを“プログラム”することなしに自ら学習する集積回路を実現することである。本稿では過去に提唱された「時系列データの学習・想起が可能な神経モデル」[1] を実装するアナログ CMOS 回路を構成し、その動作を SPICE シミュレーションにより確認する。

## 2 CMOS 回路向けの単純化モデルとその学習原理

文献 [1] のモデルを CMOS 回路向けに単純化したモデルを図 1 に示す。このモデルは  $N$  個のバイナリ振動子ユニットと出力セル  $O$  により構成される。出力セルは結合  $w_i$  を介して全ての振動子ユニットの出力  $[= q_i (i=1, 2, \dots, N)]$  を受ける。学習させたいバイナリ時系列データを  $I(t)$  (時系列長  $T$ ) とし、出力セルの膜電位を  $u(t) [= \sum_{i=1}^N w_i q_i(t)]$  とする。  $I(t)$  と  $u(t)$  の 2 乗誤差を  $E = (1/2T) \int_0^T (I(t) - u(t))^2 dt$  とし、この  $E$  を最小にする  $w_i$  を最急降下法により探索する。つまり、

$$\delta w_i \sim -\frac{\partial E}{\partial w_i} = \frac{1}{T} \int_0^T (I(t) - u(t)) q_i(t) dt, \quad (1)$$

および  $w_i^{(new)} = w_i^{(old)} + \delta w_i$  にしたがって  $T$  ごとに結合重みを更新する。

ランダムなバイナリ時系列データ  $I(t)$  (時系列長: 1) に対して 200 回学習を行った場合の  $u(t)$  を図 1(b) に示す。モデルが時系列データを正しく学習できることを確認した。

## 3 回路構成

図 2(a) に提案する CMOS 回路を示す。  $q_i$  を生成する oscillator [図 2(b)],  $E$  を計算するための integrator [図 2(c)], 区分線形 OTA [図 2(d)],  $w_i q_i(t)$  を計算する weight circuit [図 2(e)], および  $w_i$  を記憶する  $C_1, C_2$  を組み合わせてモデルを回路化する。図 2(a) のタイミングチャートにおいて、  $V_{reset}$  が論理 1 のとき integrator はリセットされる。また、  $V_{stop}$  が論理 0 のとき  $q_i$  ( $\sim q$ ) は振動し、  $q$  が論理 1 の時のみ電流  $I_{in}$  と電流  $U$  が integrator により積分される。この積分値を  $V_1$  ( $\equiv \int_0^T I_{in} q dt$ ),  $V_2$  ( $\equiv \int_0^T U q dt$ ) とする。区分線形 OTA は、  $I_1 \sim \text{PWL}(V_1 - V_2 - \theta)$ ,  $I_2 \sim \text{PWL}(V_2 - V_1 + \theta)$  を出力する ( $\theta$  は offset 電圧)。学習時 ( $V_{learning}$  が論理 1 の時)、  $I_1, I_2$  が  $C_1, C_2$  により積分される。  $q$  が論理 1 かつ  $V_3 > V_4$  の時 ( $V_3 < V_4$  の時)、 weigh circuit の出力  $I_{out}$  は負 (正) となるため、正負の符号を持つ  $w_i q_i$  が計算できる。

## 4 シミュレーション結果

図 3 に SPICE のシミュレーション結果を示す (振動子ユニット数は 1 に固定, TSMC 0.35- $\mu\text{m}$  CMOS パラメータを利用)。簡単のため、 oscillator の時系列データを学習する時系列データとして回路に与えた (1 回の学習周期: 1  $\mu\text{s}$ )。図 3(a) に oscillator の出力波形を、図 3(b) に integrator の出力波形を示す。学習が進むにつれ、  $V_1$  と  $V_2$  の電圧差が小さくなり、  $C_1, C_2$  に供給される電流が小さくなった ( $C_1, C_2$  の電位の時間変化を図 3(c) に示す)。つまり、  $\delta w$  が 0 に近づき学習は収束した。学習する時系列データと学習後の想起データ ( $U$ ) を図 3(d) に示す。上記より、提案した回路の基本的な学習機能の動作を確認した。

[1] T. Fukai, "A model cortical circuit for the storage of temporal sequences," Biol. Cybern., 321-328 (1995).

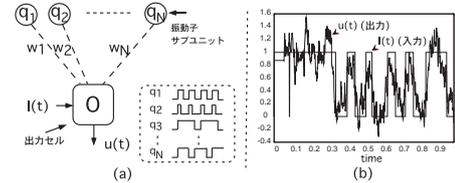


図 1 (a) 提案モデル, (b) 数値シミュレーション結果

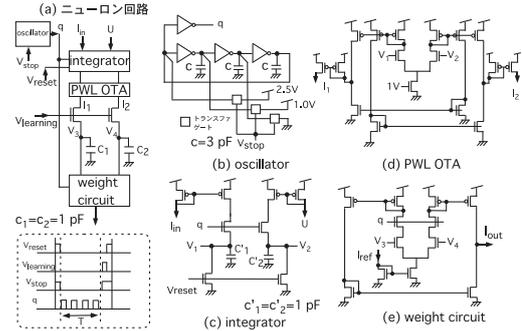


図 2 (a) ニューロン回路と学習のタイミングチャート, (b) oscillator, (c) integrator, (d) PWL OTA, (e) weight circuit

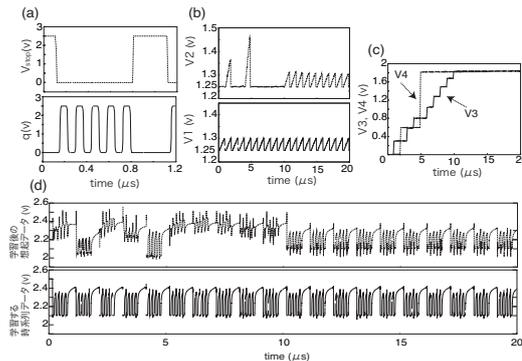


図 3 (a) oscillator の出力, (b) integrator の出力, (c) 結合の時間変化, (d) 学習する時系列データと学習後の想起データ