

サブスレッショルド MOS 演算増幅器によるオフセット除去

Canceling offset voltage with subthreshold MOS Operational Amplifiers

飯田 智貴
Iida Tomoki

廣瀬 哲也
Hirose Tetsuya

浅井 哲也
Asai Tetsuya

雨宮 好仁
Amemiya Yoshihito

北海道大学 情報科学研究科
Department of Electrical Engineering, Hokkaido University

1. まえがき

集積回路において大容量のキャパシタは面積を必要とするので搭載が難しい。しかし、大容量キャパシタを使うならば、回路のオフセット電圧やそのドリフトの影響を除去するとき回路構成が容易になる場合が多い。ここでは、サブスレッショルド MOS 回路の時定数が大きいことを利用して、大容量キャパシタの動作を代用させることを考える。以下ではサブスレッショルド MOS 回路による演算増幅器が大きい時定数をもつことを示す。次にそのことを利用して高利得増幅器のオフセットとドリフトを除去する方法を提案する。

2. サブスレッショルド MOS 回路の演算増幅器

図1に演算増幅器の回路構成を示す。ここで初段の差動回路を数 nA 以下の低電流で駆動する（後段のソース接地回路の電流は通常の大きさ）。したがって差動回路の MOS FET はサブスレッショルド領域で動作する。この演算増幅器は非常に大きい時定数を有し、等価的には大きな CR 時定数をもつ積分回路のように動作する。

一例として、差動回路のテール電流を 0.1 nA、位相補償容量を 100 pF としたときの利得と位相の周波数特性を計算して 図2 に示す。利得の 3 dB 遮断周波数は 85 μ Hz、ユニティゲイン周波数は 3.3 Hz、スルーレート 1.3 μ V/ μ s である。

3. 高利得増幅回路のオフセット除去

高利得増幅器は、入力信号の直流オフセットや入力 MOS FET のしきい値バラツキがあると、出力が動作範囲を超え飽和して（振り切れて）動かなくなる。サブスレッショルド演算増幅器を用いてこの出力飽和を回避することを考えた。図3にその例を示す。この増幅器の本体はカスコード差動回路であり、その出力を二つのサブスレッショルド演算増幅器によるフィードバックで基準電圧 V_{CM} に固定する。サブスレッショルド演算増幅器の時定数のために、出力が V_{CM} に固定されるのは直流～低周波の範囲に限られる。高周波では通常のカスコード差動増幅器として動作する（ハイパスフィルタ増幅器）。

この増幅器の周波数特性を計算して 図4 に示す。1kHz 以下の周波数で利得が低下するので、入力信号のオフセット電圧やそのドリフトの影響を除去できる。また入力 MOSFET 対に多少のしきい値ミスマッチがあっても出力オフセットには影響せず、高利得の増幅器として正常に動作する。

類似の構成により、サブスレッショルド演算増幅器を多段増幅回路の段間結合キャパシタの代わりに使うこともできる。現在、低域遮断周波数を数十 Hz 以下に下げするための回路構成を検討中である。

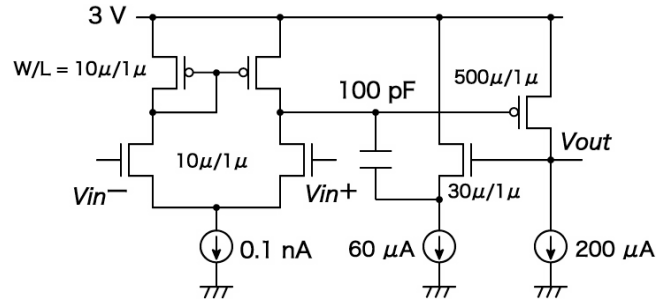


図1：サブスレッショルド動作の演算増幅器
(パラメータ等の数値は一例)

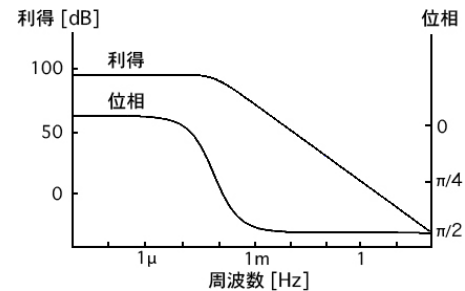


図2：サブスレッショルド演算増幅器の特性
(利得と位相の周波数特性シミュレーション)

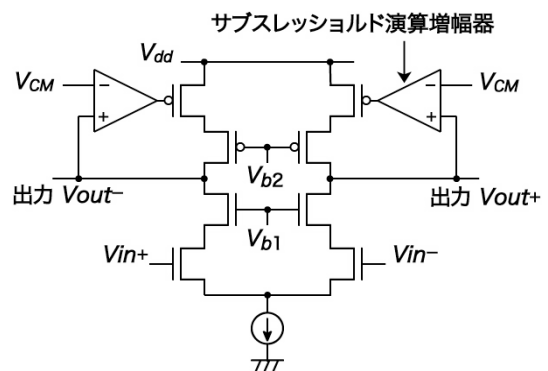


図3：完全差動増幅器への適用例
(オフセットとドリフトの除去)

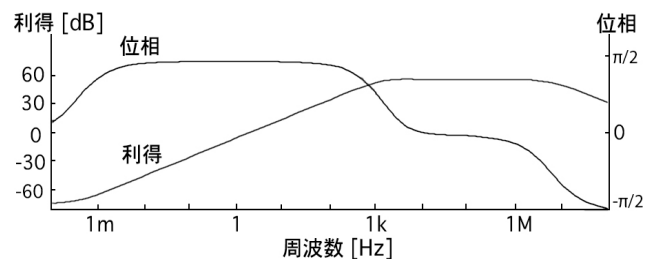


図4：図3の増幅回路の周波数特性シミュレーション