

低電圧 CMOS デジタル回路の特性バラツキ補正アーキテクチャ

Process Compensation Architecture for Low-Voltage CMOS Digital Circuits

次田 祐輔 上野 憲一 廣瀬 哲也 浅井 哲也 雨宮 好仁
Yusuke Tsugita Ken Ueno Tetsuya Hirose Tetsuya Asai Yoshihito Amemiya

北海道大学 大学院 情報科学研究科
Department of Electrical Engineering, Hokkaido University

1 まえがき

CMOS 半導体集積回路は、これまでデバイス素子の微細化と電源電圧の低減により目覚ましい発展を実現してきた。しかし一方で、電源電圧の低減により、しきい値電圧のバラツキが顕著になり、デジタル回路の性能劣化の原因となっている。そこで本稿では、しきい値電圧のバラツキがデジタル回路の特性、特に遅延時間に及ぼす影響を詳細に検討し、これを補正するための集積回路技術を提案する。デジタル回路における遅延時間、周波数、消費電力などのバラツキを補正することができる。

2 プロセスバラツキが遅延時間に及ぼす影響

プロセスバラツキがデジタル回路の遅延時間に及ぼす影響を調べるためにインバータチェーンを用いて検討を行なった。想定したプロセスは、 $0.35\ \mu\text{m}$ CMOS プロセスである。プロセスバラツキは、グローバルバラツキ(均一分布)とランダムバラツキ(ガウス分布)を想定し、モンテカルロシミュレーションによる解析を行なった。

図1にランダムバラツキのみを考慮したインバータの接続段数に対する遅延時間の変動係数を示す。接続段数の増大とともに変動係数(σ/μ)の減少が確認できる。これは、インバータ単体のランダムなバラツキは段数の増加とともに平均化されるためである。通常のデジタル回路ではインバータ単体で使用されることはなく、多段接続となるためランダムバラツキの影響は小さくなる。

次に、遅延時間のグローバルバラツキによる影響を解析した。想定したプロセスでは、pMOS のしきい値電圧 V_{thp} が nMOS のしきい値電圧 V_{thn} よりも大きいため、pMOS のしきい値電圧のバラツキが回路特性に与える影響が大きい。そこで、インバータチェーンにおける pMOS のしきい値電圧 (V_{thp}) のバラツキとチャンネル長 (L) のバラツキに対する遅延時間のバラツキの解析を行った。その結果を図2に示す。一般に、デジタル回路の遅延時間のバラツキはチャンネル長のバラツキが支配的である。しかし、低電圧動作時は、しきい値電圧のバラツキが特性に与える影響が大きくなることわかる。従って、低電圧デジタル回路において、しきい値電圧のグローバルバラツキが回路特性に大きな影響を与えることがわかる。

3 バラツキ補正回路技術

図3に pMOS のしきい値電圧バラツキを補正するための回路構成を示す。nMOS のしきい値電圧参照型電圧源回路 [1] を用いて、しきい値電圧バラツキに依存しない参照電流 I_{ref} を生成する。参照電流 I_{ref} と pMOS のオン電流 I_p が一致するようにフィードバック構成とし、pMOS の基板電位 V_{comp} を制御する。これにより、pMOS を流れる電流は I_{ref} に規定され、pMOS のしきい値電圧バラツキを補正できる。提案回路の動作を確認するために100段のインバータチェーンによる検証を行

なった。グローバルバラツキとランダムバラツキの両方を考慮した。図4に電源電圧変動に対する遅延時間の変動係数を示す。提案回路を用いることにより、遅延時間のバラツキを改善することができ、電源電圧1Vで約60%の改善を確認した。補正後の変動係数が低電圧で依然上昇しているが、これはインバータを構成する nMOS のしきい値電圧バラツキの影響が一因としてあげられる。nMOS と pMOS のしきい値電圧バラツキを補正することで、さらなる補正が可能である見通しを得た。

文献: [1] K Ueno. *et al.*, Proc. of the 2007 SSDM, pp.486.

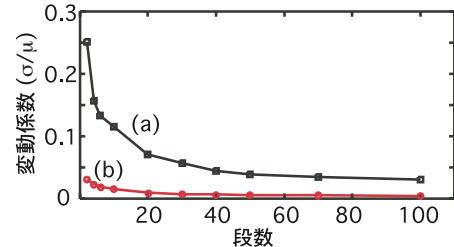


図1 ランダムバラツキのみを考慮したモンテカルロシミュレーションの結果(100回)。遅延時間の接続段数依存性; (a) 電源電圧:1V, (b) 電源電圧:2V.

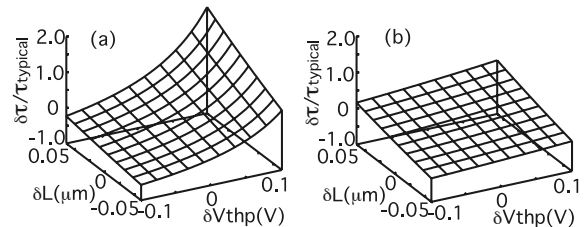


図2 グローバルバラツキのみを考慮したインバータチェーンの遅延時間バラツキ特性; (a) 電源電圧:1V, (b) 電源電圧:2V.

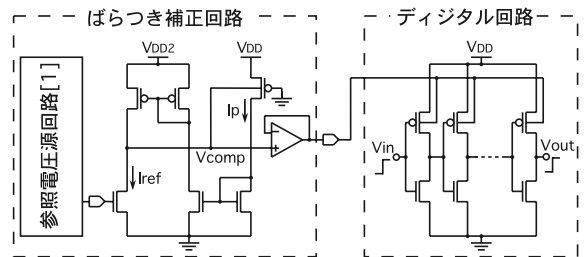


図3 提案するデジタル回路のバラツキ補正アーキテクチャ.

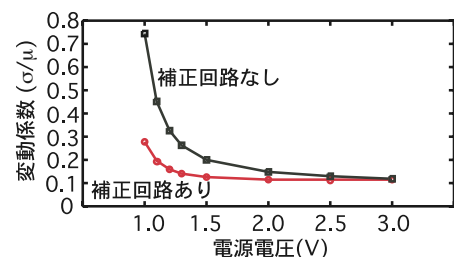


図4 グローバルバラツキ・ランダムバラツキ両方を考慮したモンテカルロシミュレーションの結果(200回)。100段のインバータチェーンの遅延時間の電源電圧依存性.