

サブスレッショルド CMOS 論理回路における MOSFET 閾値の影響

Effects of MOSFET threshold voltage on operation of subthreshold CMOS logic circuits

小川太一 上野憲一 嶋田英人 浅井哲也 雨宮好仁
Ogawa Taichi, Ueno Ken, Shimada Hideto, Asai Tetsuya, Amemiya Yoshihito

北海道大学 情報科学研究科
Department of Electrical Engineering, Hokkaido University

1. はじめに

CMOS論理回路を低電圧でサブスレッショルド動作させる際には、pMOSFETとnMOSFETの閾値の差が問題となる。電源電圧が低いときは、閾値に差があるとオンオフ電流比を大きくとれないので、出力振幅が小さくなり正しく動作しなくなる。したがってサブスレッショルド論理回路ではpMOSFETとnMOSFETの閾値をなるべく同じ値に設計する。しかし製造プロセス偏差によりpMOSFETとnMOSFETの閾値に相違が生じることは避けられない。そこで本稿では閾値差が回路動作に与える影響を解析した。

2. CMOS インバータの出力振幅

CMOSインバータではpMOSFETとnMOSFETの閾値差が出力振幅に大きく影響する。たとえばpMOSFETの閾値がnMOSFETより大きいと、入力が0のときのpMOSFETオン電流が小さくなりnMOSFETのオフ漏れ電流を十分に打ち消すことができない。そのため図1のように、出力は電源電圧 V_{dd} より ΔV_{out} だけ低くなる。出力がインバータの反転電圧を割るようになると回路は正しく動作しない。一方nMOSFETの閾値の方が大きいときは出力が0まで下がらなくなり、同様の問題を生じる。

閾値差に応じて ΔV_{out} が変化する様子をシミュレーションによって調べた。一例を図2に示す(0.35 μm -CMOSデバイスについての結果)。ここではnMOSFETの閾値を0.5Vとし、pMOSFETの閾値がそれより ΔV_T だけ大きいとした。なおpMOSFETのゲート幅をnMOSFETより大きくとり、同じ閾値のときはほぼ同じ特性となるように設定してある。 ΔV_T が増加すると ΔV_{out} も増大するので、回路を動作させるためには電源電圧 V_{dd} を高くする必要がある。

3. 論理回路の動作例：T-F/F

サブスレッショルド動作のT-F/Fを例にとり、閾値差が動作特性に与える影響をシミュレーション解析した。図3のトランスマッションゲート型T-F/Fにおける結果を図4に示す。ここでは色々な周波数のクロックCLKを与えて分周動作が正しく行われるか否かを見た。あるクロック周波数でT-F/Fを動作させるためには電源電圧 V_{dd} に下限があり、その下限値は閾値差 ΔV_T が大きいほど高くなる。

動作限界を与える点(ΔV_T , V_{dd})の軌跡を色々な周波数についてプロットしたものが図4である。たとえば $\Delta V_T = 0.2\text{V}$ の場合、 $f = 100\text{kHz}$ 以上で動作させたいときは $V_{dd} > 540\text{mV}$ とする必要がある。 V_{dd} が低くなると、クロック周波数を幾ら低くしてもT-F/Fは動作しなくなる。その領域を図中に灰色で示した。なおNANDゲートで構成したT-F/Fはもう少し低い電圧でも動作する。

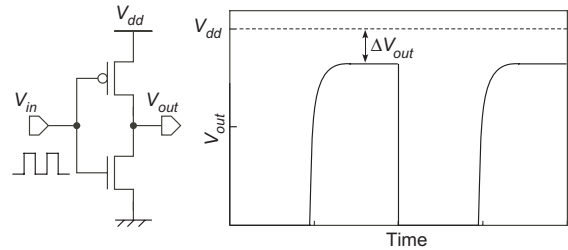


図1 閾値の差によるインバータ出力振幅の変化。pMOSFETの閾値がnMOSFETより大きいときは出力電圧のhighレベルが ΔV_{out} だけ低下。

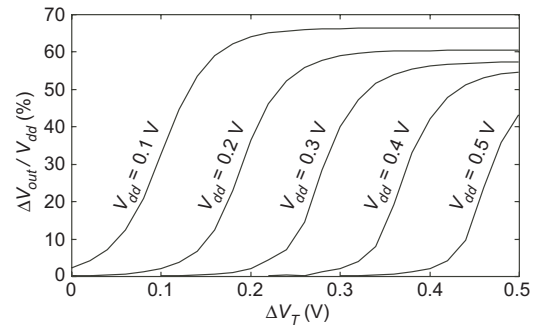


図2 出力の振幅低下 ΔV_{out} と閾値の差 ΔV_T の関係。 V_{dd} は電源電圧。閾値はnMOSFET = 0.5V, pMOSFET = 0.5V + ΔV_T 。

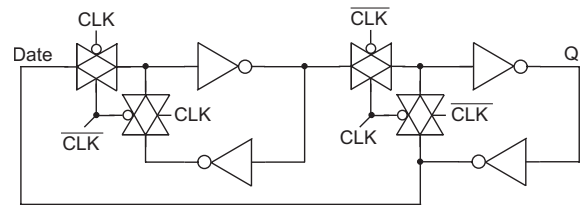


図3 T-F/F (トランスマッションゲート型) の構成。

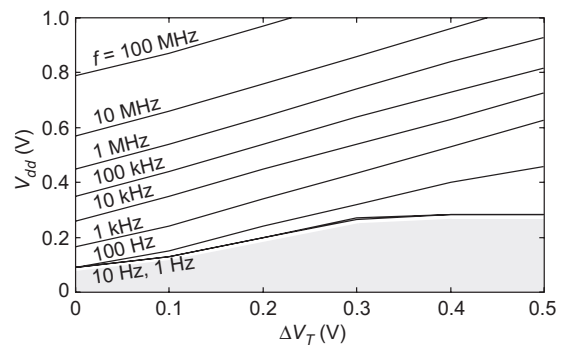


図4 T-F/Fの動作限界を与える点(ΔV_T , V_{dd})の軌跡をクロック周波数 f についてプロットしたもの。灰色は動作不能の領域。閾値はnMOSFET = 0.5V, pMOSFET = 0.5V + ΔV_T 。