

低電圧CMOS デジタル回路のプロセス・温度バラツキ補正技術

Process and Temperature compensation techniques for low-voltage CMOS digital circuits

次田 祐輔¹ 上野 憲一¹ 廣瀬 哲也² 浅井 哲也¹ 雨宮 好仁¹
Yusuke Tsugita Ken Ueno Tetsuya Hirose Tetsuya Asai Yoshihito Amemiya

¹ 北海道大学 大学院 情報科学研究科

Department of Electrical Engineering, Hokkaido University

² 神戸大学 大学院工学研究科 電気電子工学専攻

Department of Electrical and Electronics Engineering, Kobe University

1 まえがき

携帯機器などのモバイル端末は、バッテリー寿命の延命のために低消費電力化が強く求められている。これに向けて、高 V_{th} トランジスタの使用や電源電圧の低電圧化が行われている。しかし、プロセス誤差や温度変動に起因するしきい値電圧バラツキの影響を受けやすい問題がある。そこで、これらの影響を補正する回路技術を提案した [1]。本稿では、先に提案した構成を踏まえ、より補正効果の高い構成を提案する。

2 しきい値電圧バラツキの影響

デジタル回路のプロセスバラツキとして、トランジスタ特性の絶対精度がばらつく“グローバルバラツキ”と相対精度がばらつく“ランダムバラツキ”の2種類を想定した。特に、しきい値電圧 V_{th} のバラツキは電源電圧 V_{DD} の低減と共に顕著になり、 $1/(V_{DD} - V_{th})$ に比例してデジタル回路特性を劣化させる。クリティカルパスの長いデジタル回路においては、ランダムバラツキの影響は平均化されることが知られている。しかし一方で、グローバルバラツキの影響は排除することができない。このことを確認するために、モンテカルロシミュレーションによりインバータチェーンの遅延時間バラツキの電源電圧依存性を調べた。その結果を図1に示す。通常、遅延時間のバラツキはゲート長 L のバラツキによる影響が大きい。しかし、低電圧下ではしきい値電圧バラツキの影響が支配的になることが確認できる。

3 プロセス・温度バラツキ補正アーキテクチャ

低電圧CMOS デジタル回路のプロセス・温度変動による特性バラツキを補正する回路技術を提案する。図2に回路構成を示す。参照電圧源回路 [2] を用いて、プロセス・温度バラツキに依存しない定電流 I_{ref} を生成する。定電流 I_{ref} とデジタル回路のオン電流 I_{on} が一致するようにフィードバック構成とし、nMOS トランジスタは電源電圧を介して、pMOS トランジスタは基板電位を介してオン電流を制御する。これによりトランジスタのオン電流 I_{on} をバラツキのない定電流 I_{ref} に規定することができ、特性バラツキを補正できる。

提案回路を用いて100段インバータチェーンの遅延時間の検証を行った。電源電圧1Vでの結果を図3に示す。提案回路を用いることにより、遅延バラツキを60%改善できることを確認した。さらに温度変動による特性バラツキの補正を行った。その結果を図4に示す。補正回路を用いることにより温度変化に対して、遅延時間をほぼ一定に保つことが可能である。今後、提案アーキテクチャの先端プロセスへの適用を検討している。

文献：[1] 次田 祐輔, *et al.*, 電子情報通信学会総合大会, (北九州), 2008年3月。[2] K Ueno. *et al.*, Proc. of the 2007 SSDM, pp.486.

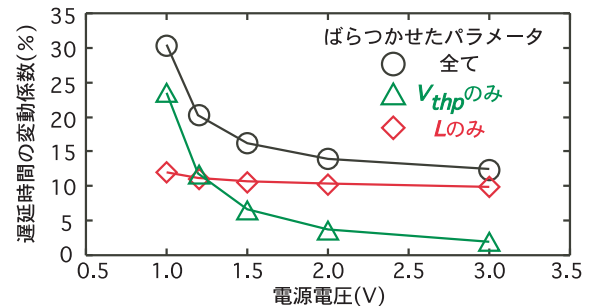


図1 グローバルバラツキのみを考慮したモンテカルロシミュレーション (100回)、10段インバータチェーン遅延時間バラツキの電源電圧依存性。

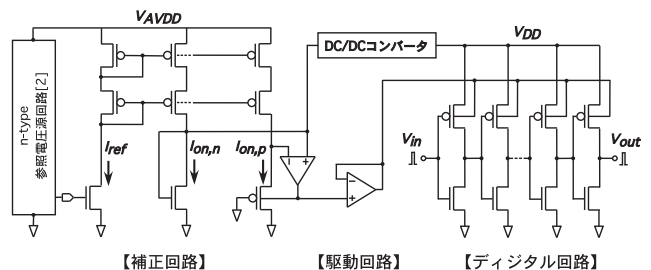


図2 デジタル回路のバラツキ補正アーキテクチャ。

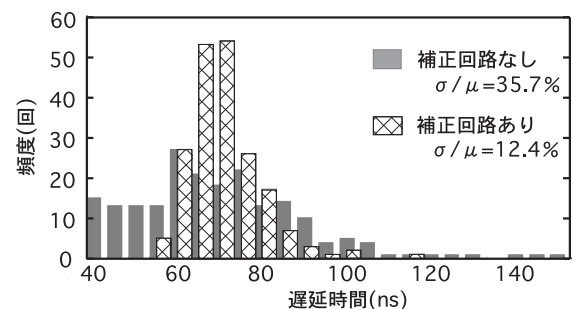


図3 グローバル・ランダム両方のバラツキを考慮したモンテカルロシミュレーション (200回)。電源電圧1Vでの100段インバータチェーン遅延時間バラツキ。

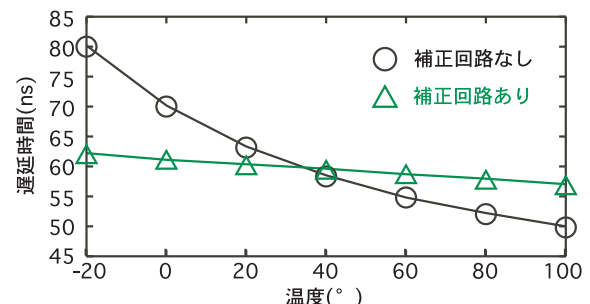


図4 typical シミュレーション。100段インバータチェーン遅延時間バラツキの温度依存性。