

サブスレッショルド CMOS-LSI のためのオンチップ電源回路 Power Supply Circuit for Subthreshold-operated CMOS-LSI

嶋田英人 上野憲一 浅井哲也 雨宮好仁
Hideto Shimada Ken Ueno Tetsuya Asai Yoshihito Amemiya

北海道大学 情報科学研究科
Department of Electrical Engineering, Hokkaido University

1. まえがき

消費電力が極めて小さいサブスレッショルド CMOS-LSI をつくるときは、消費エネルギーを最小にするため「用途に必要なゲート速度が得られる範囲で最小の電圧値」で回路を動作させる必要がある。この条件を素子パラメータのバラツキ（とくに MOSFET の閾値変動）や周囲温度の変化にかかわらず成立させたい。そのためのオンチップ電源回路を設計して試作を行った。以下にその結果を示す。

2. 回路構成

この電源回路の全体構成を図 1 に示す。供給電圧 V_{EX} を MOSFET M_1 で V_{DD} に降圧して負荷のサブスレッショルド CMOS-LSI に供給する。リングオシレータで LSI のゲート遅延を模擬し、そのリングオシレータが所定の周波数で発振するように（つまりゲート遅延が所定の値となるように） V_{DD} を調節する。すなわち、リングオシレータの発振出力（周波数 f ）でスイッチトキャパシタ（ M_2 - M_3 - C ）を駆動し、その等価抵抗（ $1/(fC)$ ）と参照抵抗 R とが等しくなるように M_1 のゲート電圧をフィードバック制御する。

3. 測定結果

図 2 は $0.35\ \mu\text{m}$ -CMOS プロセスによる試作回路のチップである。供給電圧 V_{EX} を $1.55\ \text{V}$ とし、それをサブスレッショルド LSI 用に $0.5\ \text{V}$ 付近まで降圧する。リングオシレータは NAND インバータ 11 段、スイッチトキャパシタ容量 C は $0.5\ \text{pF}$ 、参照抵抗 R はオフチップで可変とした。

図 3 に参照抵抗 R を変化させたときの出力電圧とリング発振周波数を示す。発振周波数 f が設定値 $1/(RC)$ （点線）とほぼ一致するような電圧 V_{DD} が出力されている。

図 4 には設定周波数 $20\ \text{kHz}$ （ $R = 100\ \text{M}\Omega$ ）のときのリング発振周波数に対する供給電圧 V_{EX} と負荷電流の影響を示す。周波数ラインレギュレーションは $7.60\ \%/V$ 、周波数ロードレギュレーションは $76.0\ \text{ppm}/\mu\text{A}$ であった。

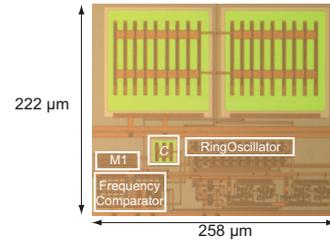


図 2：試作チップ写真（ $0.35\ \mu\text{m}$ m2P4M CMOS プロセス）。

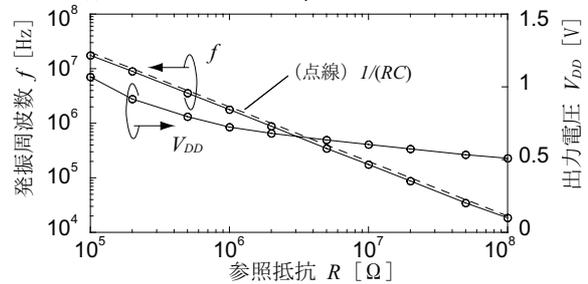


図 3：参照抵抗 R によるリング発振周波数と出力電圧 V_{DD} の変化。

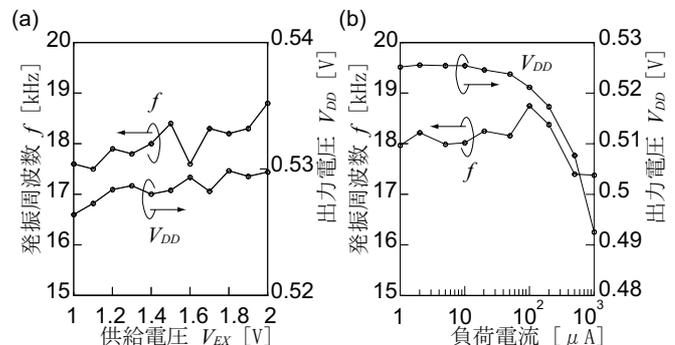


図 4：供給電圧 V_{EX} と負荷電流の影響：(a) 周波数ラインレギュレーションと (b) 周波数ロードレギュレーション。

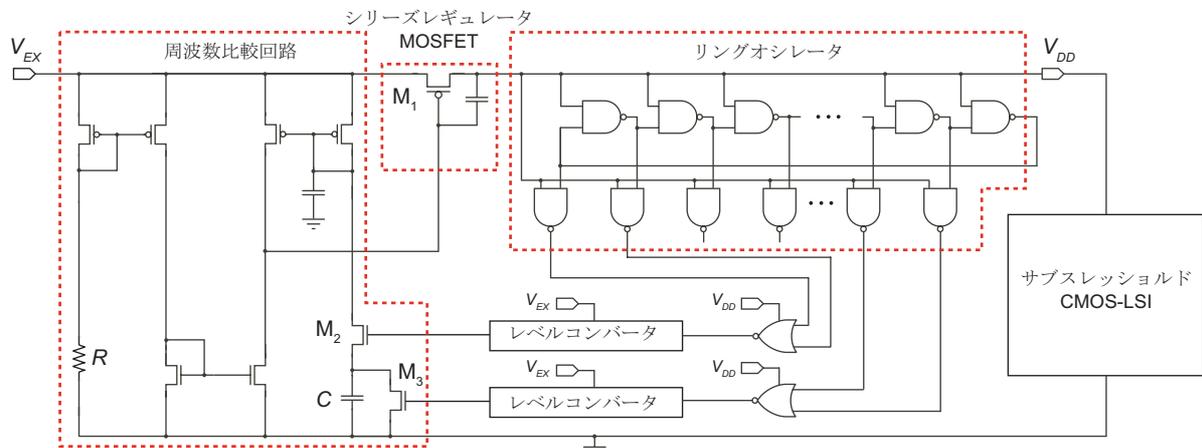


図 1：電源回路の全体図。