

# サブスレッショルド領域で動作するロジックメモリ回路の低電圧化の検討

A Survey on Subthreshold Logic Memory Circuits under Low-Voltage Operation

吉田 和徳 Kazunori Yoshida      宇田川 玲 Akira Utagawa      浅井 哲也 Tetsuya Asai      雨宮 好仁 Yoshihito Amemiya

北海道大学 大学院 情報科学研究科  
Graduate School of Information Science and Technology, Hokkaido University

## 1 まえがき

我々は [1] にてサブスレッショルド領域で動作する低消費電力なメモリセルを提案した。バイアス電圧をトランジスタのしきい電圧以下にすることで回路中の電流をトランジスタのリーク電流と同等に抑えた。その結果、TSMC 0.18  $\mu\text{m}$  パラメータを用いた場合 ( $V_{\text{dd}} = 1.8 \text{ V}$ )、通常のラッチ回路を用いたメモリ回路の消費電力は 14.6 nW であったのに対し、提案した回路の消費電力は 150 pW と極めて少なかった。今回、バイアス電圧だけでなく  $V_{\text{dd}}$  も低くした場合の消費電力と不良セルの数を数値的に調べた。

## 2 テイル電流制限型メモリ回路の低電圧化

図 1 に回路構成を示す (動作原理については [1] を参照)。TSMC 0.18  $\mu\text{m}$  パラメータを用い、バイアス電圧  $V_b = 0 \text{ V}$ 、トランジスタサイズを  $L = 0.18 \mu\text{m}$ ,  $W = 0.27 \mu\text{m}$  とした (m1 のみ  $L = 1.8 \mu\text{m}$ ,  $W = 0.27 \mu\text{m}$ )。図 2 (a) に提案回路が有するヒステリシス特性を示す ( $V_{\text{dd}} = 0.5 \text{ V}$ )。ヒステリシス幅および出力電圧  $V_{\text{out}}$  の出力振幅は 0.3 V および 0.4 V 程度だった。このヒステリシス幅および出力振幅が小さくなると不良セル数が増加するため、電源電圧を下げた場合のそれらの変化をシミュレーションから確認した。図 2 (b) にその結果を示す。ヒステリシス幅および出力振幅は電源電圧に対してほぼリニアに変化した。モンテカルロシミュレーションを行なって、100 個のメモリセルのうちの不良セル数を計算した。ただし NMOS および PMOS トランジスタのしきい値の標準偏差をそれぞれ 16.5 mV, 20.1 mV とした (m1 のみ 6.35 mV とした)。比較のためラッチ回路の不良セル数を同様に計算した。図 3 (a) にその結果を示す。提案回路において不良セル数が 0 個となった最低の  $V_{\text{dd}}$  は 0.5 V であったが、ラッチ回路においては 0.2 V であった。消費電力もあわせて計算した [図 3 (b)]。提案回路の消費電力は常にラッチ回路より 20% から 40% ほど低かった。例えば、 $V_{\text{dd}} = 0.5 \text{ V}$  のときラッチ回路より 36% 低い消費電力だった。 $V_{\text{dd}} = 0.5 \text{ V}$  の場合について提案回路の動作周波数を見積った。 $V_{\text{out}}$  の立ち下がりおよび立ち上がり時間の遅延の分布より動作周波数を計算した。図 4 (a), (b) は立ち下がりおよび立ち上がり時間のヒストグラム (1000 回試行) である。立ち上がり時間は最大で 200  $\mu\text{s}$  程度だったのに対し、立ち下がり時間は最大で 100  $\mu\text{s}$  程度であった。このことから  $V_{\text{dd}} = 0.5 \text{ V}$  において本回路は 5 ~ 10 kHz の周波数において

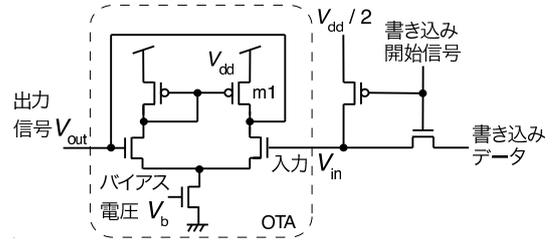


図 1 回路構成

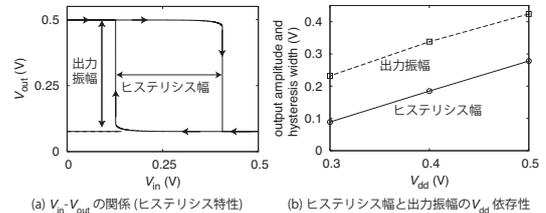


図 2 提案回路の DC 特性 ( $V_{\text{dd}} = 0.5 \text{ V}$ )

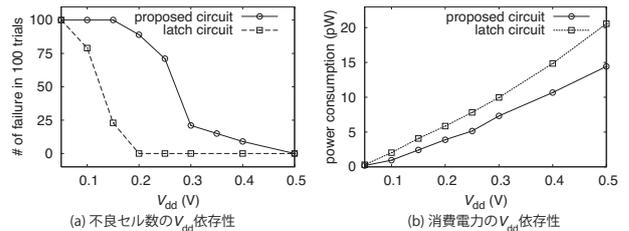


図 3 ラッチ回路と提案回路の電源電圧依存性

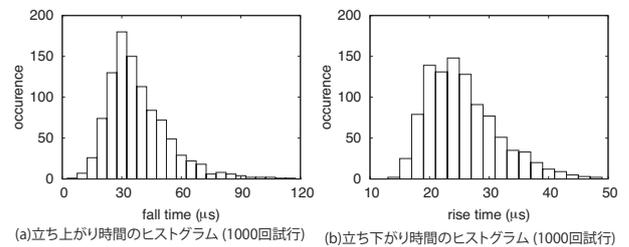


図 4 モンテカルロシミュレーション結果

高い信頼性で動作することがわかった。 $V_{\text{dd}}$  を 0.2 V まで低くできる場合は通常のラッチ回路の方が低い消費電力であるものの、0.2 V まで低くできる用途は特に限られる。よって  $V_{\text{dd}}$  に下限値がある場合 (例えば 0.5 V)、提案回路はラッチ回路より消費電力を少なくできると考える。

## 参考文献

[1] 吉田 和徳, 他, 電子情報通信学会ソサイエティ大会, (大阪), 2010 年 9 月.