高エネルギー効率プロセッサの実現に向けたナイーブベイズ分類器による動的分岐予測

DYNAMIC BRANCH PREDICTION WITH A NAÏVE BAYES CLASSIFIER TOWARDS DESIGNING HIGH ENERGY EFFICIENT MICROPROCESSORS

肥田 格 Itaru Hida　池辺 将之 Masayuki Ikebe　浅井 哲也 Tetsuya Asai　本村 真人 Masato Motomura

北海道大学 大学院情報科学研究科
Graduate School of Information Science and Technology, Hokkaido University

1　まえがき

パイプライン化されたプロセッサの電力効率を向上させるためには、分岐予測器の高精度化が重要であり、パーセプトロンのような機械学習を用いた動的な分岐予測が有望視されている [1]。本研究では、統計的機械学習の手法として知られるナイーブベイズ分類器 (NBC) を用いた動的分岐予測器を提案する。

2　提案アーキテクチャと評価

ナイーブベイズ分岐予測器 (NBBP) は、条件分岐命令の成否の履歴を特徴量 x_i とし、ベイズの定理に基づいて事後確率 $P(y \mid x)$ を計算して、次の条件分岐命令の成否 y を予測する (図 1)。本研究では確率演算を簡単化し、命令をフェッチしてから 2 クロックサイクルで予測が完了する分岐予測器を設計した。

提案する NBBP の予測精度を、パーセプトロン分岐予測器 [1] および静的分岐予測器と比較し、図 2 に示す結果を得た。分岐予測器を組み込むベース・プロセッサとして、RISC プロセッサのソフトコアである Lattice Semiconductor 社の Mico32 を使用した。Mibench[2] に含まれる 7 種類のベンチマークプログラムを実行し、予測ミス率を計測すると、ほとんどのベンチマークで NBBP が最高の精度を示した。

シミュレーションに用いたベンチマークのうち basicmath_small について、静的分岐予測器および NBBP を組み込んだ場合の消費電力をそれぞれ見積もり、その差分をとると図 3 に示す結果を得た。プロセッサの設計は 0.18 μm プロセスを使用し、動作周波数を 100 MHz、コア電圧を 1.8 V と設定した。プロセッサのロジック部分の消費電力はトグル率ベースでシミュレーションし、NBBP の $P(y)$ および CPT は SRAM を用いて実装したと仮定して、その消費電力 [3] を求めた (図中 “Logic”)。また、シミュレーションで得た命令メモリおよびデータメモリへのアクセス回数をもとに、メモリアクセスにより生じる消費電力 [3] も計算した (図中 “Memory”)。

図 3 において、x 軸はベンチマークの反復回数を表し、y 軸は静的分岐予測使用時の消費電力から NBBP 使用時の消費電力を引いた差分を表す。NBBP は静的分岐予測器と比較して回路規模が大きいため、ロジック部分の消費電力では不利であるが、予測精度が高くメモリアクセス回数を減少させるため、メモリアクセスで生じる消費電力を低減することができる。したがって、システム全体の消費電力では、静的分岐予測器よりも NBBP の方が有利である。本シミュレーションでは、ベンチマークを約 1000 回 (約 3 秒間) 反復実行した場合で、およそ 300mW の消費電力を削減できる見積もりを得た。

参考文献

[1] D.A. Jiménez and C. Lin, in Proc. HPCA 2001, pp. 197-206, 2001.

[2] M.R. Guthaus, et al., in Proc. WWC-4, pp. 3-14, 2001.

[3] `www.csd.uoc.gr/~hy534/03a/s31_ram_bl.htm`

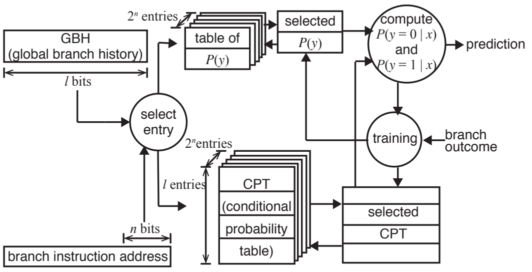

図 1　ナイーブベイズ分岐予測器のアーキテクチャ

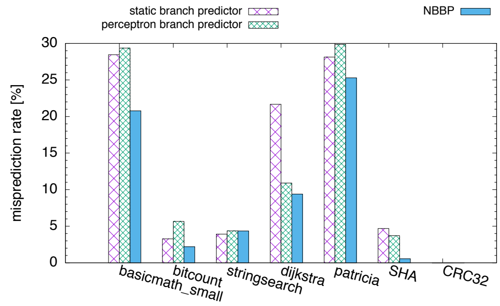

図 2　予測ミス率のシミュレーション結果

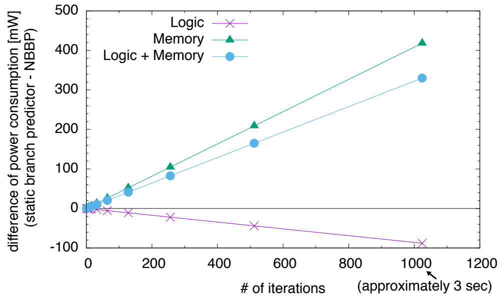

図 3　静的分岐予測と NBBP 使用時の消費電力の差分 (UMC 0.18 μm、動作周波数 100 MHz、コア電圧 1.8 V)