

モダンニューラルネットのハードウェアエミュレーション ～スパイクニューロンとダイナミックシナプスをアナログ VLSI 化する～

Hardware Emulation of Modern Neural Networks – Analog VLSIs for Spiking Neurons and Dynamic Synapses –

浅井 哲也 (PY), 中田 一紀, 雨宮 好仁

Asai Tetsuya (PY), Nakada Kazuki, and Amemiya Yoshihito

北海道大学 工学部 電子工学科

Department of Electrical Engineering, Hokkaido University

Abstract

In this report, we summarize our recent work on hardware implementation of modern neural networks that consist of spiking neurons and dynamic synapses. We exhibit spiking neurons and synapses constructed by analog circuits with small number of CMOS devices, which enable us to implement large-scale neural networks on conventional analog VLSIs. Future prospects of modern neuro-devices are discussed as well as network-level hardware implementation.

1 はじめに

ニューラルネットのハードウェア化に関する研究開発は、1990 年頃までにその第一段階（古典的数理モデルのアナログ/デジタル回路化）を終え、その後は古典的ハード化手法の改良や視覚チップなど、応用・実用化を目指した研究開発に重点が置かれてきた。近年は、古典的ハード化手法の改良もさることながら、現在得られている生理学的な知見をもとに大胆なモデルを立てていく「構成的手法」を用いた脳型ハードウェアの研究開発が盛んである。生体様ビジョンチップ [1] は後者の典型例であり、ここ数年は生体へのインプラント（例えば、[2, 3]）や、認知・判断といった高次視覚機能の実装を目指して研究が行われている。脳の高次機能を構成的手法を用いてハードウェア化するためには、当然ながら実際のニューロンの動特性（スパイク特性やダイナミックシナプスの特性）を積極的に利用したモダンなニューラルネットをハードウェア化の対象として考えなければならない。実際、このような研究の重要性がハードウェア研究者の間で認知されつつある。

ニューロンのスパイク特性に着目したハードウェアに関する研究は、スパイク特性をリアルに再現することを目的としたものと、スパイクニューロンを用いたネットワークの構成に重点を置いた研究に大別できる [4]。筆者らの研究方向は後者であり、ニューロンのスパイク特性を模するハードウェアと、そのネットワークが生み出す（可能性のある）機能的性質を対

象として研究を進めている。無論、筆者を含めたハードウェア研究者の多くは神経の数理モデルや生理実験が専門ではなく、それらの分野の研究者との協調による研究開発の必要性を強く感じている。最近の“協調”的な研究活動の中で筆者がしばしば耳にすることは、単純な積分発火型ニューロンではなく、アナログ的（より Hodgkin-Huxley モデルに近い）ニューロンを用いた大規模ネットワークの必要性と、それによる計算機の負荷（シミュレーション時間）の増加問題についてである。

上記の負荷問題は、並列・実時間で動作するアナログ神経回路を VLSI 化する、つまりアナログ神経細胞モデルを多数搭載した“擬似生体チップ”を開発することで解決できそうである。神経回路をアナログ並列回路化することで、デジタル計算機でシミュレートすることが困難な硬い応答をする細胞モデルを用いた大規模ネットワークの実時間エミュレーション（シミュレーションではない）が可能になる。また、CMOS 半導体デバイスで構成した神経細胞（シリコンニューロン）は実際の神経細胞と比べて物理・電氣的に強靱であり、応答の再現性も極めて高い。しかしその一方で、アナログ VLSI 化によるデメリットも当然ある。例えば、既存のデジタル計算機（シミュレータ）と比較して計測が困難（生理実験と同様のインピーダンス整合や多チャンネル実時間計測などの問題）；神経細胞と実デバイスの対応が 1:1 である故に、軸索（または樹状突起）に相当するデバイスを三次元的に配置するようなネットワークの実現が困難（実デバイスは二次元チップ上に配置されるため）、

keywords: analog VLSI, spike neuron, dynamic synapse

などの問題が挙げられる。これらのトレードオフによって VLSI 化する (できる) ニューラルネットの構成が決まる。

アナログ VLSI 化に理想的なニューラルネットとは、概ね以下のような特徴を持つものである; 1) 神経細胞が平衡電位またはスパイク列で情報処理結果を表す; 2) スパイク列または神経細胞のダイナミクスの初期値によって入力を与える; 3) 神経細胞は近接結合 (または結合強度一定で全結合); 4) 素子 (ニューロン) レベルではなくネットワークレベルで生まれる冗長性を持つ。上記の 1) により測定時の時分割読み出しが容易になり、2) により全ての神経細胞に少ないピン数で入力を与えることが可能になる。また、3) はかなり厳しい条件であるが、近年、アドレス駆動方式 (発火情報がニューロン回路の有る場所を表す) と呼ばれるデータ転送方式が開発され [5]、問題は解決の方向へ向かっている (但し、この方式は前述の構成的な設計思想とはかけ離れたものである)。最後の 4) の特徴は工学的に極めて重要であり、その性質をうまく取り入れれば (生物と同様に) ノイズや素子特性のばらつきに強いアナログシステム LSI が実現できそうである。アナログ CMOS デバイスの物理パラメータの不均一性は、実際の神経細胞のそれと比較して格段に低いことから、神経細胞のような曖昧なデバイスをエミュレートしようとする限り、CMOS デバイスの不均一性が問題となってはならない。ここで問題があるようであれば、生体様チップとしての設計方針が間違っている、と筆者は考える。

上記の全てを満たすニューラルネットを探すことは多少骨の折れる作業ではあるが、著者らはこれまで主に上記の特徴を持つようなニューラルネットのアナログ集積化を行ってきた。本稿ではその紹介と、最近開発したダイナミックシナプス回路について紹介する。また、それらを用いた神経ハードウェアに関する今後の展望について述べる。

2 スパイクニューロンの回路構成

ここで述べるスパイクニューロンは、実ニューロンの特性をリアルに再現するものではなく、積分発火型モデルを拡張したアナログ回路である。最低限、以下の性質を持つように回路を設計する; 1) 膜電位がしきい値を越えるとニューロン回路はスパイク電流を発生する; 2) スパイクの発生と同時に膜電位がリセットされる; 3) リセット後、ニューロンは不応期にはい

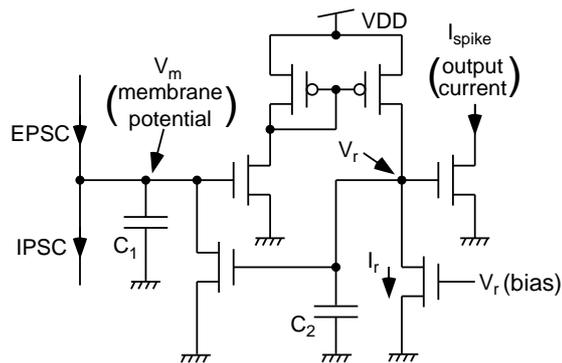


図 1 スパイクニューロン回路の構成.

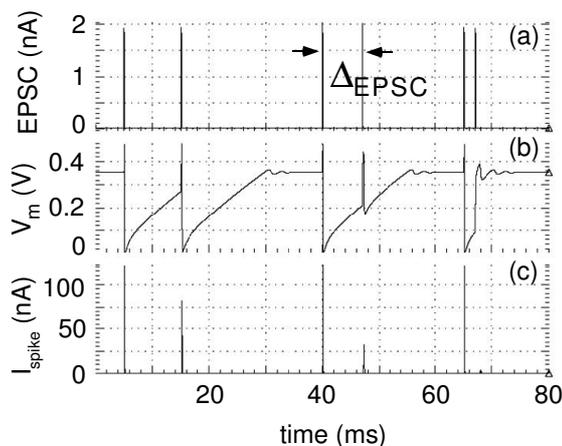


図 2 スパイクニューロン回路の動作例.

る (外部入力が与えられても膜電位は増加しない)。

回路構成を図 1 に示す [6]。すべてのトランジスタが subthreshold 領域 (トランジスタの電流が $O(10^{-7})$ A 以下となる領域) で動作するようにバイアスを設定した場合、図 1 の回路のダイナミクスは

$$\begin{aligned} C_1 \dot{V}_m &= (EPSC - IPSC) - I_0 e^{\kappa V_r / V_T} \\ C_2 \dot{V}_r &= I_0 e^{\kappa V_m / V_T} - I_r \end{aligned}$$

となる (V_m は膜電位, $C_{1,2}$ は容量, EPSC と IPSC はそれぞれ興奮および抑制性シナプス後電流, V_T は thermal voltage でおおよそ 26 mV, I_0 と κ はプロセス依存パラメータで典型的にはそれぞれ $O(10^{-15})$ A と 0.6)。本来の積分発火型ニューロンのダイナミクスに回路構成を近づけることも可能である。しかし、図 1 の構成は前述の 1)-3) の性質を持つ最もシンプルな回路 (大規模集積化が容易) であるため、積分発火型ニューロンモデルの忠実に再現することよりも、大規模集積化のメリットを生かしたほうが良い。よって、本回路をスパイクニューロンの基本回路とする。

図 2 に回路の動作例を示す (パラメータの詳細や試作チップの評価結果については、文献 [6] を参照されたい)。図 2(a) に示すタイミングで EPSC を与えると、EPSC の時間間隔 (Δ_{EPSC}) の減少に伴いスパイク出力 (I_{spike}) も減少する [図 2(c)]。つまり、発火後に続けて入力を与えても再び発火しないような Δ_{EPSC} が存在する。この時間間隔が回路の不応期である。また、回路の入出力をそれぞれシナプス前細胞の出力、シナプス後細胞の入力と見なすと、シナプス前細胞のスパイク間隔の減少に伴いシナプス後細胞の入力が減少するような減衰シナプスを (回路の変更なしに) 構成することができる。

3 ダイナミックシナプスの回路構成

多くのハードウェア設計者はダイナミックシナプスのハード化の重要性に気付いているが、ダイナミックシナプスのアナログ VLSI 化例はまだ少ない (減衰シナプスの例では、[7]、時間非対称ヘブ学習のためのシナプスの例では、[8] など)。ここでは、筆者らの開発による「減衰と増強の二つの性質を合わせ持つダイナミックシナプス回路」について説明する。

図 3 に大規模集積化を狙ったダイナミックシナプス回路例を示す。回路のダイナミクスは、 V_1 と V_2 に関する節点方程式より

$$C_1 \dot{V}_1 = I_{\text{in}} - I_0 e^{\kappa V_{g1}/V_T} \left(1 - e^{-V_1/V_T} + V_1/V_0\right)$$

$$C_2 \dot{V}_2 = I_{\text{in}} - I_0 e^{\kappa V_{g2}/V_T} \left(1 - e^{-V_2/V_T} + V_2/V_0\right)$$

に従う (V_0 はプロセス依存パラメータで典型的には 15 V 程度)。シナプス前細胞からの電流パルス (I_{in}) を C_1 と C_2 で積分し (リークは V_{g1} と V_{g2} で決定) それらの電圧 (V_1 と V_2) をトランスリニア乗除算器 [9] に与える。乗除算器の入出力特性は、

$$I_{\text{out}} = \frac{e^{\kappa V_2/V_T}}{e^{\kappa V_1/V_T}} I_{\text{in}}$$

であり、パラメータ V_{g1} と V_{g2} の大きさのバランスによって、減衰と増強の機能が入れ替わる。

図 4 に回路の動作例を示す (MOSIS AMIS 1.5- μm CMOS パラメータ, 最小サイズトランジスタ, $C_1=C_2=10$ pF, 入力パルス周期: 1 ms, パルス幅: 10 μs , パルス振幅: 1 nA)。 $V_{g1} > V_{g2}$ の時にスパイク入力 I_{in} を与えると [図 4(a)]、 V_2 と V_1 の差が入力スパイク数の増加とともに大きくなる ($V_1 < V_2$)。そのため、 I_{out} はスパイク列の入力とともに減衰する

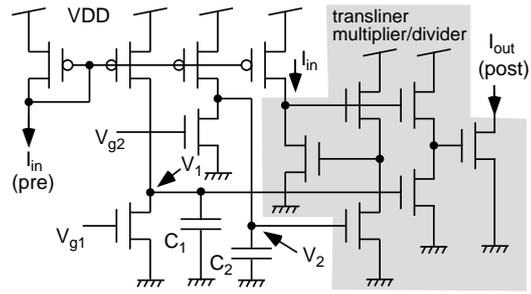


図 3 ダイナミックシナプス回路の構成。

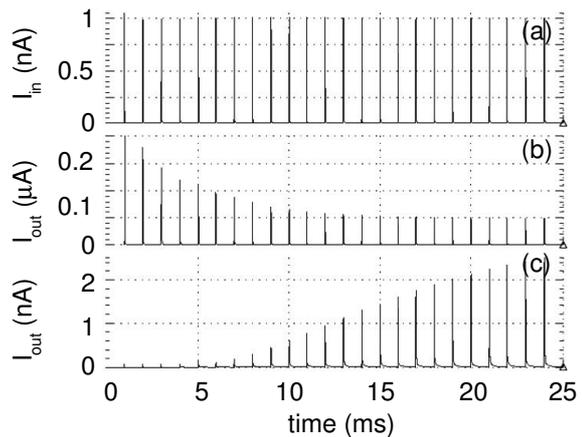


図 4 ダイナミックシナプス回路の動作例。

(図 4(b); $V_{g1} = 0.2$ V, $V_{g2} = 0.3$ V を設定)。一方、 $V_{g1} > V_{g2}$ の場合はその逆で、 I_{out} はスパイク列の入力とともに増加する (図 4(c); $V_{g1} = 0.3$ V, $V_{g2} = 0.1$ V を設定)。入力をカットすると、電流利得は徐々に初期値へ戻る (その時定数は V_g と C で決定)。

4 ネットワークの設計と今後の課題

筆者らは既に、スパイクタイミングにもとづく神経競合ネットワーク [10] の VLSI 化を行い、その実時間動作を実証した [6]。その中で、ニューロン回路の個々の CMOS デバイスのばらつきや外界からのノイズが、ネットワークレベルで生まれた冗長性により (完ぺきとは言えないが) 緩和され、細胞レベルでのエラー率が大幅に低下することを確認した。実際の高性能アナログ VLSI の研究分野ではさらに低いエラー率が要求される。しかし、特殊なノイズ対策を何も施していないアナログ電子回路が、生体の構造に学んだネットワーク回路を組むことで (多かれ少なかれ) 自然にノイズトレラントになる、という結果は、アナログ LSI の新しいノイズ対策法の一つとして今後の

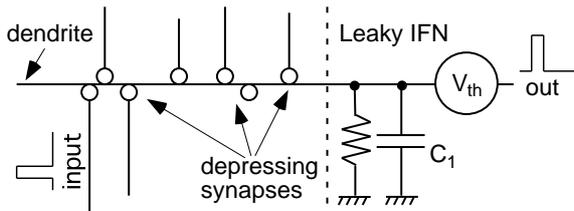


図 5 減衰シナプスとスパイクニューロンを用いたアクティブなシナプス前ニューロン数の判定回路。

展開を十分に期待させるものである。

現時点の課題は、スパイクニューロンと減衰シナプスを組み合わせた機能的ネットワークの模索である。1章で述べたVLSI化条件に加えて、ハードウェアの特性を生かせるようなモデルが望ましい。例えば、図5に示すような簡単な構造を考えてみる。入力とニューロン間の結合に減衰シナプスを用いると、シナプス前の活動ニューロン数とその発火頻度によらず判定可能になる[11]。これは、減衰シナプスのローパス特性を利用して、ニューロンに注入されるスパイク電流の時間平均値を入力周波数に非依存にしたものである。入力情報から発火頻度の情報を引き抜くことで、ニューロンの入力パターンに対する識別能力が上がる。このような活動パターン認識を行う回路のアレイをアナログVLSI化することで、実時間で動作する(高速な)パターン認識ハードウェアが構築できる。

今後の課題は、本来アナログVLSIの大敵であるノイズを逆に利用して、正しい動作をするようなハードウェアを構築することである。そのために、再度ニューラルネットの構成に学ぶ。たとえば、弱い周期性を持つスパイクニューロンを用いたネットワークでは、外界からネットワークに適度なノイズを加えることで正確な動作(例えば、完全な同期振動)が可能になることがある[12]。この仕組みの鍵は、興奮性ニューロンと抑制性介在ニューロンからなるネットワークにおける減衰シナプスを介した興奮性のリカレント結合かもしれない[13]。そのネットワーク構成は、(前章で述べたスパイクニューロンとダイナミックシナプスを用いると)アナログVLSI化が容易である。このネットワークをアナログ回路化することで、スパイクの同期によって入力判定を行うノイズトレラントなアナログVLSIの実現が期待できる。

現時点で、スパイクニューロンに関する研究分野はハードウェア研究者にとってテーマの宝庫であり、実デバイスをモデル研究にフィードバックすることで両研究分野のさらなる発展を期待する。

参考文献

- [1] A. Moini Ed. *Vision Chips*. Kluwer Academic Publishers, Boston, 1999.
- [2] W. Liu, M.S. Humayun, E. de Juan, *et al.*, "Retinal prosthesis to benefit the visual impaired," *Vision Research*, pp. 2569-2576, 1999.
- [3] J. Wyatt and J. Rizzio, "Ocular implants for the blind," *IEEE Spectrum*, pp. 47-53, 1996.
- [4] W. Mass and C.M. Bishop, *Pulsed Neural Networks*. MIT Press, Cambridge, 1998.
- [5] A.K. Boahen, "Communicating neuronal ensembles between neuromorphic chips," in *Neuromorphic systems engineering*, T.S. Lande, Ed. Boston: Kluwer Academic Publishers, 1998, pp. 229-261.
- [6] T. Asai T and Y. Amemiya, "Frequency- and temporal-domain neural competition in analog integrate-and-fire neurochips," in *Proc. Int. Joint Conf. on Neural Networks*. 2002, pp. 1337-1341¹⁾.
- [7] C. Rasche and R.H.R. Hahnloser, "Silicon synaptic depression," *Biol. Cybern.*, vol. 84, pp. 57-62, 2001.
- [8] A. Bofill, A.F. Murray, D.P. Thompson, "Circuits for VLSI implementation of temporally-asymmetric Hebbian learning," in *Advances in Neural Information Processing Systems*, 2001, to be published²⁾.
- [9] A.G. Andreou, K.A. Boahen, P.O. Pouliquen, A. Pavasović, R.E. Jenkins and K. Strohhahn, "Current-mode subthreshold MOS circuits for analog VLSI neural systems," *IEEE Trans. Neural Networks*, vol. 2, pp. 205-213, 1991.
- [10] T. Fukai, "Competition in the temporal domain among neural activities phase-locked to subthreshold oscillations," *Biol. Cybern.*, vol. 75, pp. 453-461, 1996.
- [11] G. Bugmann, "Synaptic depression increases the selectivity of a neuron to its preferred pattern and binarizes the neural code," *Biosystems*, to be published³⁾.
- [12] Z.F. Mainen and T.J. Sejnowski, "Reliability of spike timing in neocortical neurons," *Science*, vol. 268, pp. 1503-1506, 1995.
- [13] T. Fukai and S. Kanemura, "Noise-tolerant stimulus discrimination by synchronization with depressing synapses," *Biol. Cybern.*, vol. 85, pp. 107-116, 2001.

1) <http://sapiens-ei.eng.hokudai.ac.jp/contents/publications.shtml>

2) <http://www-2.cs.cmu.edu/Groups/NIPS/NIPS2001/papers/>

3) <http://www.tech.plym.ac.uk/soc/staff/guidbugm/bugmann.htm>