

単電子箱を用いた多数決論理デバイス

A Majority-Logic Device Using a Single-Electron Box

北海道大学 工学部¹ / 量子集積エレクトロニクス研究センター² 大矢 剛嗣¹, 浅井 哲也¹, 福井 孝志², 雨宮 好仁¹

Hokkaido University, Department of Electrical Engineering & RCIQE

Oya Takahide Asai Tetsuya Fukui Takashi Amemiya Yoshihito

e-mail: ooya@sapiens-ei.eng.hokudai.ac.jp

【はじめに】 1個の単電子箱だけからなる多数決論理ゲートを提案する。先に報告した多数決ゲート（二つの単電子箱を用いた対回路 [1,2]）よりも構造が簡単で集積化に適している。

【ゲートデバイスの構造】 ゲートの構造を図1に示す。基本要素は2重トンネル接合をもつ単電子箱である（バイアスキャパシタ CL と2個のトンネル接合 Cj の直列回路）。この単電子箱のノードに（キャパシタ C を介して）入力端子3つと出力端子1つを接続して多数決ゲートとする。バイアス電圧 Vd によってゲートを駆動する。

【ノード-接地間の電子トンネル】 この単電子箱のノード電圧はバイアス電圧 Vd の変化に応じて図2のようなヒステリシス特性を描く。特性の不連続部はノード-接地間の電子トンネルに対応する。接地からノードに電子がトンネルするときの Vd 値（= Vex ）は入出力端子の電圧総和に依存する。図2は入出力端子を接地したときの特性である。

【ゲートの多数決動作】 ゲートを動作させるときは、出力端子を接地して入力電圧 ($V1 \sim V3$) を加える（論理1は正電圧、論理0は負電圧を入力）。次に Vd を図2に示す Vex 値まで上げる。入力の多数決（入力電圧の総和 ($V1+V2+V3$) の正負）によって、電子トンネルが生じるか否かが決まる。二つ以上の入力論理1（入力電圧の総和が正）ならば、電子が接地からノードにトンネルしてノード電位は負（出力は論理0）になる。それ以外の場合には電子がトンネルせずノード電位は正（出力は論理1）である。出力が確定した後に入力を接地し、 Vd を電圧 Vss まで下げて出力値を保持する。ゲート出力は多数決論理の反転信号である。

【デバイス製作方法】 このゲートをつくるには、2重トンネル接合と4本の結合枝を持つナノドットを基板上に形成すればよい（図3）。有機金属気相選択成長を利用した製作プロセスを検討中である。 [1] 大矢, 他: 平成14年春季 応用物理学関係連合講演会 27a-YM-8.

[2] T. Oya *et al.* "A majority-logic nanodevice using a balanced pair of single-electron boxes," *Journal of Nanoscience and Nanotechnology*, Vol. 2, No. 3 (2002).

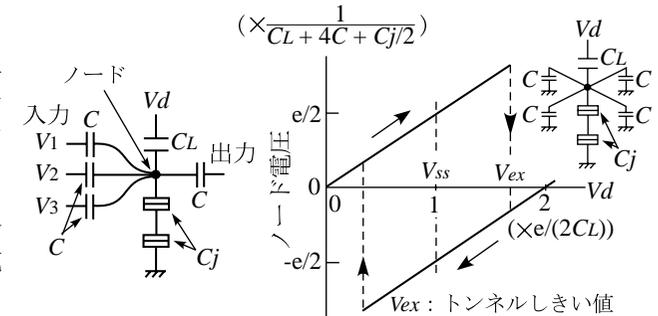


図1 多数決ゲート

図2 単電子箱のノード電圧特性

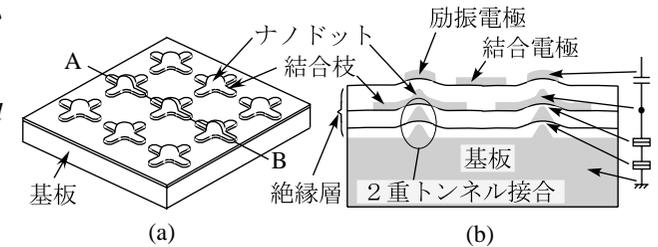


図3 ゲートデバイスの構成 (a) 単位ナノドットの集積, (b) AB間の断面図