

サブスレッショルド CMOS 論理回路のためのオンチップ電源

Power Supply Circuit for Subthreshold-CMOS Digital Systems

嶋田 英人 上野 憲一 浅井 哲也 雨宮 好仁
北海道大学 情報科学研究科

Hideto Shimada Ken Ueno Tetsuya Asai Yoshihito Amemiya
Department of Electrical Engineering, Hokkaido University

1 はじめに

近年、情報化社会の展開にともなってセンサネットワークの構築と多種多様なスマートセンサLSIが要求されるようになった。これらセンサLSIは広範囲に分散配置され、限られたエネルギー源で長時間動作することが要求される[1]。したがってLSI上のデジタル回路をサブスレッショルド領域で動作させる必要があり、そのためLSI上の電源回路に工夫が必要となる。本研究ではその電源回路を構成するための方針を示す。

このようなサブスレッショルドLSIに対する最大の要求は低エネルギー動作にある。サブスレッショルドLSIは超小型マイクロ電池で数年にわたり動作することが要求され、理想的には貧エネルギー環境（薄暮光、小温度差、弱電波、微小振動など[2]）から採取できるエネルギーだけで永久に動くことが望まれる。サブスレッショルドLSIの応用では高い速度性能は要求されないが、それでも用途に応じた所定の速度で動かすためには消費エネルギーとの兼ね合いが必要となる。つまり「用途に必要なゲート速度が得られる範囲で消費エネルギーが最小」となるようにLSIを動作させなくてはならない。このためLSIチップ上に専用の電源回路を設けることが必要となる。以下において、このオンチップ電源回路の設計方針を述べる。

2 低エネルギー動作のためのオンチップ電源

2.1 理想的な最小エネルギー設計とその問題点

サブスレッショルドLSIのデジタル回路を設計するときは「必要な動作速度が得られる範囲で単位演算あたりの消費エネルギーが最小」となる

ように構成する必要がある。この要求に忠実に沿ったものとして Chandrakasan らによる最小エネルギー設計が知られている[3]。この設計法によれば、論理回路の構成(活性化率, 論理の幅と深さ, など)および単位演算あたりの処理時間を決めると、それらの条件下で

「単位演算あたりの消費エネルギーを最小とする回路電圧 V_{DD} と MOSFET しきい電圧 V_{TH} の組合せ」

が求まる。文献[3]中の一例では、 $0.18\mu\text{m}$ -CMOSのNANDインバータ列において 活性化率 = 1, 論理の深さ = 11, 処理時間 = $1\ \mu\text{s}$ の条件が与えられたとき、 $V_{DD} = 150\ \text{mV}$ かつ $V_{TH} = 280\ \text{mV}$ (nMOSFETとpMOSFETは同値)となるように回路とデバイスを設計すれば良い。

この設計法は消費エネルギーを抑える設計として理想的なものであるが、実用上は幾つか問題があり最小エネルギー状態を実現することは難しい。第一に、エネルギー源である電池の電圧は回路の最適電圧よりかなり高い(マンガン電池 = $1.5\ \text{V}$, リチウム電池 = $3\ \text{V}$)。第二に、MOSFET しきい電圧をLSIの用途ごとに最適設定することはプロセス上の制約が大きい。第三の問題として、LSIの製造時におけるMOSFET閾電圧の絶対誤差がある。この誤差値として $\pm(0.1-0.2)\ \text{V}$ は避けられないが、そのため回路の動作状態が最小エネルギー条件から逸脱し、かつ動作速度の条件も満足できないことがあり得る。以上のことを考慮して、本研究では、上記の最小エネルギー設計には依らず、次節のような実現しやすい低エネルギー駆動法を考えた。

2.2 実用的な低エネルギー駆動法

表 1: 降圧の方法とゲートの消費エネルギー

降圧の方法	ゲート消費エネルギー (スイッチング1回あたり)	消費エネルギー比	消費エネルギー比の数値例
V_{EX} のそのまま利用	$C_L V_{EX}^2$	1	1
シリーズレギュレータ による降圧	$C_L V_{EX} V_{DD}$	$\frac{V_{DD}}{V_{EX}}$	0.2 $\left(\begin{array}{l} V_{EX} = 1.5 \text{ V} \\ V_{DD} = 0.3 \text{ V} \end{array} \right)$
スイッチングレギュレータ による降圧 (効率 η)	$\frac{C_L V_{DD}^2}{\eta}$	$\frac{1}{\eta} \left(\frac{V_{DD}}{V_{EX}} \right)^2$	0.08 $\left(\begin{array}{l} V_{EX} = 1.5 \text{ V} \\ V_{DD} = 0.3 \text{ V} \\ \eta = 0.5 \end{array} \right)$
併用型: スイッチングレギュレータ $V_{EX} \rightarrow V_I$ (効率 η) シリーズレギュレータ $V_I \rightarrow V_{DD}$	$\frac{C_L V_I V_{DD}}{\eta}$	$\frac{V_I V_{DD}}{\eta V_{EX}^2}$	0.13 $\left(\begin{array}{l} V_{EX} = 1.5 \text{ V} \\ V_I = 0.5 \text{ V} \\ V_{DD} = 0.3 \text{ V} \\ \eta = 0.5 \end{array} \right)$

いま回路の消費エネルギーとしてスイッチングエネルギー (負荷容量の充電エネルギー) が主体と考えれば、「消費エネルギーの最小」は「回路電圧の最小」と言い換えられる。すなわち「必要な動作速度が得られる範囲で回路電圧が最小」となるような駆動方法を考えればよい。そこで、次に示す (i)-(iv) の方針に従ってサブスレッショルドデジタル回路用のオンチップ電源システムを設計した。

(i) LSI には外部エネルギー源 (電池など) から電圧 V_{EX} を供給する ;

(ii) ゲート遅延時間を測るモニタ回路を LSI 上につくり、その遅延時間が所定の値になるような電圧 V_{DD} をデジタル回路に供給する。この電圧 V_{DD} は外部電圧 V_{EX} を降圧してつくる ;

(iii) MOSFET の閾電圧を用途に応じて調節することはしない。与えられた閾値の MOSFET をそのまま利用する ;

(iv) 外付けのキャパシタやインダクタは使用しない。外部からのクロック信号や基準電流なども使用しない。

ここで注意を要する箇所は、外部電圧 V_{EX} をデジタル回路用の電圧 V_{DD} に降圧する部分である。降圧の方法には表 1 のように幾つかあるが、使いやすさとエネルギー損失の兼ね合いを考えて選択する必要がある。表 1 は以下のことを示している :

(a) 外部電圧のそのまま使用

外部電圧 V_{EX} をそのまま使用すれば簡単であるが、しかしゲートのスイッチングあたり消費エネルギーは $C_L V_{EX}^2$ (C_L はゲート負荷容量) と大きい。

(b) シリーズレギュレータによる降圧

シリーズレギュレータで外部電圧 V_{EX} を回路電圧 V_{DD} に下げると消費エネルギーは $C_L V_{EX} V_{DD}$ に減少する。なおシリーズレギュレータは降圧時にエネルギー損失があり、変換効率は V_{DD}/V_{EX} である。

(c) スwitchングレギュレータによる降圧

スイッチングレギュレータを使うと理想的には効率 100% で降圧できる。しかし実際には変換損失は避けられず、とくにサブスレッショルド応用の低電力レベル (1-100 μW) では効率が著しく低下する。その効率を η とすれば消費エネルギーは $C_L V_{DD}^2 / \eta$ である。なお、スイッチングレギュレータを使うときは、インダクタを使用しない容量切替え型がオンチップ化に適している [4]。

(d) スwitchング/シリーズレギュレータ併用

スイッチングレギュレータを使う場合、サブスレッショルド回路への供給電圧の微調節を容易にするため、実際にはシリーズレギュレータを併用する必要がある。すなわち、スイッチングレギュレータで外部電圧 V_{EX} を中間電圧 V_I に下げたあと、さらにシリーズレギュレータで V_{DD} まで降圧する。スイッチングレギュレータの効率を η としたとき、消費エネルギーは $C_L V_I V_{DD} / \eta$ である。

いま外部電圧をそのまま使用したときの消費

エネルギーを1として、それに対する各降圧法の消費エネルギー比とその数値例を表1に記載した。各降圧法における消費エネルギー比、および動作の安定性と回路面積を総合的に考慮し、ここではシリーズレギュレータ単独による降圧法を採用した。次章では具体的な電源回路の構成について説明する。

3 低エネルギー電源回路の構成

3.1 回路の基本構成

電源回路の構成における基本的な考え方を図1に示す。回路の主要部分はシリーズレギュレータのMOSFET (M1)とゲート遅延時間を測るリングオシレータ(RO)である。外部電圧 V_{EX} を M1 で降圧してデジタル回路用の電圧 V_{DD} をつくる。RO はデジタル回路のゲート速度を模擬するものであり、出力電圧 V_{DD} に応じた周波数で発振する。その発振周波数を f_{RO} 、RO 段数を n とすれば、ゲート遅延時間は $(2nf_{RO})^{-1}$ である。この遅延時間が所定の値となるように出力電圧 V_{DD} を調節すればよい。そのために RO の発振周波数を計測し、その結果を M1 のゲート電圧にフィードバックする。

3.2 RO 発振周波数の計測

RO 発振周波数の計測は、スイッチトキャパシタ抵抗と参照抵抗の比較によって行う。そのための回路を図2に示す。この回路は、スイッチトキャパシタ抵抗 (M2-M3-C) に流れる電流 i_s と参照抵抗 R の電流 i_R をノード P において比較する。いまスイッチトキャパシタ抵抗を RO の発振周波数でスイッチングすると、その等価抵抗値は $(f_{RO}C)^{-1}$ となる。このとき次のようなフィードバックを生じる：

(i) $(f_{RO}C)^{-1} > R$ であれば $i_s < i_R$ となりノード P の電位 V_{GS} は下降する。そのため M1 の抵抗が下がり、回路電圧 V_{DD} が上昇して f_{RO} も増加し、それに従って $(f_{RO}C)^{-1}$ は低下する；

(ii) 逆に $(f_{RO}C)^{-1} < R$ であれば $i_s > i_R$ となりノード P の電位 V_{GS} は上昇する。そのため M1 の抵抗が上がり、回路電圧 V_{DD} は下降して f_{RO} も低下し、それに従って $(f_{RO}C)^{-1}$ は上昇する。

以上の結果として $(f_{RO}C)^{-1} = R$ の状態に落ち着く。

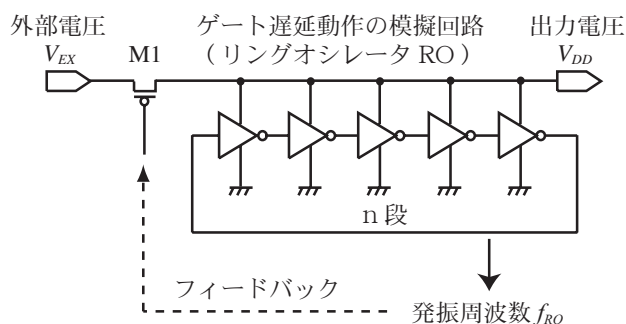


図1: 電源回路の構成概念

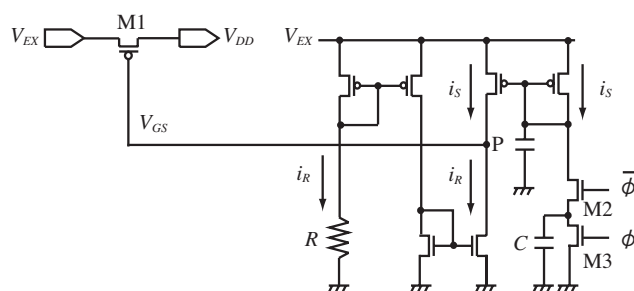


図2: スイッチトキャパシタと参照抵抗

すなわちデジタル回路のゲート遅延時間 $(2nf_{RO})^{-1}$ が $RC/(2n)$ と等しくなるように出力電圧 V_{DD} が自動調節される。したがって R と C の値を LSI の用途に応じて適切に設定しておけば良い。なお、用途に応じて調節できるように抵抗 R を外付けとすることも可能である。

3.3 スイッチトキャパシタの駆動

RO の出力でスイッチトキャパシタ抵抗を駆動するとき、以下の2点に留意する必要がある：

(i) スイッチトキャパシタ抵抗では二つのスイッチ (図2の M2 と M3) が同時にオンとはならない。したがって、二つの駆動信号 ϕ と $\bar{\phi}$ が同時にハイレベル (論理1) とならないように設計する。これを実現するため、図3のように RO の適切なノードから発振信号を取り出し、それを二つの NOR ゲートに加えて ϕ と $\bar{\phi}$ を発生させる。

(ii) ϕ と $\bar{\phi}$ のハイレベル電圧は RO 発振信号のそれより十分高くする必要がある。これはスイッチトキャパシタ抵抗の M2 と M3 のオン抵抗を小さくするために必要である。RO のハイレベル電圧 V_{DD} はサブスレッショルド回路用の低い電圧であ

り、これをそのまま使って M2 と M3 を駆動するのではオン抵抗が大きい(10-100 MΩ 以上)。そのためスイッチトキャパシタの充放電時間が大きくなって正しく動作しない。そこで ϕ と $\bar{\phi}$ を発生させるための NOR ゲートを図 4 のように構成し、これによって RO 発振信号の小さい振幅 V_{DD} を大きい出力振幅 V_{EX} に変換する。

3.4 電源回路の全体構成

以上のことを踏まえて設計したサブスレッションロド電源回路の全体構成を図 5 に示す。外部エネルギー源としてマンガン電池を想定し、 $V_{EX} = 1.5\text{ V}$ とした。RO の段数は 9、RO インバータのファンアウトは 2 とした。スイッチトキャパシタ抵抗を駆動する NOR ゲートには、図中に番号を付けた RO ノードの発振信号を入力する。シリーズレギュレータ M1 のゲート・ドレインに付けた容量は寄生振動を防止するためのものである。

この電源回路の動作をシミュレーションにより解析した。次節に結果を示すものは、 $0.18\text{ }\mu\text{m}$ CMOS デバイスパラメータを用いて設計した回路の特性である。なお電源回路の出力端子には、負荷となるデジタル LSI 回路を模擬した抵抗と容量を接続した。

4. 電源回路の動作解析 (シミュレーション)

4.1 スwitchトキャパシタ抵抗の動作

はじめに図 2 の回路の動作を示す。この回路の機能は「参照抵抗とスイッチトキャパシタ容量で決まる時定数の逆数 $(RC)^{-1}$ 」と「RO 発振周波数 f_{RO} 」とを比較することである。これを確認するた

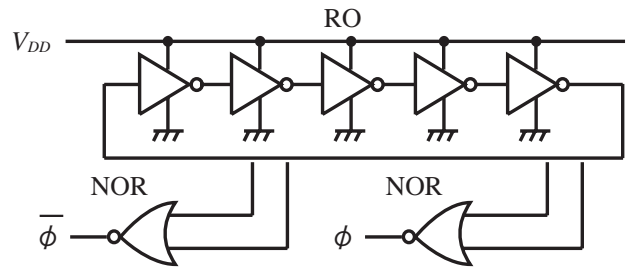


図 3: スwitchトキャパシタ駆動信号の発生

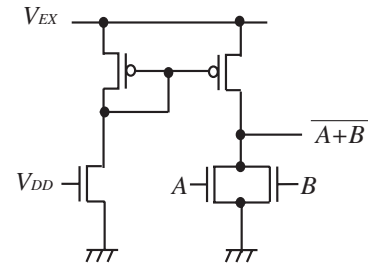


図 4: 入出力のレベル変換を行う NOR ゲート

め、入力 ϕ と $\bar{\phi}$ の周波数 f_{RO} を変えてノード P の電位 V_{GS} が変化の様子を見た。すなわち、図 5 において M1 を除去してフィードバックループを切り離し、RO には外部から電圧をかけて発振させる。その電圧を変えて発振周波数 f_{RO} を変化させ、そのときのノード P の電位 V_{GS} の変化を調べた。その一例を図 6 に示す。これは参照抵抗 $R = 10\text{ M}\Omega$ およびスイッチトキャパシタ容量 $C = 0.1\text{ pF}$ 、すなわち設定周波数 $(RC)^{-1}$ が 1 MHz の場合である。RO の発振周波数 f_{RO} が $(RC)^{-1}$ に近い $1.1\text{--}1.2\text{ MHz}$ となる前後でノード P の電位 V_{GS} が大きく変化し、期待した動作が得られた。

4.2 回路全体の動作

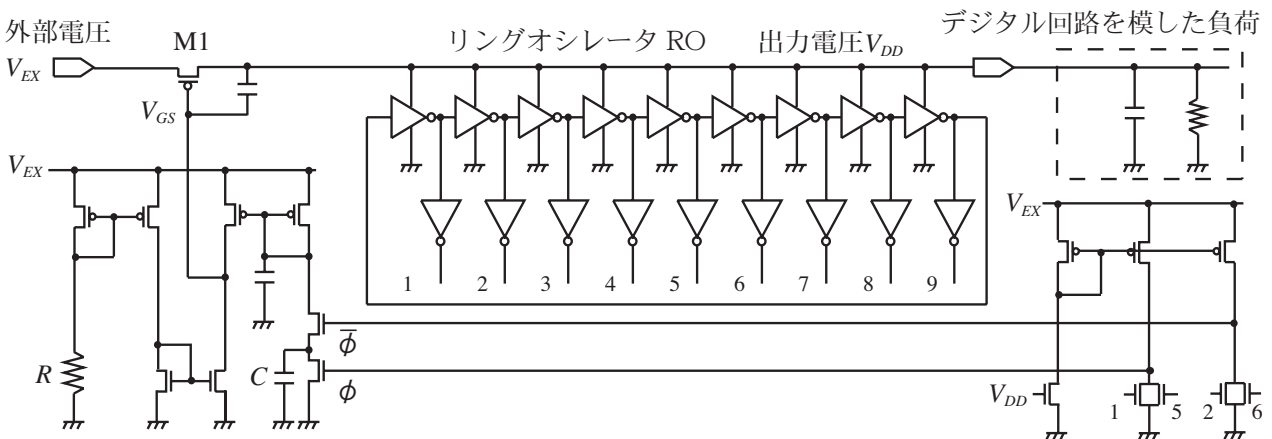


図 5: 電源回路の全体構成

フィードバックループを含む回路全体の動作をシミュレーションで解析した。図 7 (a)-(c) にその一例を示す (参照抵抗 $R = 10 \text{ M}\Omega$, スイッチトキャパシタ容量 $C = 0.1 \text{ pF}$)。回路に時間 = 0 で外部電圧 $V_{EX} = 1.5 \text{ V}$ を印可すると、およそ $100\text{-}200 \mu\text{s}$ で出力電圧 V_{DD} と RO 発振波形が立ち上がる。図 7(a) はその様子を示す。図に示した特性は nMOSFET と pMOSFET の閾値差が 0 のとき ($V_{THN} = V_{THP} = 0.5 \text{ V}$)、および閾値差が 0.1 V ($V_{THN} = 0.5 \text{ V}$, $V_{THP} = 0.6 \text{ V}$) のときのシミュレーション結果である。閾値差 0 のとき $V_{DD} = 0.4 \text{ V}$ となり、閾値差が 0.1 V のときは $f_{RO} = (RC)^{-1}$ を満たすために V_{DD} が上昇して 0.5 V となった。図 7(b) は RO の出力波形、図 7(c) は V_{DD} の値が安定した時の RO の波形を示す。発振周波数は $(RC)^{-1}$ に近い 1.22 MHz であった。すなわち、ゲート遅延時間が 46 ns となるように出力電圧 V_{DD} が自動設定された。

図 8 は参照抵抗 R の値による出力電圧 V_{DD} と RO 周波数の変化を示す。抵抗 R によって RO 周波数 (したがってゲート遅延時間) を広範囲に調節可能、かつそれに応じた出力電圧 V_{DD} を得ることができる。なお、本回路の外部電源 V_{EX} を $1.5 \text{ V} \pm 0.5 \text{ V}$ の範囲で変えたとき f_{RO} の変化率は $17 \%/V$ であった。これは f_{RO} 計測回路 (図 2) の電流ミラー比が電圧 V_{EX} で多少変化するためである。しかしこのままで実用上は問題ない。また負荷電流を $10 \mu\text{A} \pm 9 \mu\text{A}$ の範囲で変えたときの f_{RO} の変化率は $-0.4 \%/ \mu\text{A}$ であった。

4.3 nMOSFETS と pMOSFET の閾値差の影響

この電源回路が正しく動くための条件は、リングオシレータ RO の MOSFET と負荷デジタル回路の MOSFET が同じ特性であること、すなわち nMOSFET 間および pMOSFET 間でそれぞれ相対誤差が小さいことである。同じ伝導型の MOSFET 間で相対精度が良ければ、パラメータの絶対値バラツキや周囲温度の変化に対しては安定であり、常に「所定のゲート速度が得られる範囲で最小の回路電圧」を出力する。

サブスレッショルド CMOS 回路の設計でとくに注意すべきことは nMOSFET と pMOSFET の間の閾値の差である。同じ伝導型の MOSFET 間で

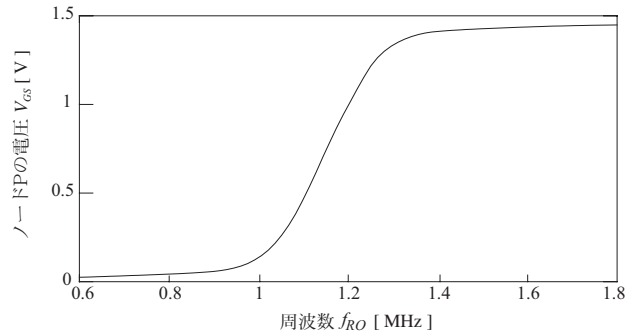


図 6: ノード P の電位 V_{GS} と周波数の関係

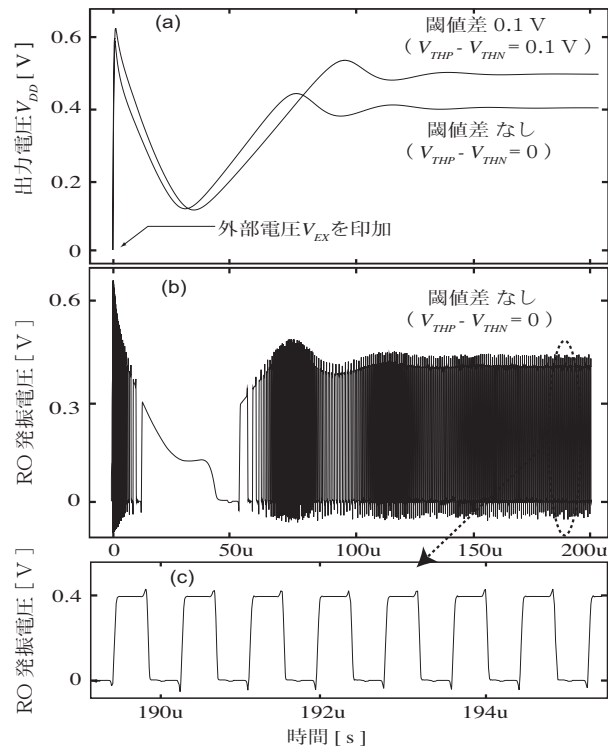


図 7: 電源回路の動作 (a) 出力電圧 V_{DD} (b) RO 発振波形 (c) RO 発振波形の拡大図

相対精度が良いときでも、nMOSFET と pMOSFET の閾値差が小さいとは限らない。この閾値差があっても動作に支障がないように LSI を設計する必要がある。サブスレッショルド LSI の場合、普通は nMOSFET と pMOSFET の閾値が互いに等しくなるようにデバイスを設計するが、実際には製造プロセスのバラツキのために $\pm(0.1\text{-}0.2) \text{ V}$ の差が出ることは避けられない。その場合でも、本研究で設計した電源回路はフィードバック動作によって正しく動作する。

その一例を図 9 に示す。いま nMOSFET の閾値

を 0.5 V に固定し、pMOSFET の閾値を変化させて RO の発振周波数 f_{RO} と出力電圧 V_{DD} の変化を見た。参照抵抗とスイッチトキャパシタ容量の値を $R = 10 \text{ M}\Omega$ と $C = 0.1 \text{ pF}$ 、したがって $(RC)^{-1}$ の値を 1 MHz に設定した。図の横軸は閾値差 ΔV_{TH} であり、pMOSFET の閾値が大きいきとき正とする。図示のように、閾値差にかかわらず RO の発振周波数 f_{RO} をだいたい $(RC)^{-1}$ と等しくするような出力電圧 V_{DD} を発生させることができた。なお、一方のトランジスタの閾値（ここでは pMOSFET の閾値）が大きくなると、RO を所定の周波数で発振させるための出力電圧 V_{DD} も大きくなる。したがって、低エネルギー動作のためには nMOSFET と pMOSFET の閾値は相等しいことが好ましい。

以上のように、この電源回路を使用することで、プロセスバラツキによる MOSFET 閾値の変動があった場合でも、デジタル回路の論理ゲートを予め設定した遅延時間で動作させることができる。

5. おわりに

極低電力応用のサブスレッショルド CMOS デジタル LSI では、単位処理あたりの消費エネルギーを最小にするため「用途に必要なゲート速度が得られる範囲で最小の回路電圧」で動作させる必要がある。この条件を素子パラメータのバラツキ（とくに nMOSFET と pMOSFET の閾値差バラツキ）や周囲温度の変化にかかわらず成立させる必要がある。本研究では、そのためのオンチップ電源回路を提案した。この電源回路は、素子パラメータや温度の変動にかかわらず負荷のデジタル回路が所定の速度で動作するように供給電圧を調節する。サブスレッショルド CMOS LSI を安定に動作させるための有用な回路要素である。

参考文献

- [1] A.P. Chandrakasan, D.C.Daly, J.Kwong, Y.K. Ramadass, "Next Generation Micro-Power Systems," Proc. of IEEE Symposium on VLSI Cuircuits, pp. 2-5, 2008.
- [2] P. Fiorini, I.Doms, C. Van Hoof, R. Vullers, "Micropower energy scavenging," Proc. of the

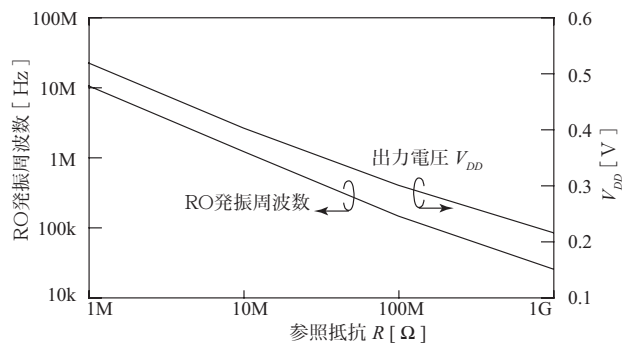


図 8: 参照抵抗 R の値による出力電圧 V_{DD} と RO 周波数の変化

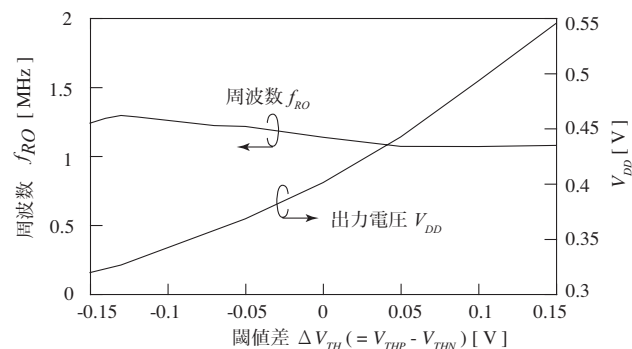


図 9: nMOSFET と pMOSFET の閾値差 ΔV_{TH} による RO の発振周波数 f_{RO} と出力電圧 V_{DD} の変化

34th European Solid-State Circuits Conference (ESSCIRC), pp. 4-9, 2008.

[3] Alice Wang, Benton H. Calhoun, Anantha P. Chandrakasan, Sub-threshold Design for Ultra Low-Power Systems, Springer-Verlag, 2006.

[4] T. Hirose, T. Asai, Y. Amemiya, "Power-supply circuit for ultralowpower subthreshold MOS-LSIs," IEICE Electronics Express, vol. 3, no. 22, pp. 464-468, 2006.