

時間領域の神経競合を模するアナログVLSI

林 秀樹 山田 崇史 浅井 哲也 雨宮 好仁

北海道大学工学部 電子工学科
〒060-8628 札幌市北区北13条西8丁目

E-mail: {hayashi,yamada,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし 本稿では、周波数領域および時間領域においてニューロン同士が競合を行なう抑制性のニューラルネットワークをアナログCMOS回路で実現したことを報告する。このニューロン回路は”スパイク”と呼ばれる同形状パルスの列を生成するように設計を行なった。チップ測定と計算機シミュレーションの結果から、スパイクのタイミングに基づいたネットワークが発火頻度に基づくものよりも、ニューロンの活性・不活性を明確に識別できることを示した。この結果はスパイクのタイミングに基づいて神経情報処理を行なうネットワークが、ノイズのアナログ素子特性に及ぼす影響を打ち消す可能性があることを示している。

キーワード アナログVLSI, 競合神経ネットワーク, スパイクタイミング, 積分-発火型ニューロン

Temporal-Domain Neural Competition in Analog Integrate-and-Fire Neurochips

Hideki HAYASHI, Takashi YAMADA, Tetsuya ASAI, and Yoshihito AMEMIYA

Department of Electrical Engineering, Hokkaido University
Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

E-mail: {hayashi,yamada,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract In this report, we present an inhibitory neural network implemented on analog CMOS chips, whose neurons compete with each other in the frequency and time domains. The circuit for each neuron was designed to produce sequences in time of identically shaped pulses, called *spikes*. The results of experiments and simulations revealed that the network more efficiently achieved the selective activation and inactivation of the neural circuits on the basis of spike timing than on the basis of firing rates. The results indicate that neural processing based on the spike timing of neural circuits provides a possible way to overcome the low-tolerance problems of analog devices in noisy environments.

Key words Analog VLSI, Competitive neural network, Spike-timing code, Integrate-and-fire neurons

1. はじめに

近年シリコン集積回路は大きな発展を遂げた。このシリコン集積回路技術を用いて昆虫や動物の神経系を模倣するハードウェアを作ることができればニューロコンピューティングの分野は大きく発展するかもしれない。このハードウェアは神経系システム(ニューラルネットワーク)を微細な半導体デバイスで構成し、シリコン LSI 上に集積したものである。[1]。このような疑似神経回路を LSI に実装する方法として、アナログ集積回路による構成法が注目されている。アナログ回路はデジタル回路と比較してクロックが不要、面積を小さくしやすいといったメリットがある。特に神経系の場合、非常に多くの単位回路(ニューロン)を集積する必要があるため、単位回路の面積を小さくできることは重要である。しかしながら従来提案されてきたニューラルネットワークモデルはアナログ集積回路には不向きなものであった。なぜなら、アナログ集積回路はデバイスのばらつきの影響を強く受けるためニューロン回路間の整合をとるのが難しい。加えてノイズの影響も強く受けるため、従来モデルが要求するだけの精度を実現することができないからである。そのため個々のデバイスのばらつきを改善するのではなく、ばらつきを持ったデバイスでシステム(ネットワーク)を組んだときにシステム全体としてばらつきを解消するような機構を用いて改善しなくてはならない。

生体では、単一のニューロンの精度や信頼性、ノイズ特性などはアナログ集積回路と同様良くないにも関わらず、システム全体としては非常に正確な動作を行なう。そのため神経システムはばらつきやノイズに強い機構で成り立っている可能性がある。近年、ニューロンに入力される他ニューロンの出力(スパイク)間の位相差(タイミング)が大きな役割をしていることがわかってきた[2]。例えば、皮質ニューロンに時間的に揺らぎを持った刺激列を与えると、1 ms 以内に出力は刺激と同じパルス列を再現するが、一定周期の刺激列を与えると不正確なパルス列を生成する[3]。この結果は、個々のニューロンが固有の低レベルノイズを出力する性質によって、全体としてはニューロンへの入力を正確にパルス列に変換できることを示している。

ニューロンの活動度の新しいタイミングメカニズムに基づいてロバストで効率的な神経競合を行う抑制性の積分-発火型ニューロン(Integrate-and-Fire Neuron: IFN) ネットワークを深井らが示した[4]。我々

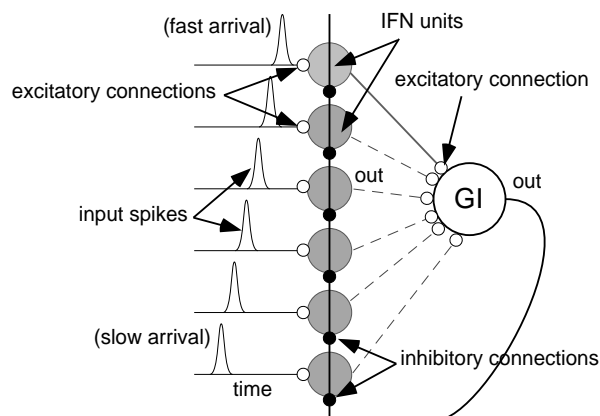


図 1 IFN ネットワークの構造

は、この神経興奮のタイミングに基づいたニューラルネットワークモデルが、精度の低いアナログ素子の特性がばらつくことによる影響を抑えるというアナログ集積回路によるニューラルネットワークを開発するのに適した特性を持つことを発見した。

本稿では、アナログ集積回路で構成可能な単純な構造の新しいアナログ IFN 回路を提案する。提案した回路を実装した LSI を試作し、その測定結果と数値計算によって IFN 回路で構成したネットワークにおいて発火頻度で情報表現するよりもスパイクタイミングで情報表現することで、より効率的に競合結果が得られることを示す。

2. Integrate-and-Fire Neuron とその回路構成

積分-発火型ニューロン(Integrate-and-Fire Neuron: IFN) モデルは Hodgkin-Huxley モデルに代表されるニューロンの複雑な動特性を簡略化したモデルである[5]。図 1 にこのニューロンモデルを用いた抑制性のネットワークを示す。ネットワークは複数の IFN ユニットと 1 個の大域抑制(Global Inhibitor: GI) から構成される。興奮性結合を介して外部からの信号(スパイク)を各々の IFN ユニットへ入力する。この入力信号は IFN ユニットに到達するタイミングで情報(信号の大きさ)を表現する。例えば、早く到達するものほど大きな信号であり、遅く到達するものほど小さな信号であることを示す。速く入力を受けた IFN ユニットは活性化し、GI へスパイクを出力する。GI は IFN から信号を受けると抑制結合している全ての IFN ユニートを抑制する。その結果、GI により抑制がかかる前に活性化した IFN ユニット以外は、GI による抑制のため外部信号が入力されても活性化されない。これは大きな信号だけが

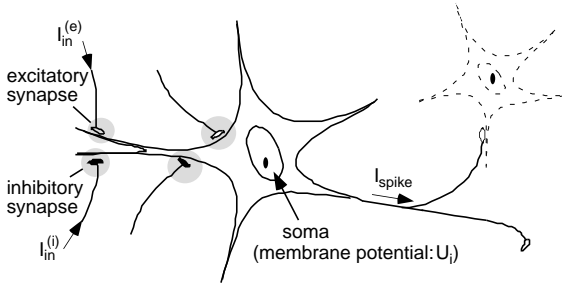


図2 ニューロンモデルの概略図

生き残るという競合現象の見られるネットワークである。

このような構造のニューラルネットワークを集積回路で構成するために、ネットワークの単位要素である IFN ユニットの検討を行った。IFN ユニットの 1 個のニューロンに見立てると、興奮・抑制の 2 入力と出力を持つニューロンと見ることができる。このニューロンの概略を図 2 に示す。このニューロンはシナプス結合をとおして興奮性入力電流 $I_{in}^{(e)}$ と抑制性入力電流 $I_{in}^{(i)}$ を受ける。これらの電流は積分され細胞の膜電位 U_i を変化させる。興奮性入力は膜電位を増加させ、抑制性入力は逆に膜電位を減少させる。膜電位が入力によって増加し、しきい値に達するとニューロンはパルス電流 I_{spike} を生成し、その後膜電位は初期状態へ戻る。

この IFN をアナログ CMOS 回路で構成した。その回路を図 3 に示す。提案する IFN 回路は前述の IFN モデルの興奮性 / 抑制性シナプスと細胞体の部分を回路化した。興奮性入力電流 $I_{in}^{(e)}$ によって興奮シナプス回路の興奮性シナプス後電位 (EPSP) が変化する。EPSP の変化によって生じる興奮性シナプス後電流 (EPSC) によって膜電位 U_i が増加する。同様に抑制性入力電流 $I_{in}^{(i)}$ によって抑制性シナプス後電位 (IPSP) を変化し、その際生じる抑制性シナプス後電流 (IPSC) によって膜電位が減少する。膜電位の増加に伴って V_i の電位も増加する。膜電位があるしきい値に達すると、 V_i の増加によって nMOS トランジスタ M_s のソース-ドレイン間が短絡するので、膜電位の入力ノード P はグラウンドと短絡する。このときの短絡電流は膜電位の増加に対して指数関数的に増加する。この短絡電流が急激に変化したときをスパイクの発生とみなす。実際の出力電流は MOS トランジスタ M_o から得る。

スパイクの振幅と不応期の間隔は入力電流 I_{in} とバイアス電流 I_b の大きさで決まる。電流が約 100 nA 以下では MOS トランジスタはサブスレッショルド

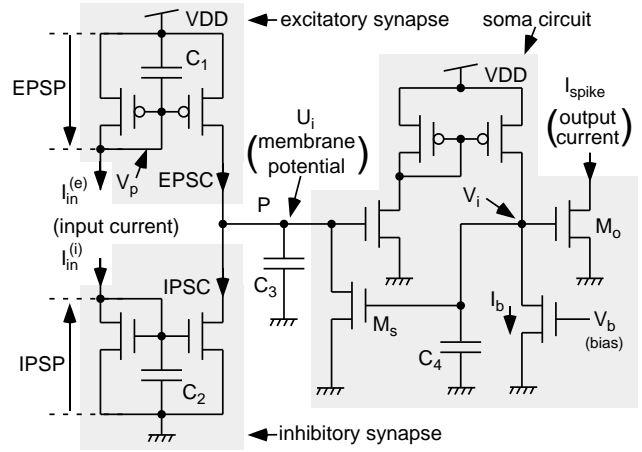


図3 IFN 回路

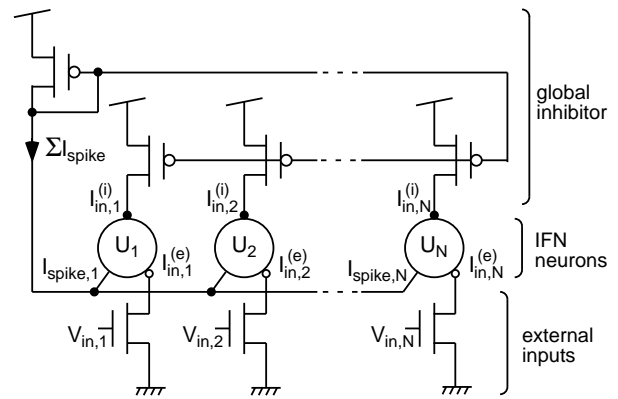


図4 IFN を用いた抑制性ニューラルネットワーク

領域で動作する [6]。提案した IFN 回路をこの領域で動作させるように入力電流とバイアス電流を 100 nA 以下にすると、回路は非常に低消費電力 (nW オーダーかそれ以下) で動作するが、トランジスタが外部ノイズに対して非常に敏感になる。我々が注目しているのは提案した IFN 回路がこのノイズ鋭敏性に打ち勝つことができるかということである。

提案した IFN 回路を用いて全てのニューロンが等しい強度の抑制性結合で全結合しているネットワークを構成した。 $N + 1$ 個の pMOS トランジスタで構成した GI と N 個の IFN 回路を用いて構成したネットワーク回路を図 4 に示す。各々の IFN 回路には外部入力 V_{in} を与える。この外部入力は MOS トランジスタへつながり、興奮性入力電流 $I_{in}^{(e)}$ を IFN 回路に与える。GI は IFN 回路の出力の総和 ($\sum_i^N I_{spike, i}$) をとる。この総和電流を複製し各ニューロンに抑制性入力電流 $I_{in}^{(i)}$ を与える。

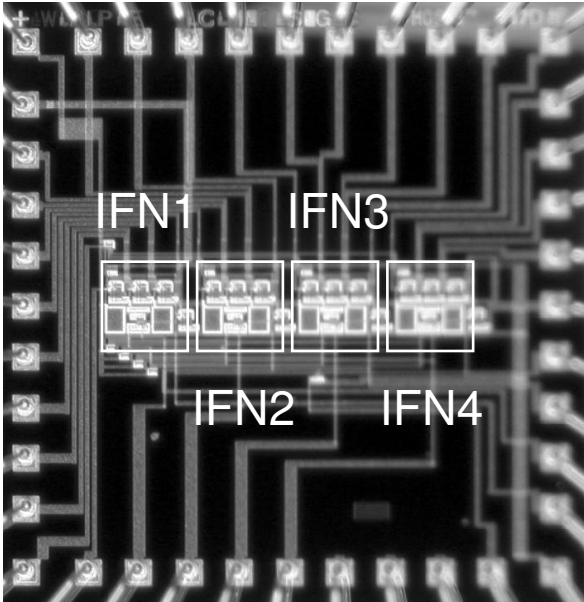


図5 試作したIFNチップ写真

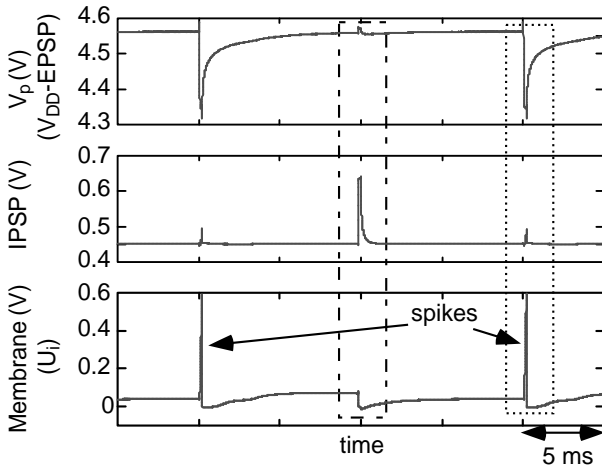
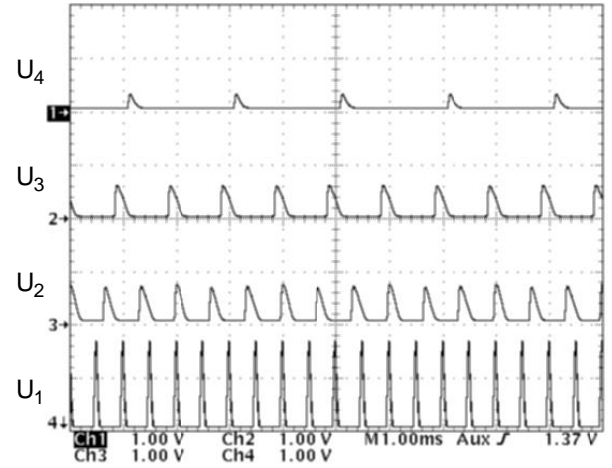


図6 IFN回路の測定結果

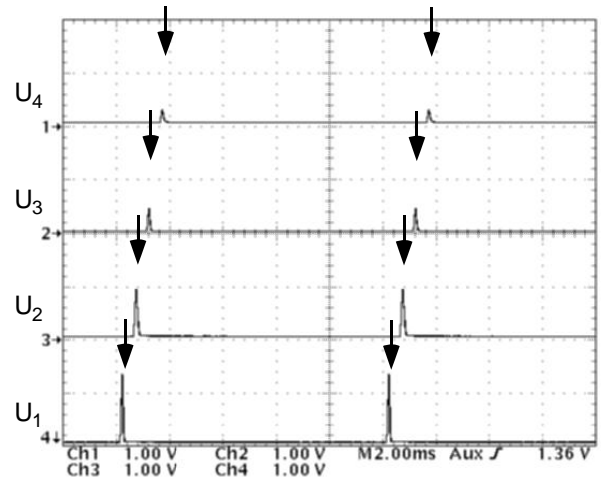
3. 実験結果

提案したIFN回路が実際のLSI実装においてどの程度ノイズに対してロバストであるかを調べるために、 $1.5\ \mu\text{m}$ CMOSプロセス(MOSIS: AMIS)を用いてIFN試作チップを作製した。4個のIFN回路と1個のGIを搭載した試作チップの写真を図5に示す。出力パルス幅はとても短いため、測定器の時間分解能の限界からキャパシタ C_1, C_2, C_3, C_4 の容量を大きく設計し、時間応答を緩やかにした。今回の設計においてキャパシタの面積は $120\ \mu\text{m} \times 200\ \mu\text{m}$ である。

まず試作したIFN回路単体の動作確認を行なった。測定した結果を図6に示す。電源電圧は $5\ \text{V}$ 、バイアス電流 I_b は $100\ \text{nA}$ とした。抑制シナプス回路に入力パルスを与えると、IPSPの増加するため膜電位



(a) encoding as firing rate

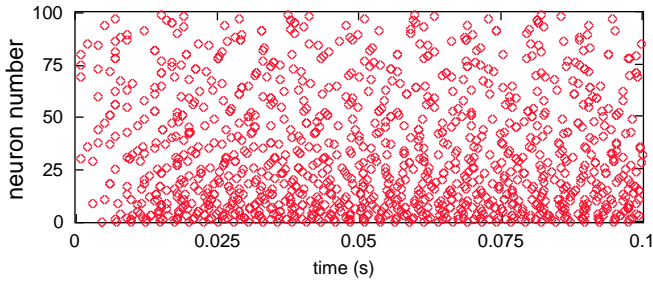


(b) encoding as spike timing

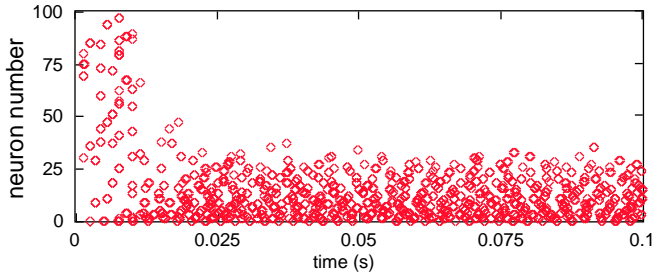
図7 4-IFNネットワークの測定結果

U_i は減少する(図6の一点破線で囲まれた部分)。同様に興奮シナプス回路に入力パルスを与えると膜電位は増加する。抑制性シナプス後電位(IPSP)があるしきい値より低い時には、抑制性シナプス後電流(IPSC)による短絡抑制が減少するので、出力にスパイクが生成される(図6の点線で囲まれた部分)。スパイクの電流 I_{spike} の振幅は約 $100\ \text{nA}$ である。これは休止電流($\approx 1\ \text{pA}$)の 10^5 倍程度であり、興奮・休止状態を識別することは容易である。

単体のIFN回路が適切に動作していることを確認したので、次にこのIFN回路を組み合わせるネットワークを構成しその動作を確認する。ニューロン4個で構成したネットワークの測定結果を図7に示す。この実験では、外部入力を発火頻度とスパイクのタイミングで符号化している。発火頻度による外部入力の符号化とは、外部からの入力信号の強度に対応した周波数で波形の等しい電圧パルス V_{in} 列を外部入力として与えるという意味である。また、一方

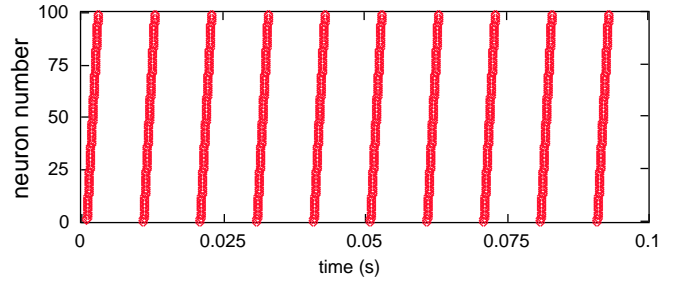


(a) input pulses with encoding as firing-rate

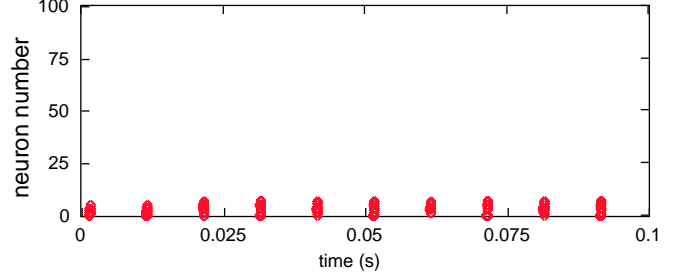


(b) output pulses (survivors)

図8 100-IFN ネットワークのシミュレーション結果 (発火頻度による符号化)



(a) input pulses with encoding as spike-timing



(b) output pulses (survivors)

図9 100-IFN ネットワークのシミュレーション結果 (スパイクタイミングによる符号化)

スパイクタイミングによる符号化とは、外部からの入力信号の強度に対応したタイミングで周期パルスを入力として与えるという意味である。

発火頻度による符号化を行なった時の測定結果を図7(a)に示す。全ての入力電流パルスの振幅 $|I_{in}^{(e)}|$ は 100 nA とし、この4つの電流 $I_{in,1}^{(e)}$, $I_{in,2}^{(e)}$, $I_{in,3}^{(e)}$, $I_{in,4}^{(e)}$ の周期はそれぞれ 200 kHz, 150 kHz, 100 kHz, 50 kHz とした。IFN 回路は GI を介して互いを抑制するため、周期の短い入力を受ける IFN は活性化し、低い周波数のものは活性化しなかった。

同じネットワークにスパイクのタイミングによる符号化を行った。その結果は図7(b)に示すように発火頻度によるものと定性的に極めて異なった振る舞いをした。外部からの入力は周期入力パルスの初期遅れとして与えている。つまり、入力周期の短い IFN ほど早いタイミングで入力パルスを受ける。図中の矢印は IFN が入力パルスを受け取ったタイミングを示している。このことから、個々の IFN に入力パルスが到達した時間に関して競合が起きていることがわかる。この”早いもの勝ち!”という現象は IFN 回路に不応期があることと、他のニューロンへ抑制をかけているためである。

次に大規模な IFN ネットワークが、ノイズ許容度の点において従来モデルよりも改善された振る舞いを示すかどうかを確認したい。しかし、今回試作したチップでは4つの IFN 回路しか実装していないため、大規模なネットワークの測定をすることはでき

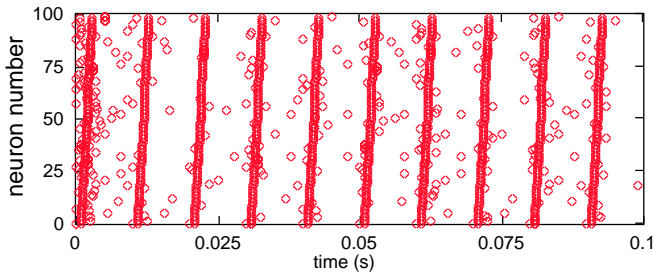
なかった。そこで、今回試作したチップの素子パラメータを用いて大規模ネットワークの SPICE シミュレーションを行なった。

100 個のニューロンで構成したネットワークに発火頻度で符号化した入力を与えた時の典型的なシミュレーション結果を図8に示す。この図では IFN を 0 から 99 まで番号付けした。全ての IFN の入力振幅は 10 nA とする。図8(a)中の丸印は入力のタイミングを表す。

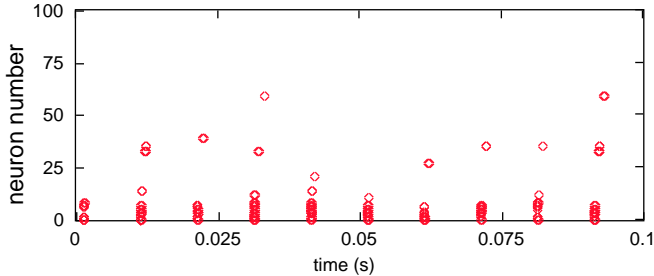
バイアス電流 I_b を 1 nA、キャパシタ C_1, C_2, C_3, C_4 の容量はそれぞれ 1 pF, 10 pF, 10 pF, 1pF とした。図8(b)の丸印は 4.5 nA 以上の振幅を持った i 番目の IFN 回路が生成したスパイク出力 I_{spike} のタイミングを表す。測定結果は高周波の入力を受けた IFN が活性化し、低周波の入力を受けた IFN は活性化しないというものであり、これは予想通りの結果である。

次に同じネットワークにスパイクタイミングで符号化した入力を与えた時の応答を見るためにシミュレーションを行なった。図9(a)にその結果を示す。番号の小さい IFN ほど早く、番号の大きい IFN ほど遅く入力パルスを受けようとした。このシミュレーションでは、図9(b)に見られるように最初の7個の IFN のみ周期的な応答を示した。

最後に図9の時と同じネットワークにノイズを加えた周期信号の入力を与えた時のシミュレーション



(a) input pulses with encoding as spike-timing



(b) output pulses (survivors)

図 10 ノイズを加えた 100-IFN ネットワークのシミュレーション結果 (スパイクタイミングによる符号化)

結果を図 10 に示す。ノイズの振幅を 2 nA、ノイズの周波数を周期入力の 1/2 から 1/6 とした。計算結果から、図 9 で応答しなかった IFN もまれに発火することがあるが、図 8 で応答した 7 個の IFN うち 6 個が周期的な応答を示し、最初に応答した IFN のみが入力に対応した周期的な応答を示した。ノイズの振幅を 1 nA にした場合は、図 9 で応答した 7 個の IFN の全てが周期応答をし、その他の IFN は発火しなかった。ノイズの振幅は周期入力の振幅に近い値であるにも関わらず、発火する/しないの境界から遠くにある番号の若い IFN はノイズの影響を受けなかった。言い換えると、振動サイクルの中で早いタイミングで入力パルスを受け取った IFN は後からパルスを受け取る IFN よりも高い確率で発火した。このことはタイミング機構の本質的な特徴はノイズに影響されないことを示している。

スパイクタイミングによる符号化ではパルス列の入力が始まってから最初の一周の間には活性化しなかったり途中で発火を中止した IFN 回路は敗者となる。敗者の活性化することがなく、勝者となったもののみが一定の周期で発火することができる。IFN のスパイク出力の時間応答を見ると勝者と敗者との区別がはっきりしている。

一方の発火頻度による符号化では、出力の時間応答を見ても勝者と敗者との区別がはっきりしない。活性と不活性 (勝者と敗者) を正確に選択するためには十分長い時間をかけて平均発火頻度を取らなくて

はならない。このとき平均を取る時間間隔が短いと、得られた発火頻度は受けた刺激の強度を反映したものとはならない。そのため、一般に勝者は刺激の強度の正確な順序を示さない。以上のことから、スパイクタイミングによる符号化は迅速で明瞭であるが、発火頻度による符号化では時間がかかり不明瞭であると結論づけられるだろう。

4. ま と め

簡単な回路構成の IFN 回路とそれを用いた小規模ネットワーク回路を提案し、チップの試作を行なった。抑制・興奮入力の強度に応じてパルス列を生成するように IFN 回路の設計を行なった。チップ測定とシミュレーションの結果から、ネットワークの IFN 回路間には周波数領域と時間領域の双方において競合が起きていることが明らかになった。周波数領域における競合はアナログ入力を発火頻度の周波数で符号化にすることで、また時間領域での競合は入力をスパイクのタイミングで符号化することによって実現した。

文 献

- [1] T. S. Lande Ed, *Neuromorphic systems engineering: Neural networks in silicon*. Kluwer Academic Publishers, USA, 1998.
- [2] F. Rieke, D. Warland, R. Steveninck, and W. Bialek, *Spikes: exploring the neural code*. MIT Press, Cambridge, MA, USA, 1989.
- [3] Z. F. Mainen and T. J. Sejnowski, "Reliability of spike timing in neocortical neurons," *Science*, vol. 268, pp.1503-1506, 1995.
- [4] T. Fukai, "Competition in the temporal domain among neural activities phase-locked subthreshold oscillations," *Biol. Cybern.*, vol. 75, pp. 453-461, 1996.
- [5] H. Tuckwell, *Introduction to Theoretical Neurobiology*. Cambridge Univ. Press, Cambridge, England, 1988.
- [6] E. A. Vittoz, "Micropower techniques," in *Design of MOS VLSI Circuits for Telecommunications*, Y. Tsvetov and P. Antognetti, Eds., Prentice-Hall, Englewood Cliffs, NJ, USA, 1985, pp. 104-144.