

# 歩行運動を制御する結合神経振動子系の集積回路化

## - ダイナミックシナプスを導入した神経振動子回路 -

中田 一紀<sup>†</sup> 浅井 哲也<sup>†</sup> 雨宮 好仁<sup>†</sup>

<sup>†</sup> 北海道大学工学部 電子工学科 〒060-8628 北海道札幌市北区北13条西8丁目

E-mail: †{nakada,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし 本研究では、生物における歩行運動の制御機構を模擬する集積回路について提案する。生物の歩行運動は、CPG(Central Pattern Generator) とよばれる中枢神経系によって生成/制御される。近年、このCPGを自律型歩行ロボットの制御に応用した研究が進展している。しかし、従来の研究のほとんどはデジタルプロセッサによる逐次処理を行うものであり、実時間処理に伴う計算負荷が大きい。そこで本研究では、並列処理が可能である集積回路によるCPGの実装について提案する。また、CPGのモデルとしてダイナミックシナプスを導入した結合神経振動子系を構成し、そのアナログCMOS回路化を行う。SPICEによる回路シミュレーションにより、CPG回路がその発振周期や位相差をダイナミックシナプスの特性を変化させることにより制御できることを示す。

キーワード アナログCMOS回路, CPG, 結合神経振動子, 移動運動, ダイナミックシナプス

## Analog IC Implementation of Coupled Neural Oscillators for Developing a Locomotion Controller

### - An Analog CMOS Neural Oscillator with Depressing Synapse -

Kazuki NAKADA<sup>†</sup>, Tetsuya ASAI<sup>†</sup>, and Yoshihito AMEMIYA<sup>†</sup>

<sup>†</sup> Department of Electrical Engineering, Hokkaido University

Kita 13 Nishi 8, Kita-ku, Sapporo, Hokkaido, 060-8628 JAPAN

E-mail: †{nakada,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

**Abstract** We propose an analog integrated circuit (IC) that mimics a biological mechanism in locomotion control of animals. Locomotion of animals, such as walking, is generated and controlled by the central nervous system called as the central pattern generator (CPG). Recently, the CPG framework have been utilized for development of locomotion controllers for autonomous walking robots. However, most of these have been implemented with digital processors that perform sequential processing, and thus the computational load of such processors are large in real-time execution. Hence, we present IC implementation of a CPG controller capable of performing parallel computation. We constructed a CPG model as coupled neural oscillators with dynamic synapses, and implemented it as an analog CMOS circuit. By using SPICE, it is shown that the circuit has capability to generate rhythmic patterns and to control the oscillatory period and phase lags by regulating the characteristics of the dynamic synapses.

**Key words** Analog CMOS Circuit, CPG, Coupled neural oscillators, Locomotion, Dynamic synapse

### 1. はじめに

生物の歩行運動は、CPG (Central Pattern Generator) が生成するリズム運動を基本として行われる [1]。CPG は、脊髄や神経節に存在する比較的下位の中枢神経系であり、上位中枢からの司令入力により誘発されると、神経活動の周期的振動

パターンを自律的に生成する。また、感覚神経からのフィードバック入力による修飾を受けて、その発振周期や位相差を変化させ、周囲の状況の変化に対する高い適応性を示す [2]。さらに、振動パターンそのものを多様に変化させることもできる。

近年、このようなCPGの振る舞いをロボティクスにおける歩行運動の制御に応用した研究が進展している [6]-[10]。多賀

は、松岡によって提案された神経振動子 [5] に、筋骨格系との相互作用を取り入れ、二足歩行運動を制御する CPG のモデルを構成した。木村らは、そのモデルをもとに、さらに反射機構を組み込んだ CPG モデルを構成し、4 足歩行ロボットに実装している [7]。このような CPG による歩行制御の利点として、次のようなものが挙げられる：(1) CPG が生成するリズム運動により物理系の協調が行われ、制御変数の実効的自由度が低減する。(2) その結果、単位時間当たりの計算量を削減することができる。(3) 環境の変動に対する高い適応性を実現することができる。

本研究では、以上の利点に基づいて、ロボティクスにおける歩行運動の制御を目的とした CPG の集積回路化について提案する。従来の研究は、デジタルプロセッサによる逐次処理を行うものがほとんどであり、実時間処理に伴う計算負荷などの点に問題がある。そこで本研究では、本質的に並列処理が可能であるアナログ CMOS 回路による CPG の実装について提案する。CPG のアナログ集積回路については、すでにいくつか提案されている [8]- [11]。それらに共通する問題点として、その制御性が挙げられる。つまり、電子的に制御可能な回路であることが望ましい。本研究では、ダイナミックシナプスを導入した CPG 回路を設計した。ダイナミックシナプスを導入することで、その発振周期や位相差を電子的に制御することが可能になる。SPICE によるシミュレーションにより、CPG 回路の動作を確認した。

## 2. CPG モデル

CPG モデルとして、ダイナミックシナプスを導入した結合神経振動子系がいくつか提案されている [3], [4]。ダイナミックシナプスにより神経振動子間の結合が動的に変化することで、その発振周期や位相差が変化する [3]。ここでは、アナログ集積回路に適した CPG モデルを構成する。

### 2.1 神経振動子モデル

はじめに、CPG モデルを構成する神経振動子モデル：

$$\tau_i \frac{du_i}{dt} = -u_i + f(u_i - v_i, \beta_{u_i}) \quad (1)$$

$$\frac{dv_i}{dt} = -v_i + f(u_i - \theta_i, \beta_{v_i}) \quad (2)$$

について説明する。ここで、 $u_i, v_i$  はそれぞれ活性化および不活性化に関する状態変数であり、 $\theta_i$  は閾値、 $\tau_i$  は時定数である。また、 $f(\cdot)$  は次式：

$$f(x, \beta) = \frac{1 + \tanh(\beta x)}{2} \quad (3)$$

で与えられる。このモデルは本来、反応拡散系のひとつである Belousov-Zhabotinsky (BZ) 反応をアナログ集積回路上で模擬するために提案された非線形振動子モデルである [12]。BZ 反応は、興奮系の反応拡散系であり、Fitzhugh-Nagumo model や Morris-Lecar model などと定性的に同様の振る舞いを示す [16]。つまり、外部からの刺激により活性化（興奮）した状態にある興奮期、不活性化により活性化した状態から回復する不応期、および刺激を与えるまで活性化しない休止期の三つの状態を持

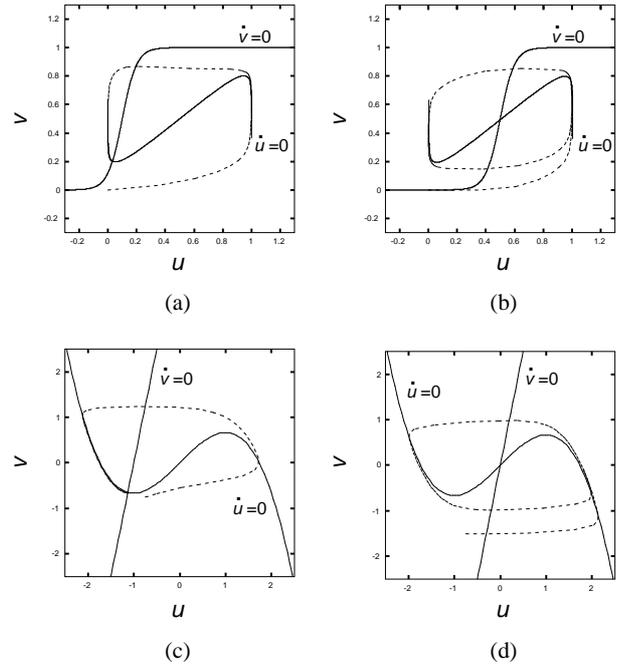


図 1 相平面軌道。神経振動子モデル：(a) 興奮モード、(b) 振動モード。Fitzhugh-Nagumo モデル：(c) 興奮モード、(d) 振動モード。

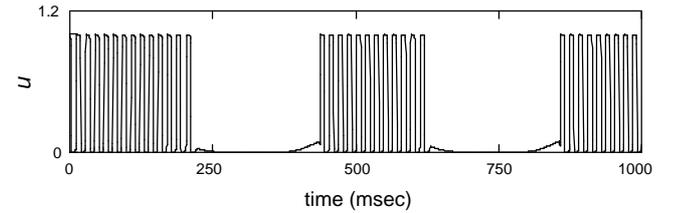


図 2 神経振動子モデルのバースト振動。

つ（図 1）。また、このモデルはその安定性に応じて異なる二つの状態遷移を示す。たとえば、系の固定点が安定である場合、外部から刺激を受けたときのみ興奮期 不応期 休止期の状態遷移をする（興奮モード）。また、固定点が不安定である場合、外部から刺激を受けなくても前述の状態遷移を繰り返す（振動モード）。系の固定点の安定性は、 $\beta_{u_i}, \beta_{v_i}$  および  $\theta_i$  によって定まる。特に、 $\theta_i$  は系の状態遷移モードを制御する上で重要なパラメータである。たとえば、 $\theta_i$  を変数と見なし緩やかに変化させると、バースト振動が生じる（図 2）。

ここで、遅い状態変数  $w_i$ ：

$$\epsilon_i \frac{dw_i}{dt} = -I_{leak} + I_{syn,i} \quad (4)$$

を導入し、次のように、

$$\theta_i = \begin{cases} \theta_{osc} & \text{if } w_i \geq w_{th} \\ \theta_{exc} & \text{otherwise} \end{cases}$$

を与える。ここで、 $\epsilon_i$  は時定数、 $I_{leak}$  はリーク電流、 $I_{epsc,i}$  はシナプス後電流の総和である。また、 $w_{th}$  は  $w_i$  の閾値、 $\theta_{osc}$ 、 $\theta_{exc}$  はそれぞれ振動モードおよび興奮モードにおける閾値である。シナプス後電流により  $w_i$  が周期的に変化すると、興奮モードおよび振動モードが周期的に切り替わり、バースト振動が生じる。



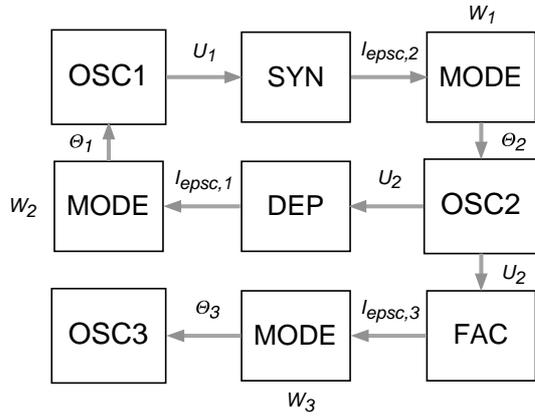


図 6 CPG 回路の構成.

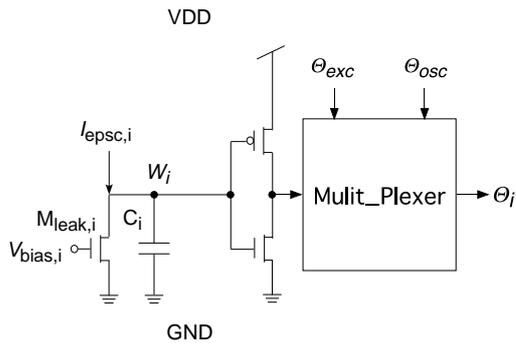


図 7 モード選択回路.

は 0 V であり、トランジスタ  $M_1$  は on 状態にある．そのため、入力  $V_{in}$  を与えると、出力電流  $I_{out}$  ( $= I_{in}$ ) が生じる．同時に、 $I_{in}$  によって容量  $C_e$  が充電され、 $V_e$  が増加する．入力が無くなり、トランジスタ  $M_2$  により  $C_e$  の電荷が放電されると、 $V_e$  は 0 V に戻る．入力頻度が高ければ、 $V_e$  が 0 V に戻る前に次の入力加わるので、 $M_1$  は完全な on 状態にならない．そのため、 $I_{out}$  の振幅は減衰する．また、さらに  $V_e$  が増加して  $M_1$  が完全な off 状態になると、 $I_{out}$  は 0 V になる．入力に対する  $V_e$  の増加、すなわち  $I_{out}$  の減衰の時定数は、 $C_e$  および  $M_2$  のリーク電流の大きさによって決まる．よって、 $M_2$  のバイアス電圧  $V_{bias}$  を調節することで、減衰時定数を制御することができる [13]．

図 5(b) は、増強特性を示す増強シナプス回路である．この回路は、減衰シナプス回路の出力電流を生じる部分の pMOS を nMOS に変更したものである．減衰シナプス回路と同様に、入力頻度に応じて、節点 A の電圧  $V_e$  が増加する． $V_e$  が増加して、トランジスタ  $M_1$  が on 状態になると、出力電流  $I_{out}$  が生じる．また、 $I_{out}$  の振幅は  $V_e$  の大きさによって決まる．入力に対する  $V_e$  の増加、すなわち  $I_{out}$  の増強の時定数は、 $M_2$  のバイアス電圧  $V_{bias}$  を調節することで制御することができる．

### 3.3 CPG 回路

上記の神経振動子回路とダイナミックシナプス回路を組み合わせ、CPG 回路を構成する．図 6 に、その回路構成を示す．ここで、SYN、DEP および FAC はそれぞれシナプス回路 [15]、減衰シナプスおよび増強シナプス回路を示す．また、MODE

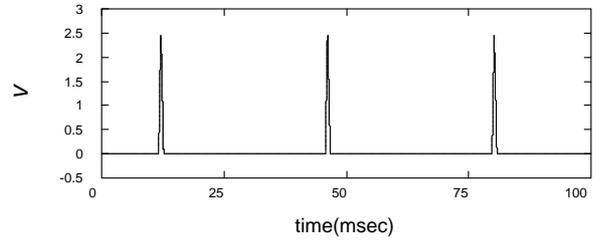
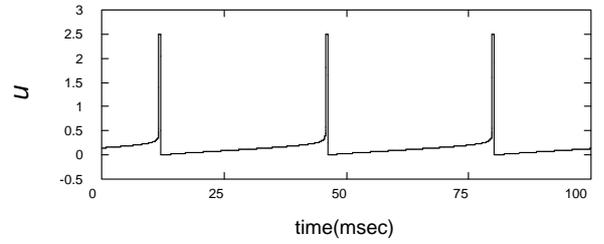
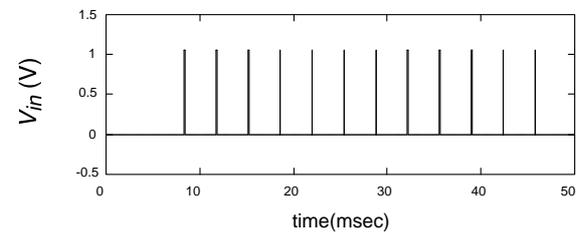
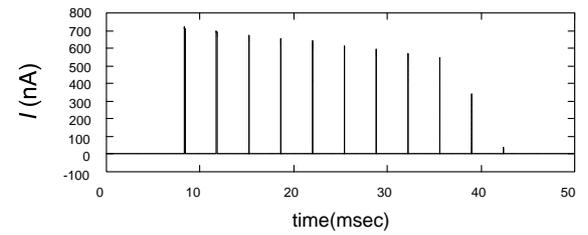


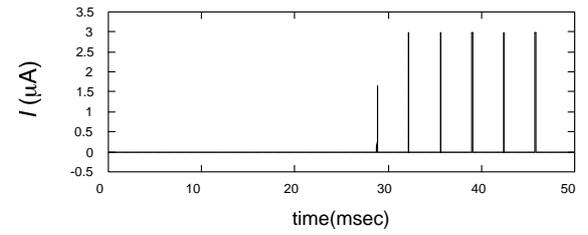
図 8 神経振動子回路の動作 (振動モード)



(a)



(b)



(c)

図 9 ダイナミックシナプス回路の動作．(a) 入力パルス列．(b) 減衰シナプス回路および (c) 増強シナプス回路の出力電流．

は図 7 に示されるモード選択回路である．神経振動子回路の  $U_i$  をシナプス回路の入力として与え、その出力電流がモード選択回路に対する入力  $I_{epsc,i}$  となる．モード選択回路は状態変数  $W_i$  に応じて、 $\theta_i$  を出力する．この回路は、すべての神経振動子回路が興奮モードになるように初期状態を与えると、自律的にバースト振動を生成する．

## 4. シミュレーション結果

提案した回路の動作を SPICE による回路シミュレーションにより確認した．以下のシミュレーションでは、HSPICE、MOSIS

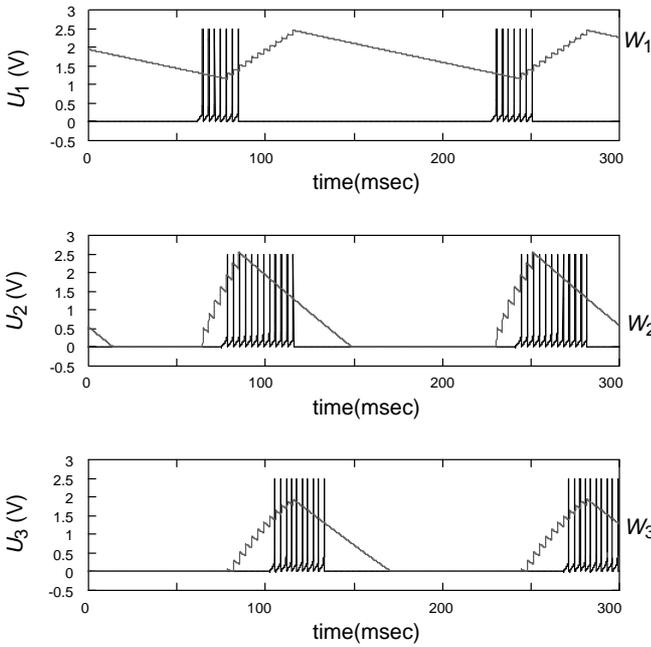


図 10 CPG 回路の動作 .

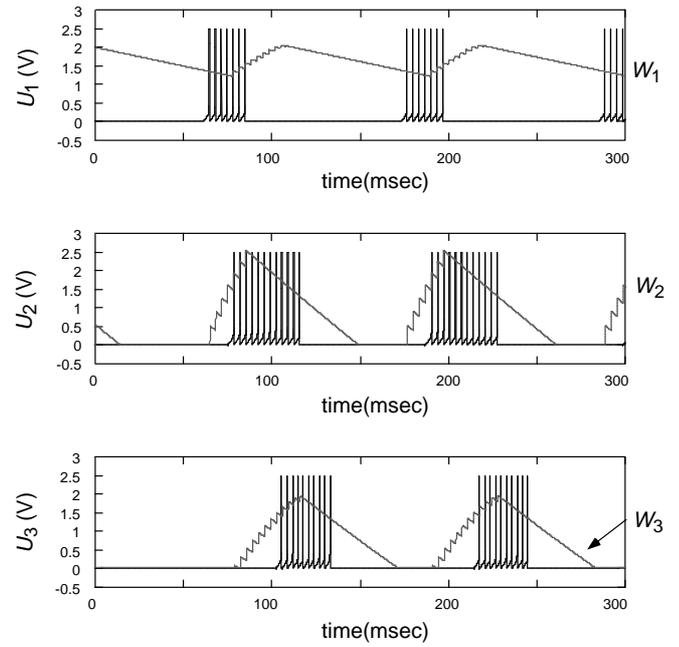


図 11 CPG 回路の動作 .

AMIS CMOS 1.5- $\mu\text{m}$  デバイスパラメータを使用した .

#### 4.1 神経振動子回路の動作

図 8 に、神経振動子回路の動作例を示す . ここで、 $C = 10 \text{ pF}$ 、 $VDD1 = 3.0 \text{ V}$ 、 $VDD2 = 2.5 \text{ V}$ 、 $VSS = 0 \text{ V}$ 、 $\theta = 0.8 \text{ V}$ 、および  $I_{\text{bias}} = 500 \text{ nA}$  に設定した . また、負荷容量として  $C_p = 0.1 \text{ pF}$  を仮定した . このとき、回路は振動モードで動作する . 初期状態として、 $U, V$  の電位が  $0 \text{ V}$  近辺にあるとき、 $U$  は緩やかに上昇する . やがて、 $U$  がある値を越えると、急激にその電位が上昇し、電源電圧  $VDD1$  付近まで到達する . それに遅れて、 $V$  の電位も上昇を開始し、 $U$  と  $V$  の電位差が小さくなる . その結果、 $U$  に差動増幅器のフィードバックがかかり、その電位は  $0 \text{ V}$  までリセットされる . つれて、 $V$  の電位も  $0 \text{ V}$  まで下降する . これを繰り返すことにより、定常的な振動状態が続く . もし、 $\theta$  が小さければ、 $U, V$  が  $0 \text{ V}$  近辺にある状態では  $U, V$  の電位は共に上昇しない . このとき、外部から入力を与えられたときのみ回路は動作する (興奮モード) .

#### 4.2 ダイナミックシナプス回路の動作

図 9 に、減衰シナプス回路および増強シナプス回路の動作例を示す . それぞれの回路に、入力としてパルス列 (入力パルス周期:  $3.4 \text{ msec}$ 、パルス幅:  $4 \mu\text{sec}$ 、パルス振幅:  $1 \text{ V}$ ) を与えた . ここで、減衰シナプス回路のパラメータは次のように設定した:  $C_e = 65 \text{ pF}$ 、 $V_{\text{bias}} = 0.35 \text{ V}$ 、 $M2$  のゲート長:  $L = 3 \mu\text{m}$ 、ゲート幅:  $W = 36 \mu\text{m}$  . また、増強シナプス回路のパラメータは次のように設定した:  $C_e = 30 \text{ pF}$ 、 $V_{\text{bias}} = 0.35 \text{ V}$ 、 $M2$  のゲート長:  $L = 3 \mu\text{m}$ 、ゲート幅:  $W = 20 \mu\text{m}$  . 連続的な入力に対して、それぞれの回路の出力電流が単調に減少あるいは増幅を確認することができる .

#### 4.3 CPG 回路の動作

CPG 回路の動作結果を示す . 相互に結合された神経振動子回路がそれぞれの状態遷移モードを交互に切り替え、自律的な

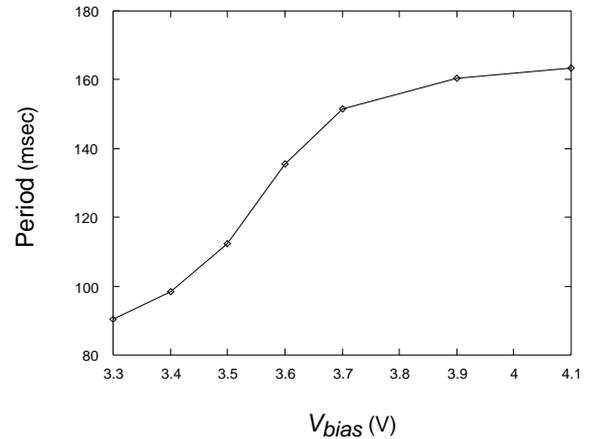


図 12 減衰シナプスによるバースト周期の変化 .

バースト振動を生成する (図 10) . ここで、モード選択回路のパラメータを次のように設定した:  $C_1 = 200 \text{ pF}$ 、 $C_2 = 50 \text{ pF}$ 、 $C_3 = 3 \text{ pF}$ 、 $M_{\text{leak},1}$  および  $M_{\text{leak},2}$  のゲート長:  $L = 12 \mu\text{m}$ 、ゲート幅:  $W = 8 \mu\text{m}$ 、 $M_{\text{leak},3}$  のゲート長:  $L = 21 \mu\text{m}$ 、ゲート幅:  $W = 12 \mu\text{m}$  . また、 $V_{\text{bias},1} = V_{\text{bias},2} = 0.5 \text{ V}$ 、 $V_{\text{bias},3} = 0.37 \text{ V}$ 、 $\theta_{\text{osc}} = 0.8 \text{ V}$ 、 $\theta_{\text{exc}} = 0 \text{ V}$  にそれぞれ設定した . 初期状態として、 $W_1 = 2.0 \text{ V}$ 、 $W_2 = W_3 = 0 \text{ V}$  を与えると、自律的にバースト振動を生成する .

次に、減衰シナプス回路のバイアス電圧を制御し、その減衰時定数を小さくした . ここでは、 $V_{\text{bias}} = 0.35 \text{ V}$  とした . これによって、 $\text{OSC}2$  から  $\text{OSC}1$  へのシナプス後電流の振幅が減衰するため、 $W_1$  が早く減少し始める . それによって、 $\text{OSC}1$  が興奮モードとなる時間が短くなるため、バースト周期が小さくなる (図 11) . 図 12 に、減衰シナプス回路のバイアス電圧に対するバースト周期を示す . バイアス電圧が小さくなると、単調にバースト周期が減少を確認できる .

さらに、増強シナプス回路のバイアス電圧を制御し、その増

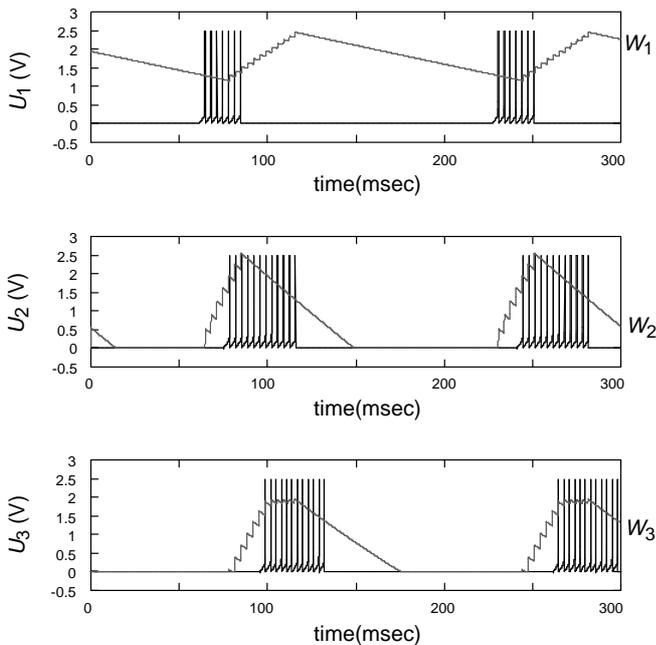


図 13 CPG 回路の動作.

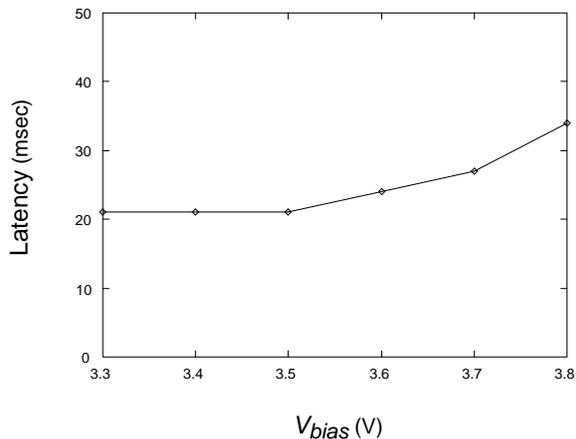


図 14 増強シナプスによる位相差の変化.

強時定数を小さくした．ここでは， $V_{bias} = 0.35$  V とした．増強時定数が小さくなると， $W_3$  の増加が速くなるので，OSC1 に対する OSC3 のバーストの位相差が小さくなる（図 13）．図 14 に，増強シナプス回路のバイアス電圧に対する位相差を示す．バイアス電圧が小さくなるにつれて，単調に位相差が小さくなることを確認できる．

## 5. ま と め

本研究では，ダイナミックシナプスを導入した CPG 回路について提案した．提案回路は，興奮モードと振動モードの二つの状態遷移を示す神経振動子回路と減衰および増強特性を示すダイナミックシナプス回路により構成した．複数の神経振動子回路が相互結合されることにより，それぞれの状態遷移モードを交互に切り替え，周期的なバースト振動を自律的に生成する．また，神経振動子回路間の結合にダイナミックシナプス回路を導入した．ダイナミックシナプス回路の減衰／増強の時定数を調節することにより，バースト振動の発振周期および位相差を

電子的に制御できる．SPICE によるシミュレーションにより，提案回路が期待した動作をすることを確認した．今後の研究として，提案回路の試作および実装について検討を行いたい．

## 文 献

- [1] F. Delcomyn, "Neural basis of rhythmic behavior in animals," *Science*, vol. 210, pp. 492-498, 1980.
- [2] F. Delcomyn, *Foundations of Neurobiology*, New York: W, H. Freeman and Co., 1997.
- [3] F. Nadim, Y. Manor, N. Kopell, E. Marder, "Synaptic depression creates a switch that controls the frequency of an oscillatory circuit", in *Proc. Natl. Acad. Sci. USA*, vol. 96, pp. 8206-8211, 1999.
- [4] A. L. Taylor, G. W. Cottrell, W. B. Kristan, Jr., "Analysis of oscillations in a reciprocally inhibitory network with synaptic depression," *Neural Computation*, vol. 14, no. 3, pp. 561-581, 2002.
- [5] K. Matsuoka, "Mechanisms of frequency and pattern control in the neural rhythm generators", *Biological Cybernetics*, vol. 56, pp. 345-353, 1987.
- [6] G. Taga, Y. Yamaguchi and H. Shimizu, "Self-organized control of bipedal locomotion by neural oscillators in unpredictable environment," *Biological Cybernetics*, vol. 65, pp.147-159, 1991.
- [7] H. Kimura, Y. Fukuoka and K. Konaga, "Adaptive Dynamic Walking of a Quadruped Robot by Using Neural System Model", *ADVANCED ROBOTICS*, vol. 15, no. 8, pp. 859-876, 2001.
- [8] M. A. Lewis, M. J. Hartmann, R. Etienne-Cummings, A. H. Cohen, "Control of a robot leg with an adaptive aVLSI CPG chip," *Neurocomputing*, vol. 38-40, pp. 1409-1421, 2001.
- [9] G. Patel, J. Holleman, S. DeWeerth, "Analog VLSI model of intersegmental coordination with nearest neighbor coupling", *Adv. Neural Information Processing*, vol. 10, pp. 791-725, 1998.
- [10] M. Simoni and S. DeWeerth, "Adaptation in a VLSI model of a neuron", *Trans. Circuits and Systems-II*, vol. 46, no. 7, pp. 967-970, 1999.
- [11] K. Nakada, T. Asai, and Y. Amemiya, "An analog CMOS central pattern generator for interlimb coordination in quadruped locomotion," *IEEE Tran. on Neural Networks*, vol. 14, no. 5, pp. 1356-1365, 2003.
- [12] Y. Kanazawa, T. Asai, and Y. Amemiya, "An analog CMOS circuit emulating the Belousov-Zhabotinsky reaction," in *Proc. the 11th International IEEE Workshop on Nonlinear Dynamics of Electronic Systems*, pp. 117-120, 2003.
- [13] Y. Kanazawa, T. Asai, and Y. Amemiya, "A hardware depressing synapse and its application to contrast-invariant pattern recognition," in *Proc. SICE Annual Conference*, TAI-11-2, 2003.
- [14] C. A. Mead, *Analog VLSI and neural systems*, Addison-Wesley, Reading, 1989.
- [15] S-C, Liu, J. Kramer, G. Indiveri, T. Delbruck, R. Douglas, C. A. Mead, *Analog VLSI: circuits and principles*, MIT Press, 2002.
- [16] C. Morris and H. Lécarr, "Voltage oscillations in the barnacle giant muscle fiber", *Biophysical J.*, vol. 35, pp. 193-213, 1981.