

# フリーソフトで構築するVLSI設計環境と VDEC-MOSISチップ共同試作プロジェクト

北海道大学大学院 工学研究科 集積回路工学分野：金澤 雄亮 浅井 哲也 雨宮 好仁

## はじめに

### VDEC-MOSISチップ共同試作プロジェクト

MOSISのサービスを低価格で利用可能  
チップ製作期間が短い  
(デザイン提出からチップ納品まで1~2ヶ月)

LSI設計環境の新規立ち上げ ツール手続きの調査・導入の手間

使用ツール  
デザイン提出手続きを紹介

## フリーソフトで構築するVLSI設計環境

レイアウトツール **Magic** ↔ Virtuoso (cadence)

回路シミュレータ **NGSPICE** ↔ hspice

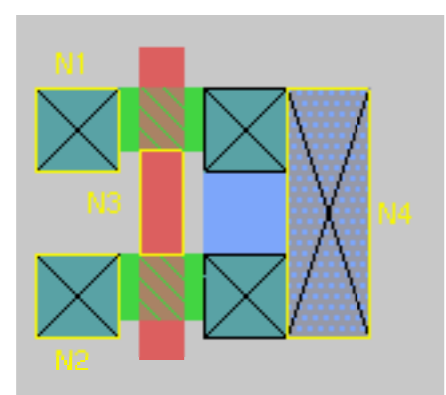
- ・動作が軽快
- ・ファイルサイズが小さい (ノートPCでも利用可能)
- ・様々なOSで利用可能

## Magic

<http://vlsi.cornell.edu/magic/>  
<http://bach.ece.jhu.edu/~tim/programs/magic/>

### 主な機能・特徴

- ・様々なOSで利用可能 (Win, Mac, Linux, ..etc)
- ・ストリーム, CIFファイルの読み込み・書き出し
- ・レイアウトから回路抽出 (容量 (オプションで抵抗) を含む)



\* SPICE3 file created from df.ext - technology:SCNA.80

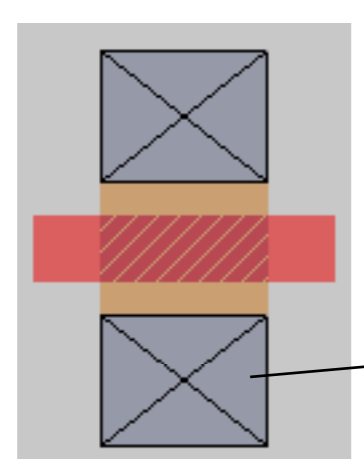
```
m1000 N4 N3 N1 Gnd nfet w=2.4u l=1.6u
+ ad=24.32p pd=38.4u as=12.16p ps=19.2u
m1001 N4 N3 N2 Gnd nfet w=2.4u l=1.6u
+ ad=0p pd=0u as=12.16p ps=19.2u
```

### ・デザインルールチェック (DRC)

DRC用ファイルダウンロード可能 (MOSISの全てのプロセスに対応)  
<http://bach.ece.jhu.edu/~tim/programs/magic/tech.html>

### ・アブストラクトレイヤー

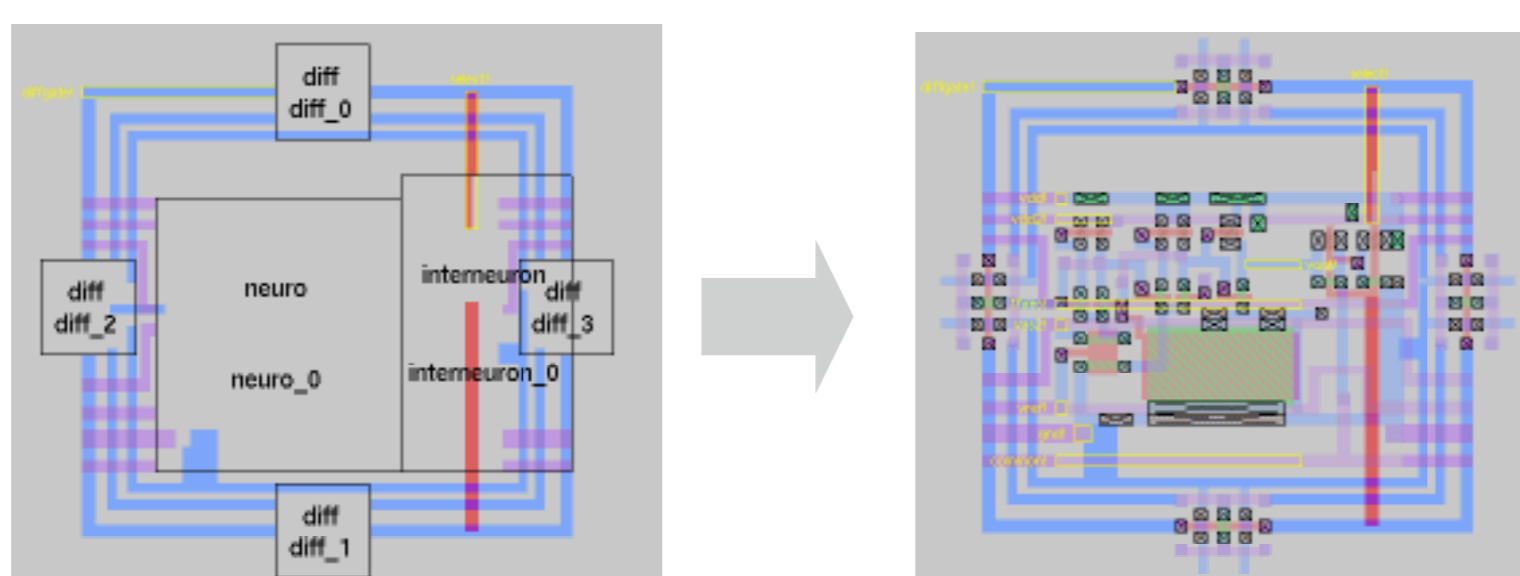
例 pMOS



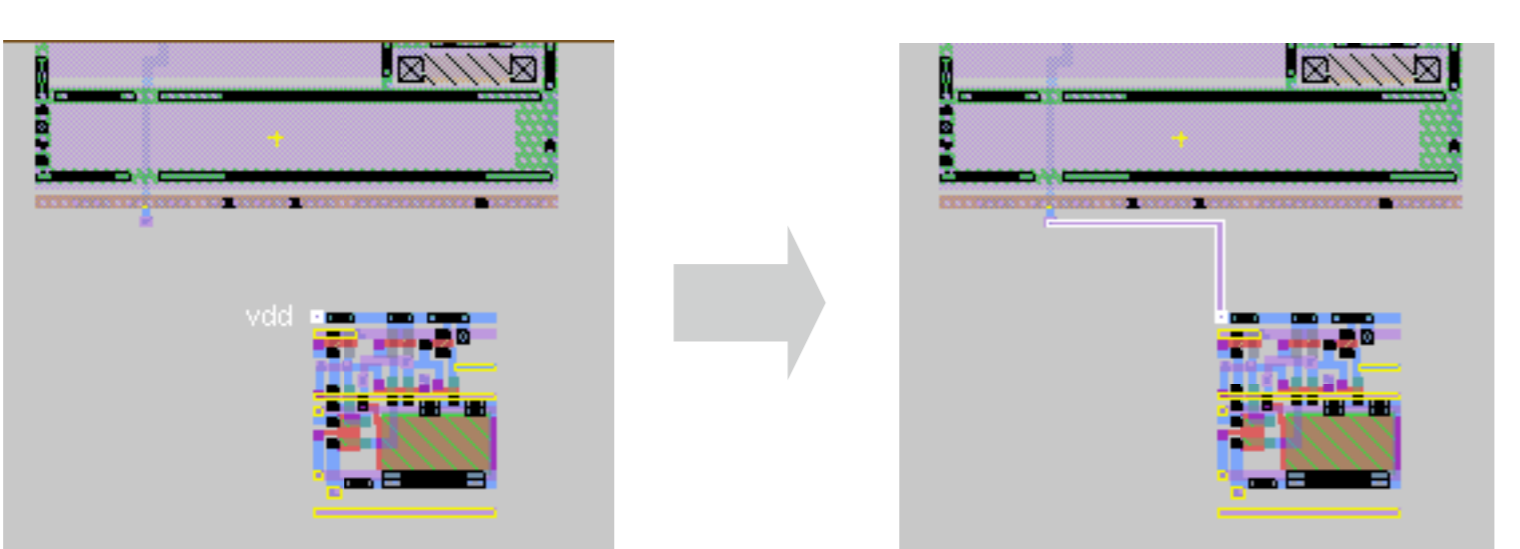
wellは自動で描かれる  
(描く必要なし)

レイヤー「pdc」  
p拡散層-メタル-コンタクト

### ・セルの使用可能



### ・簡易ルーティング



・円, 斜め線を描ける (バージョン7.2から)

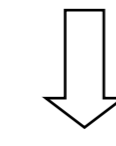


**NG-SPICE** <http://ngspice.sourceforge.net/>

### 主な機能・特徴

- ・MOSFETモデル

BSIM3 3v3.2.2 (level 8)が利用可能



- ・商用SPICEに近いアナログ回路シミュレーションが可能
- ・MOSISホームページからデバイスパラメータを入手可能  
(<http://mosis.org/Technical/Testdata/>)

- ・収束性・再現性

HSPICEに近い収束性 (ng-spice rework14から)

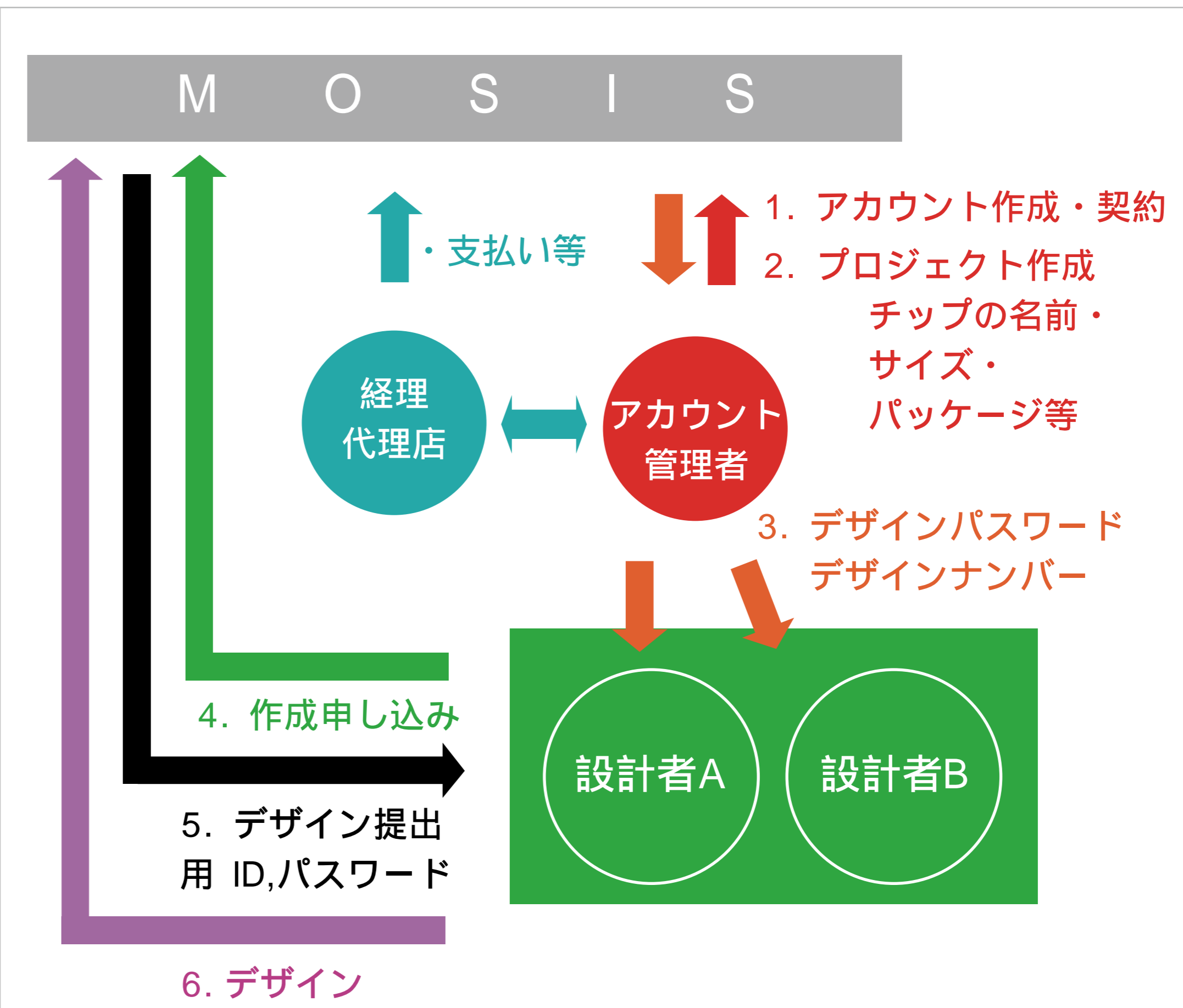
- ・大規模な回路のシミュレーション可能

- ・コマンドライン操作

- ・シミュレーション結果のグラフ表示,  
テキスト形式での書き出し可能

## デザイン提出までの流れ

一般的な利用方法 (金額高)



VDECを通じた場合の利用方法 (50%オフ)

