

単電子ニューロデバイスの熱雑音特性に関する数値的考察

大矢 剛嗣[†] 浅井 哲也[†] 加賀谷 亮[†] 廣瀬 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院情報科学研究科
060-0814 札幌市北区北 14 条西 9 丁目

E-mail: †{oya,asai,kagaya,hirose,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし 自然界（たとえば生物の脳）において、情報処理を行うシステムの構成要素が不均一であるものが多々ある。それにもかかわらず系全体としては正しく動作する。さらに、ノイズ下においてもロバストに情報処理を行う。近年、ニューラルネットワークのノイズに対する冗長性に関して様々な報告がされている。ニューラルネットワークに現れるロバスト性を仮に単電子回路で実現できたならば、デバイスエラーや熱雑音に対して冗長な単電子 LSI を実現できると考える。本研究では、単電子回路でニューロン回路を構成し、それをを用いた競合ニューラルネットワークをつくる。また、これらの回路についてシミュレーションにより動作の確認を行う。シミュレーションから得られるデータを基に単電子ニューラルネットの熱雑音特性について考察を行う。

キーワード 単電子回路, 競合ニューラルネットワーク, 耐故障性, 耐雑音性

Numerical Examinations of Single-Electron Neural Devices –Temperature Characteristics on Competitive Neural Network–

Takahide OYA[†], Tetsuya ASAI[†], Ryo KAGAYA[†], Tetsuya HIROSE[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University
Kita 14, Nishi 9, Kita-ku, Sapporo, 060-0814, Japan

E-mail: †{oya,asai,kagaya,hirose,amemiya}@sapiens-ei.eng.hokudai.ac.jp

Abstract Information processing devices in the natural world; e.g., our central nervous systems, can operate correctly under a noisy environment even though the unit elements are sensitive to noises. Recently many researchers have reported noise tolerance on neural networks. If we apply such tolerance of neural networks to single-electron circuits, we may design novel single-electron LSIs that have such tolerance for device failure or thermal noise. In this report, we propose a neuron circuit with a single-electron circuit, and a neural network with the circuit. We investigate noise and fault tolerance of the proposed network circuits by numerical simulations.

Key words single-electron circuit, competitive neural network, fault tolerance, noise tolerance

1. はじめに

単電子集積回路は、超低消費電力・集積密度の観点から次世代集積デバイスの候補として期待されている。また、単電子デバイス固有の量子的振る舞いが、量子コンピューティングをはじめとする次世代計算パラダイムに利用できると思われ、研究が進んでいる。しかし単電子回路は、デバイスの不均一性や熱雑音に起因する動作エラーが発生しやすい。したがって、これまで提案されている決定論的計算アーキテクチャや、量子アルゴリズムを用いて、目的の計算を行うには様々な工夫が必要である（たとえば、[1]～[5]）。このような量子コンピュータ・量子デバイスの中でノイズ耐性の観点から [4], [5] など実用に近いと考えられる。これらは、ノイズに対して様々な創意工夫（例えば、容量値が非常に小さい微細素子の作製手法 [4]（回路の容量値が小さいほど熱雑音に強くなる）やエラー補償アルゴリズム [5]）が込められている。

ところで、自然界にはロバスト性をもつシステムの様々な例がある（構成要素の不均一性、フォールトトレラント性、ノイズ耐性）。そのようなシステムから何かヒントを得て、ロバストな情報処理を行う単電子集積回路が実現できないか？ そのような情報処理を行う典型的な例として、生物の脳があげられる。ニューロンの不均一性は、半導体デバイスのそれと比べるとかなりひどい。また成人の脳では、一日十万個のオーダーでニューロンが死ぬ上、日常的に、電磁波や時には物理的衝撃を受ける。それ（もちろんそれらの度合いによるのだが）にも関わらず、脳はロバストに情報処理を行う。

古典ニューラルネットワーク（パーセプトロンやホップフィールドの連想記憶ネットワーク）でさえ、ニューロンやシナプスの除去（故障）に対してロバスト性が伺える（配線結合の破壊に対して構造的に安定）。下澤等は、コオロギの微小脳を例にとり、生物が熱雑音に悩まされているばかりではなく、そのエネルギーと確率をうまく利用していることを示した [6]。さらに近年、深井等により示された確率ニューラルネットワークでは、結合状態がばらばらであっても、外界からノイズを与えると、数ミリ秒の精度でニューロン群が同期発火する [7]。これは、ニューロン間の正のフィードバックが、ネットワーク全体を発火させる直前程度の強さでかかっているため、外界からノイズが加わると、そのノイズによってネットワーク全体のニューロンが同期発火するからである。そ

のため、情報がニューロンの発火の同期、非同期に変換される場合、神経デバイスのバラツキはあまり効いてこない。また、浅井等は、ニューロンの集団による情報コーディングを提案し、それによって、ニューロンレベルではない、ネットワークレベルでの情報処理の冗長性を示した [8]。同一の情報を複数のニューロンに分散して与え、その処理結果も、単一のニューロンではなく、複数のニューロンの処理結果の多数決的処理によって評価されるため、デバイスの故障やノイズが最終結果に与える影響は少なくなる。また近年、減衰シナプスを用いたバースト同期検出機構をハード化した際、MOS デバイスのバラツキの増加に対して同期検出のパフォーマンスが非単調増加する、つまり、バラツキの増加によりパフォーマンスが増加する領域の存在を示した [9]。

上記のようなネットワークを仮に単電子回路で実現できたとすれば、ロバスト性に関する何らかの恩恵が受けられて、（処理できる情報処理は限られるのだが）デバイスの故障や熱雑音にセンシティブでない情報処理デバイスが実現できる可能性が高い。そこで本研究では、上記の多数決型情報処理を行うニューラルネットワーク例にとり、その単電子集積回路化を行い、その熱雑音耐性について調べる。

2. 回路化するスパイクニューロンモデルと競合ニューラルネットワーク

脳は様々な情報処理を行う際、個々の神経細胞に担っている情報の必要性に応じて選択的活性化・非活性化を行っている。このような現象は一般に競合と呼ばれる。競合現象は、脳における意志決定および運動制御などの神経情報処理の中核であると考えられている [10], [11]。これまで、脳における競合現象の重要性に動機づけられて、様々な競合神経モデルが提案されてきた [12]～[17]。本稿では、複雑な学習則や特別なネットワーク構造を必要としない、シンプルな相互抑制型競合ニューラルネットワークの回路化を行い、その動的特性、特にノイズ耐性について調べる。

最も簡単な競合ネットワークの構成を図 1 に示す。図 1(a) に示す N 個のニューロンからなるネットワークは、本質的に $O(N^2)$ の配線を持つ。ここで、結合重みが一定の場合、図 1(b) に示すような配線数 $O(N)$ のネットワークに簡略化できる [8]。ここで、ニューロン E を興奮性ニューロン、ニューロン G を抑制性ニューロンと呼称する（ニューロン G は、ニューロン

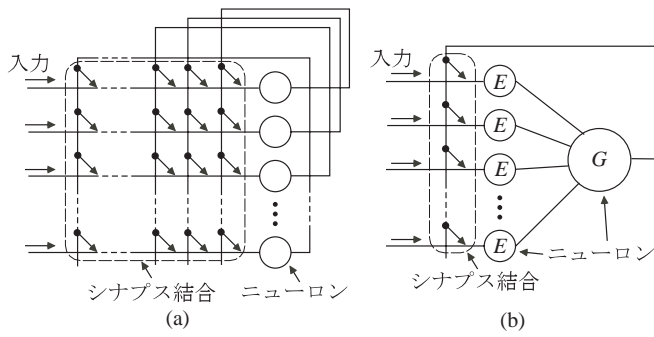


図1 競合ネットワークの構成

E により興奮し、ニューロン G が興奮するとニューロン E が抑制されるため)。また、これらのニューロンは、休止、興奮、不応期を持つ積分発火型スパイクニューロンであるとする。ここでは、以下に示す三値の積分-発火型ニューロンモデル [18], [19]

$$x^{t+1} = \begin{cases} \diamond, & (x^t = \clubsuit) \wedge (I \geq 1) \\ \spadesuit, & (x^t = \diamond) \\ \clubsuit, & (x^t = \clubsuit) \wedge (I = 0) \vee (x^t = \spadesuit) \end{cases}, (1)$$

を用いてネットワークの動作を説明する。ここで、 x^t は時刻 t におけるニューロンの状態 (休止: \clubsuit , 興奮: \diamond , 不応: \spadesuit の三状態), I はニューロンの外部入力を表わす。外部入力がなければ ($I = 0$), ニューロンは休止状態 ($x^t = \text{休止}$) で安定する。外部入力を受けると ($I \geq 1$) 次のステップでニューロンが興奮 ($x^{t+1} = \text{興奮}$) し、さらに次のステップでニューロンは不応状態となる ($x^{t+2} = \text{不応}$)。外部入力の有無に関わらず、次のステップでニューロンは休止状態となる。

このようなニューロンを N 個用意して、図1(b)に示すネットワークを構成する。ニューロン E と G に (1) のスパイクニューロンモデルを用いると、ネットワークにおけるそれぞれのダイナミクスは

$$x_i^{t+1} = \begin{cases} \diamond, & (x_i^t = \clubsuit) \wedge (I_i \geq 1) \wedge (y^t = \clubsuit) \\ \spadesuit, & (x_i^t = \diamond) \\ \clubsuit, & (x_i^t = \clubsuit) \wedge (I_i = 0) \vee (x_i^t = \spadesuit) \end{cases}, (2)$$

$$y^{t+1} = \begin{cases} \diamond, & (y^t = \clubsuit) \wedge (* \geq 1) \\ \spadesuit, & (y^t = \diamond) \\ \clubsuit, & (y^t = \clubsuit) \wedge (* = 0) \vee (y^t = \spadesuit) \end{cases}, (3)$$

$$(*; \sum_j^N (x_j^t = \diamond))$$

と表わせる。ここで、 x_i^t は i 番目のニューロン E の状態、 y^t はニューロン G の状態を表わす。また、外部ノイズによるニューロンの誤った発火を考慮して、

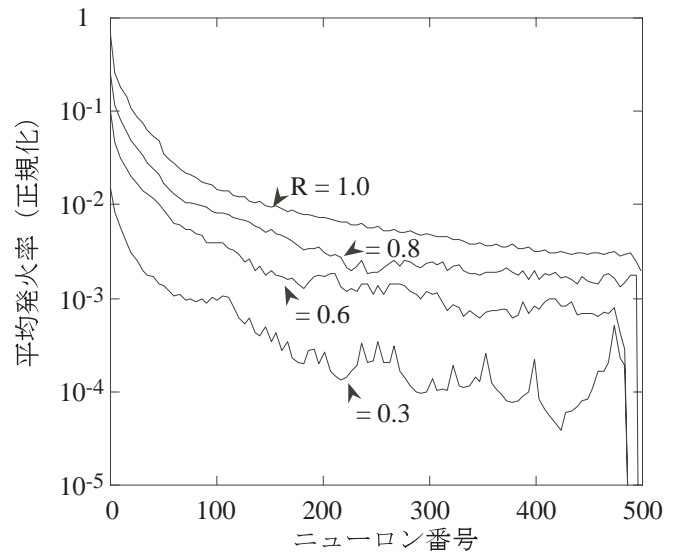


図2 ネットワークが示す挙動

状態更新時に以下のようなルール

$$x_i^{t+1}(\text{or } y^{t+1}) = \begin{cases} \bullet, & (\text{if } \text{rand}[0:1] < R) \\ \diamond, & (\text{else}) \end{cases}, (4)$$

(\bullet ; 状態変化なし)

を加える。ここで、 R はノイズ因子 ($R \rightarrow 1$ でノイズ無し) を表わす。

上記 (2), (3) のネットワークの振る舞いを図2に示す ($N = 500$)。ここで、グラフの横軸はニューロン番号、縦軸はニューロン出力の平均発火率を表わす。また、各ニューロンへは、 $I_i(t) = t \bmod (i + 3)$ なる外部入力 (ニューロン番号 i の増加に対して入力値 I_i が線形に減少) を与えた。 $R = 1.0$ (ノイズなし) の結果に着目すると、最大の入力を受けているニューロン ($i = 0$) と最小のニューロン ($i = 499$) の出力の平均発火率は、およそ二桁異なる。ニューロン番号の増加に伴い線形に減少する入力に対して、出力の平均発火率が指数関数的に減少する。つまり、高い入力を受けているニューロンが発火し、低い入力を受けているニューロンは発火しない、というニューロン間の競合現象が起こる。この現象は、ノイズの増加 ($R \rightarrow 0$) に対しても構造的に安定である。 $R \rightarrow 0$ によってニューロン G の誤発火頻度が増加することからニューロン E が抑制され、全体の平均発火率が減少するが、それでもなお ($R = 0.3$ の場合でさえ)、高い入力を受けているニューロンのグループと低い入力を受けているグループの間で、ニューロン出力の平均発火率がおよそ二桁異なる。したがって、ノイズ環境下でも神経競合における勝者と敗者のクラス分類は十分に可能である。この結果は、熱雑音

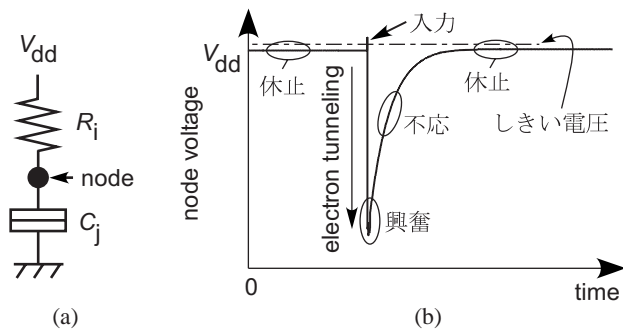


図 3 単電子振動子; (a) 回路構成, (b) 回路の挙動

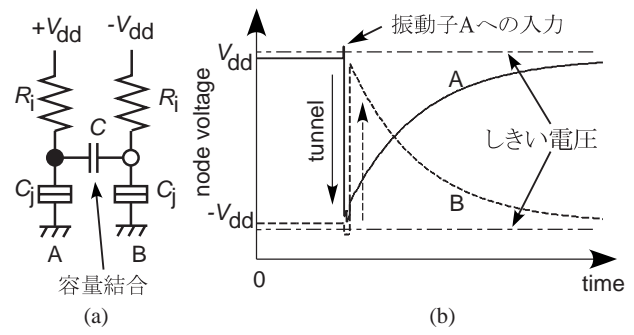


図 4 単電子振動子の連結; (a) 連結の例, (b) 信号の伝播

にセンシティブな単電子回路を用いても、勝者と敗者のクラスタ分類の実現可能性を示している。以下の章では、単電子振動子で構成したニューロンによる競合ネットワークが、熱雑音の増加 ($R \rightarrow 0$ に相当) に対してどの程度冗長性を持つか数値的に調べる。

3. 単電子競合ニューラルネットの構成

ここでは、前章で述べた積分-発火型ニューロンの単電子回路による構成を考える。また、このニューロン回路を用いて図 1(a) に基づくネットワーク回路を構成する。動作シミュレーションによって、提案するネットワークが図 2 のような挙動を示すか検証を行う。

3.1 積分-発火型ニューロンの回路化

(1) に示した興奮、不応、休止の三状態を持つ積分-発火型のニューロン回路を構成するために、本稿では単電子振動子 (図 3(a)) を用いる。この単電子振動子は、トンネル接合 (C_j)、高抵抗 (R_i)、バイアス電圧 V_{dd} からなる。この振動子は、極低温下でクーロンブロッケード効果によりノード電位が振動する [20]。動作の例を図 3(b) に示し、その仕組みを以下に示す。図 3(a) において、バイアス電圧をトンネルしきい値以下になるように設定する。すると、ノードに入力信号 (電位パルスなど) が与えられなければノードの電位は与えられているバイアス電圧と同じ電位に安定する (図 3(b); 休止状態)。次に、休止状態でノード電位がトンネルしきい値を越えるのに十分な大きさの信号が入力されると、ノードの電位がしきい値を越える。すると、確率的にグラウンドからノードに電子がトンネルする。ノードの電位は、ノードに電子がトンネルすると同時に正から負に転じる (図 3(b);

興奮状態)。このノード電位の急激な変化をニューロンのスパイク信号と考える。ノードの電位が負に転じると、ノードとバイアス電源の間に電位差が生じるため、バイアス電圧と高抵抗により充電が行われる (図 3(b); 不応状態)。最終的には充電の効果でノード電位は元の休止状態に戻る。この、不応状態では信号が入力されてもノード電位がトンネルしきい値に達しない限りトンネルが発生しない。単電子振動子は以上のような挙動を示すため、ニューロンの持つ三状態を実現できる。

ニューロン回路および、ネットワーク回路においてスパイク信号を伝播させるためには、構成要素である単電子振動子を連結する必要がある。連結方法について以下に述べる。本稿では、振動子を連結するためにキャパシタ (C) を用いる (図 4(a))。ここで、スパイク信号を連結振動子に伝えるため、振動子のバイアス電圧を隣り合う振動子間で逆になるように設定する。図 4(b) は、正バイアスの振動子と負バイアスの振動子がそれぞれ一個の場合の挙動を示している。ここで、図 4(a) 中の振動子 A のノードに外部入力を与える。すると、前述のようにノード電位がしきい値を越えることによりトンネル事象が発生、電位変化が起こる。この電位変化は結合キャパシタにより、隣の振動子 B に伝わる。このとき、振動子 A の電位変化によって振動子 B のノード電位がしきい値を越える場合、振動子 A の電位変化がトンネル事象を誘発するトリガとなる。したがって、振動子 B においても、トンネル事象が発生し電位変化が生じる。複数個の振動子が連結され、各振動子の電位変化が次段の振動子のトリガとなる場合、トンネル事象がその振動子系で次々に起こる。つまり、スパイクが後段の振動子に伝搬する。

図 5 に単電子振動子を用いて構成したニューロン回路の構成を示す。上述の単電子振動子 (図 3) は入出力端子の区別がない。したがって、ニューロン回

路の構成において入力と出力を区別するような機構が必要となる。本稿では、入出力を区別するために $2 + n$ 個の単電子振動子を用いる。振動子 A は外部入力を受ける素子、振動子 $B_i (i = 1, 2, \dots, n)$ はバッファ、振動子 C は他のニューロンへと信号を出力する素子である。ここで V_{dd} は、スパイク信号伝搬のため隣り合う振動子と極性が逆になるように設定する。また、バッファ振動子の数は $n \geq 2$ とする。これは、スパイク信号の進む向きを一方向（入力端子から出力端子の方向）にするためである。仮に $n = 1$ とすると、振動子 C においてスパイク信号が双方向に伝搬してしまう。ニューロンはその挙動として、信号を一方向に伝える必要があるためこれでは都合が悪い。これに対して、 $n \geq 2$ および振動子 C において発火に必要な入力スパイク数を n 個と設定すれば信号伝播の方向が一方向になる。ここで、振動子 C における入力スパイク数とは、振動子 C に同じタイミングで入力されるスパイクの数のことをいう。具体的なニューロン回路の挙動は以下になる。入力信号が振動子 A に与えられるとスパイク（電子トンネル）が発生する。振動子 A で発生したスパイクは、振動子 B_i にそれぞれ伝わる。これにより、バッファ振動子においてそれぞれスパイクが発生し振動子 C に伝わる。振動子 C はバッファからの n 個の入力を受けることによりスパイクを発生し信号を出力する。なお、振動子 C は外部への出力端子が一本である。したがって、出力端子側にノイズやエラーによるスパイクが発生しても、振動子 C の発火には不十分な本数のスパイクしか入力されない（出力端子は 1 本である）ため、エラースパイクによる振動子 C の発火はない。ここから、出力端子からのエラースパイクは振動子 C でブロックされ、逆向き（入力端子方向）にはスパイクが伝搬しない。以上のような動作を実現するために、振動子 C のバイアス電圧 V_L を V_{dd} よりも小さいバイアス電圧にする。これにより振動子 C のトンネルしきい値が高くなる。したがってスパイクの発生に複数個の入力信号が必要となり、上記の「信号の進む向きが一方向」という動作を実現できる [21]。

3.2 単電子ニューロン回路による競合ネットワーク

上述の単電子ニューロン回路を用いて図 1(a) の競合ネットワークを構成する。ここでは、ニューロン回路のバッファ振動子の数を $n = 3$ とした。ネットワーク回路の構成を図 6 に示す。ここで、 \oplus は正バイアスの単電子振動子、 \ominus は負バイアスの振動子、dendrite

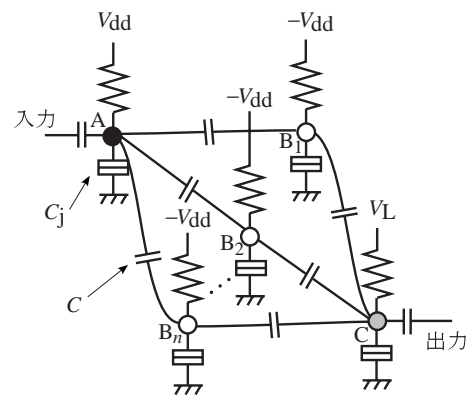


図 5 単電子ニューロン回路の構成

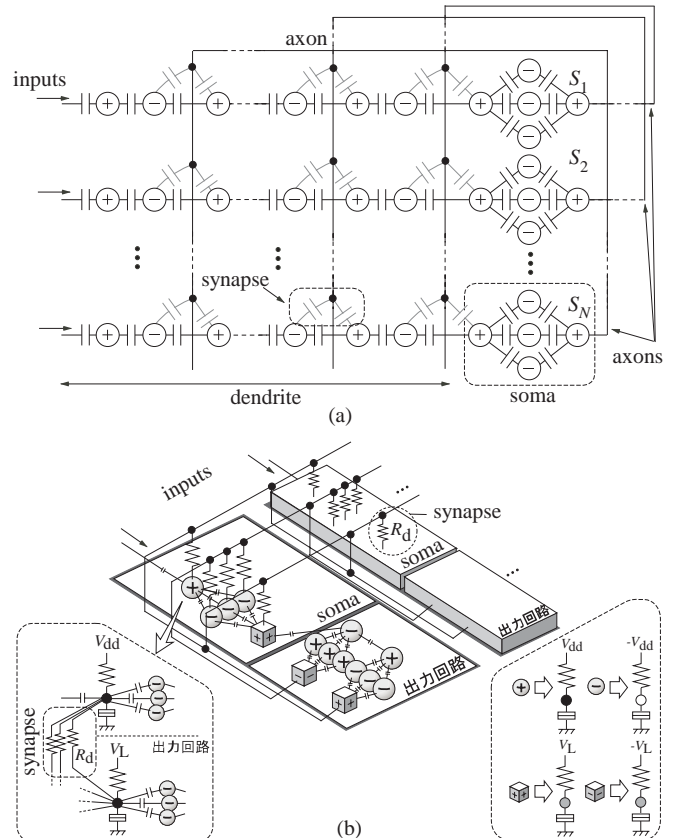


図 6 単電子ニューロン回路による競合ネットワーク

はニューロンの樹状突起、soma はニューロンの細胞体、axon はニューロンの軸索を意味する。図 6(a) で dendrite はスパイク信号を伝えるために単電子振動子を一次元配列・連結したものを、axon は簡単のために配線とする。また、図 6(b) では dendrite および axon は簡単のため配線とする。

これらのネットワークにおいて、多数決型情報処理のためネットワーク内でニューロンをいくつかの集団にわけ（クラスタ化）。クラスタ化および出力の多数決をとることにより、ノイズ下でも全体として正しい動作を期待できる [8]。集団の数を二つと

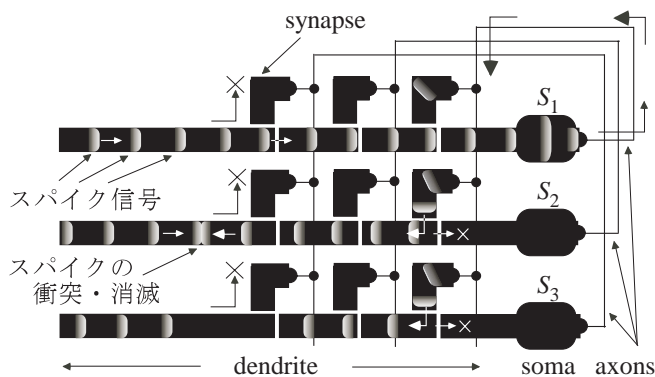


図7 ネットワーク上を伝わるスパイク信号のイメージ(ネットワークA)

して、各クラスタに対し入力信号をそれぞれ与える。ここで入力の種類は、i) 各ニューロン集団に入力する信号の周波数は同じだが、入力のタイミングがずれているもの、ii) 入力する信号の周波数がニューロン集団によって異なるものとする。以下に図6(a)のネットワーク(ネットワークA)に入力i)を適用したもの、図6(b)のネットワーク(ネットワークB)に入力ii)を適用したものについて、ネットワーク動作を示す。

3.2.1 ネットワークA

図6(a)の構成を用いて、入力タイミングに依存するネットワーク動作を実行する。これを行うために各クラスタに対して次のような入力信号を用意する。まず、入力の周波数は同じで各クラスタへの入力タイミングが違うものとする。また、今回は試験的に各クラスタが持つニューロン数(クラスタサイズ)を $M = 10, 20, 30$ とする。シナプス結合としてキャパシタを用い、興奮性シナプスと抑制性のシナプスを用意する。図6(a)のネットワークにおいて $\oplus-\ominus$ の結合が興奮性のシナプス結合、 $\oplus-\oplus$ の結合が抑制性のシナプス結合を意味する。このネットワークの挙動を以下に示す。スパイク信号が入力されると、それが dendrite 回路を伝わり soma に到達する。スパイク信号が soma に到達すると、soma はスパイクを出力し axon, シナプスを介してすべてのニューロンの dendrite に抑制信号を伝える。このとき、入力タイミングが早いニューロンは、すでに入力信号が伝わった後なので抑制信号の影響は受けない。一方で、入力タイミングが遅いニューロンは、入力信号が soma に伝わる前に抑制信号によって打ち消されてしまう。したがって、入力タイミングが遅いニューロンは信号を出力できない。一連の挙動をイメージとして図

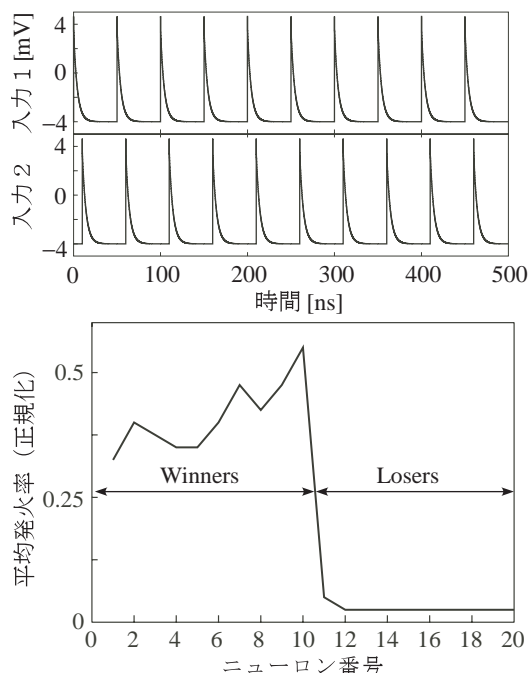


図8 ネットワークAのシミュレーション結果(一例)

7に示す。ここで、 S_1 のニューロンには入力タイミングが早いスパイク信号が、 S_2, S_3 のニューロンには入力タイミングが遅いスパイク信号がそれぞれ入力されているものとする。コンピュータシミュレーションによって、入力タイミング依存型のネットワーク動作を確認した。シミュレーション結果を図8に示す(クラスタ数2、クラスタサイズ $M = 10$ 、温度 $T = 0$ K)。入力1と入力2は二つのクラスタにそれぞれ入力されるスパイク列を示している。各入力とも周波数は20 MHzであり、入力2は入力1が入力されてから10 ns遅れて入力される。シミュレーション結果から「勝者」のクラスタの出力平均発火数は「敗者」のクラスタの出力平均発火数を上回っていることがわかる。ここから、このネットワークでは入力信号のタイミングが早いクラスタは生き残り、他のものは出力が抑制されているといえる。表1にシミュレーション結果をまとめる。ここで評価関数 I は

$$I = \frac{f_w}{f_w + f_L}, \quad (5)$$

で与えられる。ここで、 f_w は「勝者」クラスタの平均発火率であり、 f_L は「敗者」クラスタの平均発火率である。表1から次のことがいえる。温度0 Kにおいてはクラスタサイズに関わらず競合現象が強く現れる。熱雑音が存在する場合においても、1 K未満の温度で競合現象を確認できる。これはクラスタ内の各ニューロン単体が担う責任がニューロン単体

| 温度 | 評価関数 I | | |
|--------|----------|----------|----------|
| | $M = 10$ | $M = 20$ | $M = 30$ |
| 0 K | 0.94 | 0.89 | 0.81 |
| 0.01 K | 0.92 | 0.81 | 0.7 |
| 0.1 K | 0.92 | 0.81 | 0.72 |
| 1 K | 0.5 | 0.5 | 0.51 |

表 1 ネットワーク A におけるクラスタサイズ, 温度と評価関数値の関係

の場合と比べて減少するため、それが冗長性につながったと考えられる。図 2 ほど勝者と敗者の違いに差は現れていないが、熱雑音に対する冗長性を得たといえる。一方で 1 K の温度を越えるとパフォーマンスが急落する。例えば $M = 10$ のとき、 $I = 0.5$ である。これは勝者と敗者の平均発火率が同じことを意味している。つまり、競合現象が見られないということである。

3.2.2 ネットワーク B

次に図 6(b) の構成を用いて、入力周波数依存型のネットワークを実行する。このネットワークにおける単体のニューロンは、単電子ニューロン回路 (soma) に出力回路を接続する構成である。各ニューロンは各出力回路とシナプスを介して結合している。今回、シナプスとして高抵抗 (R_d) による結合を用いる。soma 回路内の正バイアス振動子は出力回路の正バイアス振動子と、soma 回路内の負バイアス振動子は出力回路の負バイアス振動子とそれぞれ抵抗接続している。この抵抗接続について以下のことがいえる。ニューロン回路は入力信号を受けたとき、出力側にスパイクを伝える。ニューロン回路から出力された信号は、出力回路に伝搬し最終的には R_d が接続された最終段の振動子に到達する。すると、その振動子ではスパイク (電子トンネル) が発生し、ノードの電位が反転する。 R_d で接続された振動子はスパイクがない状態で同じ値のノード電位を持つ。したがって、一方でスパイクが発生し電位が変化すると R_d の両端に電位差が生まれる。このため生じた電位差によりニューロン内の振動子と出力回路の振動子との間で電流が流れる。出力回路とニューロンとの間で電流が流れると、ニューロン内の振動子は電子トンネルに必要な電荷が奪われる。つまり、その振動子では電子トンネルが発生しにくい状態となる。つまりニューロンが抑制される。したがって、このネットワークで R_d は抑制性シナプスのはたらきをする。

コンピュータシミュレーションによって、入力周波数依存型のネットワーク動作を確認した。シミュ

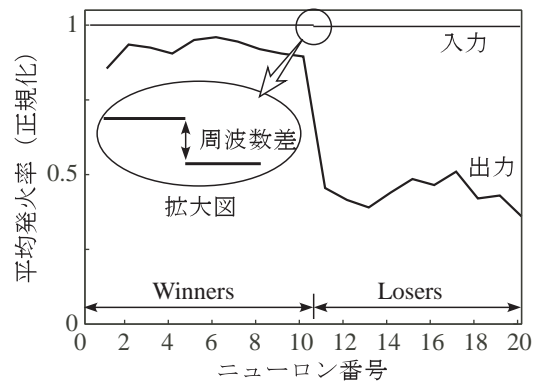


図 9 ネットワーク B のシミュレーション結果 (一例)

| 故障率 | 評価関数 I | | |
|-----|----------|----------|----------|
| | $M = 10$ | $M = 20$ | $M = 30$ |
| 0 | 0.68 | 0.76 | 0.74 |
| 0.1 | 0.63 | 0.51 | 0.57 |
| 0.2 | 0.54 | 0.53 | 0.62 |

表 2 ネットワーク B におけるクラスタサイズ, 故障率と評価関数値の関係

レーション結果を図 9 に示す (クラスタ数 2、クラスタサイズ $M = 10$ 、温度 $T = 0$ K)。このシミュレーションでは入力信号として周波数が異なるものを二種類用意し、各クラスタにそれぞれ与えた。シミュレーション結果から前節のネットワークと同様に、「勝者」のクラスタの出力平均発火率が「敗者」のクラスタの出力平均発火率を上回っていることがわかる。この結果から、このネットワークでもニューロンクラスタ間の競合現象が確認できる。そこから得たデータについて、集計したものを表 2 に示す。ここで、故障率とは、soma 回路において熱によって素子が故障したと仮定して、soma 回路全体が持っている振動子の数に対する soma 回路内の故障した振動子の割合として表現している。例として、ニューロン数 10 のネットワークで故障率が 0.1、ニューロン単体が持つ振動子の数 5 (入力; 1 + バッファ; $n = 3$ + 出力; 1) のとき、正常動作をしない振動子の数は $10 \times 0.1 \times 5 = 5$ 個となる。表 2 から次のことがいえる。各クラスタサイズのネットワークで、故障率の増加に伴いパフォーマンスは減少する。故障率が 0.2 の場合を比較するとクラスタサイズが大きいほどパフォーマンスが向上する傾向にある。これは前節のネットワークと同様に、クラスタサイズの増加に伴いクラスタ内の各ニューロン単体が担う責任が減少するためと考えられる。このネットワークにおいても、図 2 ほど勝者と敗者の違いに差は現れないが、それでもなおクラスタサイズが大きいほど熱雑音に

4. ま と め

本稿では、次世代集積デバイスの候補である単電子回路について、多数決型情報処理を行うニューラルネットワークを導入し、その熱雑音耐性に関して検討を行った。これは、ニューラルネットワークが持つ、雑音に対する冗長性の単電子回路への導入を期待したものである。これに際し、はじめに積分-発火型ニューロンにおける興奮、不応、休止の三状態を実行する単電子スパイクニューロン回路を設計した。また、これを用いて図1に基づく競合ネットワークを構成した。

今回用いたネットワーク構成では、二章で述べたニューロンモデルを用いたネットワークの挙動(図2)ほどノイズに対するロバスト性を得ることができなかった。しかし、今回提案した構造においても熱雑音に対する冗長性は得られることが確認できた。この冗長性はクラスタサイズと入力信号の与え方から得られると考えられる。これは、今回検証した各入力法におけるシミュレーション結果(表1, 2)からいえる。したがってクラスタサイズが大きく、周波数依存型のネットワークを用いれば熱雑音にロバストな単電子LSIの実現が期待できる。一方で、図2の結果はニューロン数が500のものである。提案ネットワークにおいてニューロン数を500にした場合、図2のような結果が得られるだろうか? 今回の結果を踏まえ、さらにニューロン数の多い単電子ニューラルネットワークを構成すれば、図2のように熱雑音に強い単電子回路の実現が期待できる。また、今回高い温度において冗長性を示さなかった入力タイミング依存型のネットワークでもニューロン数が多くなることで冗長性を示すかもしれない。

以上をまとめると、単電子回路へのニューラルネットワークの導入はノイズ耐性という観点から非常に有用であるといえる。今後の課題としてニューロン数を多くしたネットワークに関して熱雑音特性の検討を行う予定である。

文 献

[1] P. Benioff, "Quantum mechanical models of turing machines that dissipate no energy," *Phys. Rev. Lett.*, vol. 48, pp. 1581-1585, 1982.
[2] J. R. Tucker, "Complementary digital logic based on the Coulomb blockade," *J. Appl. Phys.*, vol. 72, no. 9, pp. 4399-4413, 1992.
[3] N. A. Gershenfeld, "Bulk spin-resonance quantum

computation," *Science*, vol. 275, no. 5298, pp. 350-356, 1997.
[4] Y. Takahashi *et al.*, "Fabrication technique for Si single-electron transistor operating at room-temperature," *Elec. Lett.*, vol. 31, no. 2, pp. 136-137, 1995.
[5] P. W. Shor, "Scheme for reducing decoherence in quantum computer memory," *Phys. Rev. A*, vol. 52, issue 4, pp. R2493-R2496, 1995.
[6] 下澤 橋夫, "熱雑音を手なずけた昆虫の機械感覚器," *日本神経回路学会誌*, vol. 6, no. 4, pp. 155-166, 1999.
[7] T. Fukai and S. Kanemura, "Noise-tolerant stimulus discrimination by synchronization with depressing synapses," *Biol. Cybern.*, vol. 85, pp. 107-116, 2001.
[8] T. Asai *et al.*, "Analog integrated circuits for the Lotka-Volterra competitive neural networks," *IEEE Trans. Neural Networks*, vol. 10, no. 5, pp. 1222-1231, 1999.
[9] T. Asai *et al.*, "A MOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection," *2004 Int. Joint Conf. Neural Networks*, W107, 2004.
[10] O. Hikosaka, "Basal ganglia - possible role in motor coordination and learning," *Curr. Opin. in Neurobiol.*, vol. 1, pp. 638-643, 1991.
[11] Y. Tamori and S. Tanaka, "A model for functional relationships between cerebral cortex and basal ganglia in voluntary movement," *Soc. Neurosci. Abs.*, vol. 19, p. 547, 1993.
[12] M. A. Cohen and S. Grossberg, "Absolute stability of global pattern formation and parallel memory storage by competitive neural networks," *IEEE Trans. Systems, Man, and Cybern.*, vol. SMC-13, pp. 815-826, 1983.
[13] E. Majani, R. Erlanson, and Y. A. Mostafa, "On the K -winners-take-all network," in *Advances in Neural Information Processing Systems I*, Ed. Los Altos, CA: Morgan Kaufmann, 1989, pp. 634-641.
[14] A. L. Yuille and N. M. Grzywacz, "A winner-take-all mechanism based on presynaptic inhibition feedback," *Neural Computation*, vol. 1, pp. 334-347, 1989.
[15] W. J. Wolfe *et al.*, R. Walker, G. Duane, and G. Alaghand, " K -winner networks," *IEEE Trans. Neural Networks*, vol. 2, pp. 310-315, 1991.
[16] S. Kaski and T. Kohonen, "Winner-take-all networks for physiological models of competitive learning," *Neural Networks*, vol. 7, pp. 973-984, 1994.
[17] J. G. Taylor and F. N. Alavi, "A global competitive neural network," *Biol. Cybern.*, vol. 72, pp. 233-248, 1995.
[18] A. Adamatzky, *Computing in Nonlinear Media and Automata Collectives*. Institute of Physics Publishing, Bristol, 2001.
[19] Y. Matsubara *et al.*, "Reaction-diffusion chip implementing excitable lattices with multiple-valued cellular automata," *IEICE Electronics Express*, vol. 1, no. 9, pp. 248-252, 2004.
[20] T. Oya *et al.*, "Reaction-Diffusion Systems Consisting of Single-Electron Oscillators," *Int. J. Unconventional Computing*, vol. 1, no. 2, 2005, in press.
[21] 大矢 他, "エラー補償アーキテクチャを応用した単電子スパイクニューロン回路," *信学技報*, vol. 104, no. 474, pp. 7-12, 2004.