

極低消費電力品質モニタ回路

廣瀬 哲也[†] 吉村 隆治^{††} 井戸 徹^{††} 松岡 俊匡^{†††} 谷口 研二^{†††}
浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院情報科学研究科情報エレクトロニクス専攻 〒105-0123 北海道札幌市北区北13条西8丁目
^{††} 日本テキサスインスツルメンツ株式会社 〒160-8366 東京都新宿区西新宿6-24-1 三井西新宿ビルディング
^{†††} 大阪大学大学院工学研究科電子情報エネルギー工学専攻 〒565-0871 大阪府吹田市山田丘2-1
E-mail: [†]{hirose,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp, ^{††}{ryuji-y,ido_toru}@ti.com,
^{†††}{matsuoka,taniguti}@eie.eng.osaka-u.ac.jp

あらまし MOSFET の弱反転電流を用いた極低消費電力品質モニタ回路を提案する。物質の劣化を組成の変化と見なし、単純な化学反応式でモデル化し CMOS LSI 上にそのモデルを構成・実現している。MOSFET の弱反転電流を用いて物質の活性化エネルギーを模擬しその劣化度を累積積分し劣化をモニタする。ボタン電池の使用を想定し電源電圧は 1.5V としており、さらに回路全体を弱反転領域で動作させることにより低消費電力構成となっている。0.25 μm -CMOS プロセスにより設計・試作を行いその回路動作を確認した。さらに、SPICE シミュレーションにより、回路構成を差動構成にすることで使用電源幅を広く、効率的に用いることが可能となることを確認した。

キーワード 品質モニタ回路, CMOS, 弱反転電流, 極低消費電力, 温度依存性

Watch-dog Circuit for Quality Guarantee with Subthreshold Current

Tetsuya HIROSE[†], Ryuji YOSHIMURA^{††}, Toru IDO^{††}, Toshimasa MATSUOKA^{†††}, Kenji TANIGUCHI^{†††}, Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Information Science and Technology, Hokkaido University 8, Kita 13 jyo nishi, Kitaku, Sapporo, Hokkaido, 060-8628 Japan

^{††} Texas Instruments Japan Ltd. 6-24-1 Nishishinjuku, Shinjuku-ku, Tokyo, 160-8366, Japan

^{†††} Electronics and Information Systems, Osaka University 2-1, Yamada-oka, Suita, 565-0871 Japan

E-mail: [†]{hirose,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp, ^{††}{ryuji-y,ido_toru}@ti.com,
^{†††}{matsuoka,taniguti}@eie.eng.osaka-u.ac.jp

Abstract We propose an ultra low power watch-dog circuit with the use of MOSFETs operation under subthreshold characteristics. The circuit monitors the amount of the product degradation because the subthreshold current of MOSFET emulates the rate of the general chemical reaction. Its operation was verified with both SPICE simulation and the measurement of the prototype chip.

Key words Watch-dog Circuit, CMOS, subthreshold current, ultra-low-power, temperature dependence

1. ま え が き

日常の我々の生活に関わる多くのもの、食料品や医薬品などにはその品質を保証するために予め慎重な保証期限の設定が行なわれている。しかし、品質の劣化はその保管条件などにより大きく影響を受けるので、予め期限を設定することは、本来適切ではない。一般に、製造者は、ある一定の保管条件、保管状態を明示し、その元での保証期限を定めるか、最も悪い条件を仮定し保証期限を定めて製品の品質保証を行なっている。前者の場合、

保管条件が守られなかった場合には使用期限の意味は失われる。後者の場合、十分によい条件で保管されて品質が保たれていても一様な賞味期限が設定されているため、製品の劣化がなくても廃棄処分されてしまう。さらに、温度計を設置し定期的に温度をモニタする方式では、モニタできない環境に製品がおかれた場合や測定データを改竄されうる場合にはそのデータそのものの信頼性がなくなってしまう。

これらの問題を解決するには、各製品の温度履歴を実際にハードウェア上でモニタすることで可能となる。そこで我々は、こ

のような製品個々の保証期限を監視するための CMOS 集積回路チップを提案する。提案する回路は、物質の劣化が化学反応式に表されるという事実に基づいている。化学反応の進み具合を累積的に計算することによって物質の劣化をモニタすることが可能となる。

本研究では、CMOS 弱反転電流を用いた極低消費電力アナログ回路を駆使した回路構成により、ボタン電池（電源電圧 $V_{DD}=1.5V$ ）で動作する極低消費電力品質モニタ回路を提案する。CMOS プロセス集積回路を用いることにより比較的安価に作ることができ、さらに物質劣化の進行度を監視することにより、個々の製品の保証期限を動的、かつ適切に決定することが可能となる。本論文では、まず LSI 上に構築する理論について述べ、そして実装する回路構成をシングルエンド構成のものについて議論し、シミュレーション、および実験により動作を確認した。さらに回路構成を差動化し、その動作について議論する。

2. 動作原理

物質の劣化が温度のみに従い、以下の一般的な化学反応式で表されると考える [1]。



ここで、 A 、 B は劣化前の反応物、そして C は反応によって生成された劣化物質を表している。このとき、劣化物質 C の濃度変化は次式で表される。

$$\frac{d[C]}{dt} = k[A][B] = [A][B]k_0 \exp\left(-\frac{\Delta E_A}{k_B T(t)}\right) \quad (2)$$

ここで、 $[A]$ 、 $[B]$ は反応物の濃度、 k は反応速度定数、 k_0 は反応速度定数係数、 ΔE_A は活性化エネルギー、 k_B はボルツマン定数、そして $T(t)$ は絶対温度を表している。この式を積分することにより、劣化物質濃度 $[C]$ は次式で表される。

$$[C] = [A]_0[B]_0 k_0 \int_0^{t=t_1} \exp\left(-\frac{\Delta E_A}{k_B T(t)}\right) dt \quad (3)$$

ここで、 $[A]_0$ 、 $[B]_0$ は反応物質 A 、 B の初期濃度である。この式から分かる通り、劣化物質の濃度 $[C]$ は絶対温度 $T(t)$ のみが時間 t に依存し、その温度履歴が製品の劣化に大きく影響を与えることが分かる。

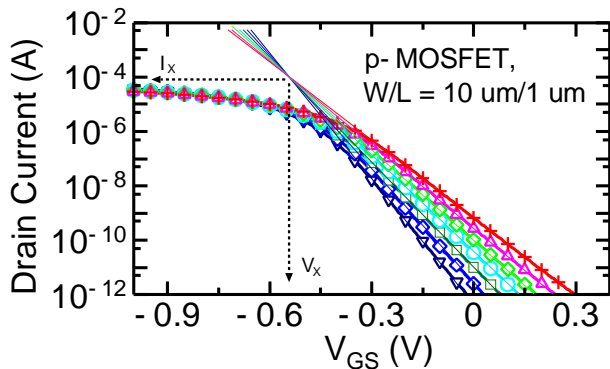


図 1 I_D - V_{GS} 測定結果. 測定温度を $-20 \sim 100^\circ C$ で変化させている。

我々は、この劣化物質 $[C]$ の反応の活性化エネルギーを MOSFET の弱反転電流を用いて模擬し、その値に応じた電流を累積積分することで劣化量をモニタする回路を提案する。図 1 に pMOSFET の V_{GS} - I_D 測定結果を示す。測定温度を $-20 \sim 100^\circ C$ に変化させている。図 1 より、しきい値電圧以下の弱反転領域におけるドレイン電流 I_D は指数関数で近似することができ、以下の式で表せる。

$$I_D = I_X \exp\left(\frac{e(V_{GS} - V_X)}{\eta k_B T}\right) \quad (4)$$

ここで、 I_X 、および V_X は、図 1 中にも表した通り、温度に依存しない電流および電圧ポイントである。 e は電気素量、 η は酸化膜容量、および空乏層容量に起因するデバイス構造由来の定数である。このような弱反転領域で動作する MOSFET を流れる 2 つの電流 I_{D1} 、 I_{D2} を割り算すれば、次式の通り活性化エネルギーを模擬したアレニウスの関係式が得られる。

$$\frac{I_{D1}}{I_{D2}} = \exp\left(-\frac{e(V_{GS,2} - V_{GS,1})}{\eta k_B T}\right) = \exp\left(-\frac{\Delta E}{k_B T}\right) \quad (5)$$

$$\Delta E = \frac{e(V_{GS,2} - V_{GS,1})}{\eta} \quad (6)$$

ここで、絶対温度 $T(t)$ が時間のみに依存するとして、式 (5) を積分すると、

$$\int_0^{t_1} \left(\frac{I_{D1}}{I_{D2}}\right) dt = \int_0^{t_1} \exp\left(-\frac{\Delta E}{k_B T(t)}\right) dt \quad (7)$$

が得られる。上式より、弱反転電流 I_{D1} 、 I_{D2} を発生させるゲート電圧 $V_{GS,1}$ 、 $V_{GS,2}$ を一定とすれば、式 (3) と同一の式であり、積分値から物質の劣化量 $[C]$ をモニタすることができる。

3. 回路構成

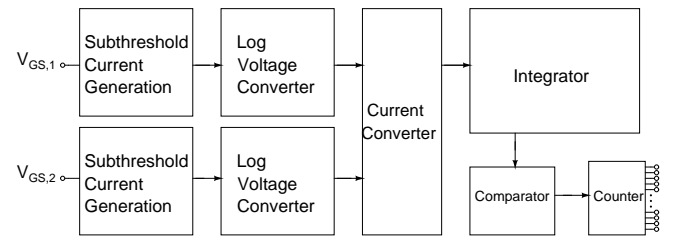


図 2 回路構成のブロック図

前節の議論で導出した式に基づく物質の品質モニタ回路を提案する。図 2 に回路構成のブロック図を示す。式 (4) で表される MOSFET の弱反転電流を入力し、入力弱反転電流に依存した対数の電圧を出力する。そしてその電圧を引き算し電流の割算を実現し、電流として出力する。その値を積分器を用いて積分して式 (7) を取り出す。以上のことから、劣化モニタ回路は割算回路と積分回路が基本構成要素となることが分かる。ただし、ボタン電池 1 個で 1 年程度動作することを前提とするには全体の消費電力を数 μW 程度にまで下げ、しかも温度依存性のない基準電流 I_{ref} を実現することがモニタチップ実用化の鍵となる。以下では各回路ブロックについて説明する。

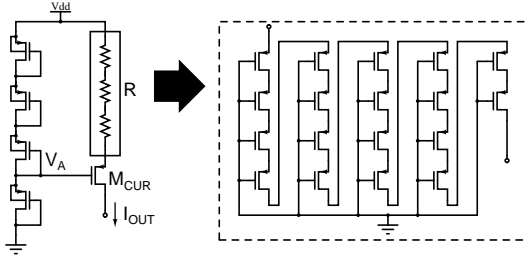


図 3 定電流源発生回路.

3.1 定電流発生回路

本品質モニタ回路では、参照とする基準電流 I_{ref} 発生回路、およびオペアンプ等のアナログ回路を弱反転領域で動作させるための定バイアス電流発生回路が必要となる。図 3 に提案する定電流発生回路を示す。この回路は、pMOSFET の各基板端子をソース端子に接続したものをダイオード接続することで温度に対して変化しない定電圧 V_A を発生させ、その電圧をソース側に抵抗を挿入した pMOSFET (M_{CUR}) のゲートに印加した構成となっている。弱反転電流を流すことが前提である本提案回路では抵抗の代わりにゲート電極を接地した強反転線形 MOSFET の直列接続を用いている。この強反転線形 MOSFET の全抵抗を R とすると発生する電流は、

$$I_D = I_X \exp\left(\frac{e(V_{DD} - I_D R - V_A - V_X)}{\eta p k_B T}\right) \quad (8)$$

となる。電流が増大すると M_{CUR} のゲート・ソース間電圧が小さくなるようにフィードバックがかかり電流の増加を抑制する。また同様に電流が減少すると M_{CUR} のゲート・ソース間電圧が大きくなるようにフィードバックがかかり、一定の電流を流すように動作することが分かる。この回路構成により、温度に対する電流値の変動は 25°C での電流値に対して、 $-25 \sim 75^\circ\text{C}$ で 1% 以内に抑えることができる。なお、表 1 に定電流源発生回路のシミュレーション結果を示す。

表 1 定電流源発生回路のシミュレーション結果

温度 ($^\circ\text{C}$)	-25	0	25	50	75
I_{OUT} (nA)	8.27	8.26	8.26	8.26	8.28

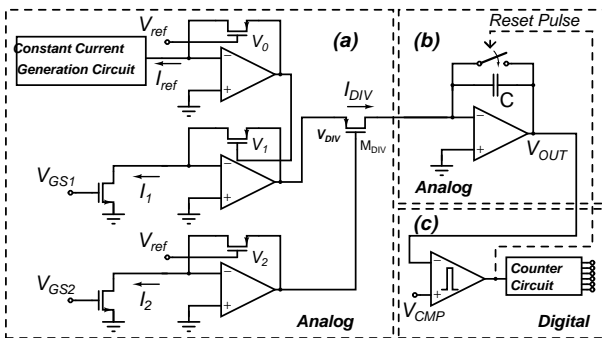


図 4 回路構成. (a) 割り算回路ブロック, (b) 積分回路ブロック. (c) 比較器, カウンタブロック.

3.2 シングルエンド構成

式 (7) に表される物質の劣化量を CMOS LSI 上に実装するために、シングルエンド構成で実装を行なった。回路構成を図 4 に示す。図 4(a) で電流の割算を実行している。回路動作を以下に説明する。

オペアンプの利得が十分高ければ、回路に入力される弱反転電流 I_{ref} , I_1 , I_2 はフィードバックを構成している pMOSFET へ流入し、次式が成立する。

$$V_i = V_X + \frac{\eta k_B T}{e} \ln\left(\frac{I_i}{I_X}\right) \quad (i = 0, 1, 2) \quad (9)$$

M_{DIV} のゲート・ソース間電圧を V_{DIV} とすると、回路構成により $V_{DIV} = V_0 + V_1 - V_2$ が成立する。したがって、 M_{DIV} を流れる電流 I_{DIV} は、

$$I_{DIV} = I_X \exp\left(\frac{e(V_0 + V_1 - V_2 - V_X)}{\eta k_B T}\right) = \frac{I_1}{I_2} I_{ref} \quad (10)$$

となる。さらに、2 つの弱反転電流 I_1 , I_2 は印加する定電圧 V_{GS1} , V_{GS2} で決まる電流であることから、

$$I_{DIV} = I_{ref} \exp\left(\frac{e(V_{GS,1} - V_{GS,2})}{\eta k_B T}\right) = I_{ref} \exp\left(-\frac{\Delta E}{k_B T}\right) \quad (11)$$

となる。 I_{ref} が温度に依存しない一定量であることを考慮すると、この電流値の積分が劣化量に比例することが理解できる。

積分回路を図 4(b) に示す。積分は、オペアンプとキャパシタ C を用いて行なうため、次式が成立する。

$$\begin{aligned} V_{OUT} &= V_{CM} - \frac{1}{C} \int_0^{t_1} I_{DIV} dt \\ &= V_{CM} - \frac{1}{C} \int_0^{t_1} I_{ref} \exp\left(-\frac{\Delta E}{k_B T}\right) dt \end{aligned} \quad (12)$$

ただし、長時間の積分を行なうには、大きな時定数を実現するための大きな容量 C が必要となり、チップ面積の増大を招く。さらに低消費電力で動作させることから回路中のリークなどにより積分動作に影響を与える可能性がある。これらの問題を解決するため、容量 C を小さくして積分期間を短縮している。劣化量に比例するアナログ量を図 4 (c) のコンパレータを用いてデジタル値へと変換し、カウンタ回路を用いてリセット回数を数えることで等価的に長時間にわたる積分を行っている。

ここまでの議論から回路動作をまとめる。式 (4) で表される弱反転領域で動作する MOSFET のドレイン電流を割り算回路に入力し、対数電圧変換、さらに電圧の引き算を行ない、式 (12) で表される電流 I_{DIV} を出力する。この電流値を積分器で積分し、比較器の比較電圧値 V_{CMP} と一致するまで積分動作を行なう。積分出力電圧値 V_{OUT} と比較値 V_{CMP} が一致した段階で、リセット信号を積分器へ送り、積分動作をリセットする。同時に、リセット信号をカウンタで数え上げる。そして所定のリセット回数に達した段階で、品質保証期限に到達したことを判定する。

3.3 シングルエンド構成による実装

図 4 に示す回路構成では、基準電流 I_{ref} が弱反転電流であり、非常に小さな電流になってしまうため、設定することのできる

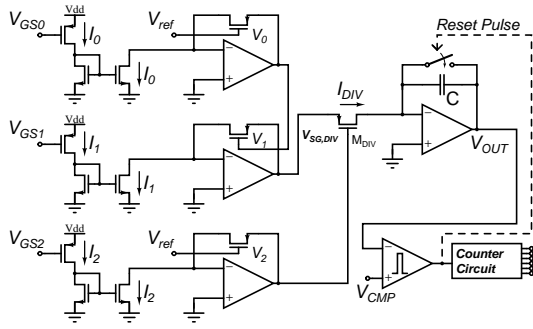


図5 シングルエンド構成における実装回路。

活性化エネルギーが限られてしまう問題点がある。大きな活性化エネルギーを設定した場合、式(11)で出力される電流がリーク電流領域に入ってしまう。この問題点を解決するために基準電流として用いる定電流源の代わりにMOSFETを用いて弱反転電流を入力する回路構成とする。図5に実装した回路構成を示す。この回路構成を用いることで出力される電流 I_{DIV} は次式で表せる。

$$I_{DIV} = I_0 \frac{I_1}{I_2} = I_X \exp\left(\frac{e(V_{GS0} + V_{GS1} - V_{GS2} - V_X)}{k_B T}\right) = I_X \exp\left(-\frac{\Delta E}{k_B T}\right) \quad (13)$$

図1からも分かる通り、 I_X は十分に大きな値であることからこの構成により大きな活性化エネルギーに対応することが可能となる。

3.4 シミュレーション結果

積分器の出力電圧 V_{OUT} のSPICEシミュレーション結果を図6に示す。 I_0, I_1, I_2 をそれぞれ $V_{GS,0} = 400$ [mV], $V_{GS,1} = 450$ [mV], $V_{GS,2} = 500$ [mV]に設定している。シミュレーション結果からも分かる通り、Operation時における積分器の出力電圧は解析結果に沿った積分動作を行なっている。低温で動作させた場合、式(11)に従って電流値は小さく積分の勾配は小さいが、高温になれば電流量も増大し、積分結果の勾配が大きくなっている。積分器の出力電圧がコンパレータの比較値と一致した段階で積分をリセットし再び積分動作していることが分かる。

消費電流は最も電流量が多くなる75 [°C]において、0.91 [μ A]であり、極低消費電力構成である。一般的なボタン電池の標準容量が35 [mAh]であるとすると、35 [mAh]/0.91 [μ A] = 3.8×10^4 [h] ~ 4.4 [year]となり、これは約4年4カ月動作可能となる。

表2 シミュレーション結果のまとめ

使用プロセス	0.25 μ m 1層ポリ5層メタル CMOS
電源電圧	1.5 V (ボタン電池使用想定)
消費電力	1.47 μ W (T=75 °C)

3.5 測定結果

図7に測定系、および今回設計したチップ写真を示す。チップサイズは510 [μ m] \times 425 [μ m]と小面積である。測定はDCバイアス発生装置、恒温槽、そしてオシロスコープを用いて行

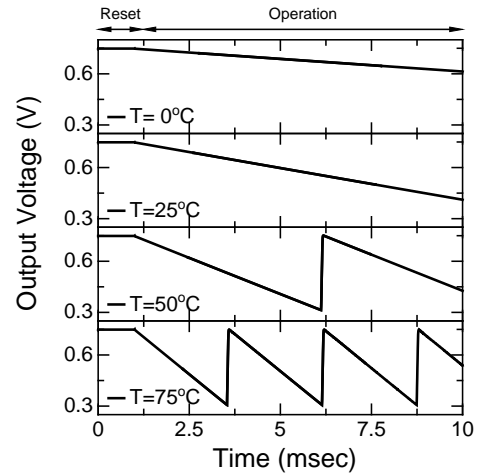


図6 積分器の出力電圧 V_{OUT} シミュレーション結果。

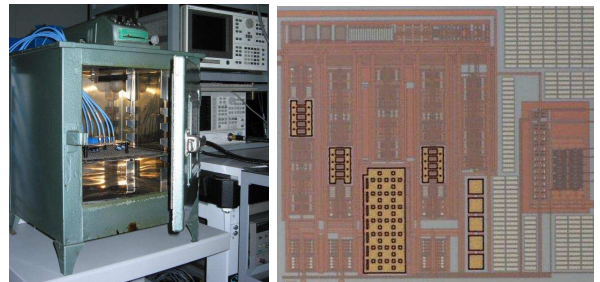


図7 測定環境およびチップ写真。恒温槽で動作温度を変化させている。

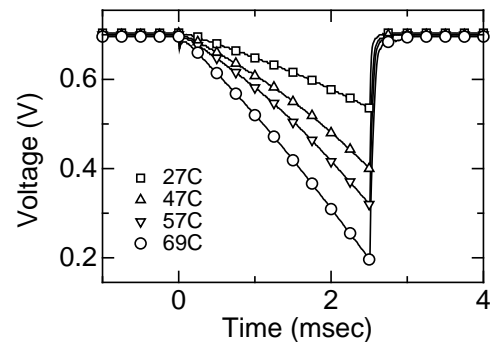


図8 積分器の出力電圧 V_{OUT} の測定結果。

なった。恒温槽によりチップの動作温度を変化させ測定を行なっている。図8に積分器の出力電圧測定結果を示す。シミュレーション結果と比較してもほぼ一致していることが分かる。積分結果が若干の非線形性を有しているが、弱反転動作オペアンプの利得が若干不足していたことが理由として考えられる。

さらに回路が解析通り動作していることを確認するために、次の解析を行なった。式(12)で表される積分器の出力電圧の時間微分は次のように表される。

$$\left| \frac{dV_{OUT}}{dt} \right| = \frac{I_0}{C} \exp\left(-\frac{\Delta E}{k_B T}\right) \quad (14)$$

従って、横軸に絶対温度の逆数を取り、縦軸に出力電圧の傾きを対数スケールでとるとアレニウスの関係を満たすことが分かる。図9にシミュレーション、および測定結果から出力電圧の傾きを抽出し、プロットしたものを示す。シミュレーション通り動作していることが分かる。

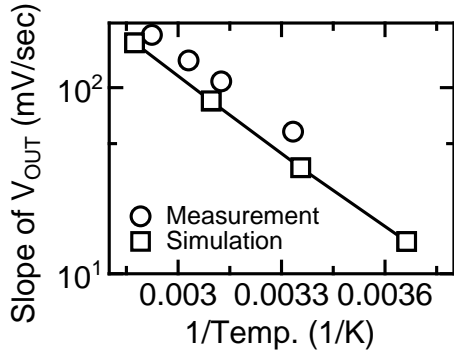


図9 シミュレーション結果と測定結果の積分出力電圧の傾き。

4. 差動構成による実装に関する考察

先に示したシングルエンド回路構成では、積分器の出力電圧が $\frac{V_{DD}}{2} - V_{ref}$ の範囲内でしか動作できず効率が悪く、さらにシングルエンド構成であるため、外部からのノイズに弱いという構造的な問題を有している。そこで、これらの問題点を回避するため、回路全体を差動構成とすることで使用できる電圧幅を広げ、さらに外部ノイズの影響の低減を図ることができる。ここでは、回路構成のブロック図は図2と同様とし、その各回路ブロックを差動化することを目的とし議論する。

4.1 回路構成

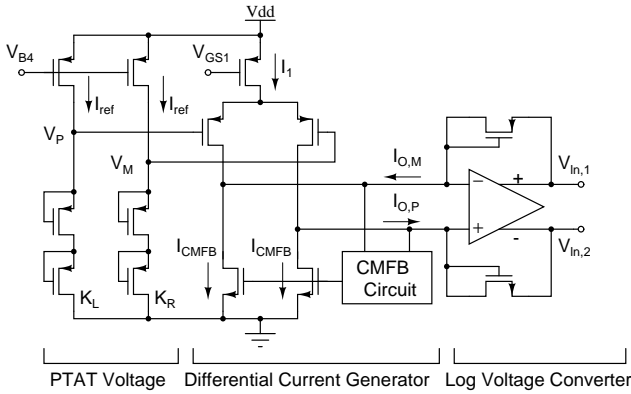


図10 PTAT 電圧生成回路、差動弱反転電流生成回路、および対数電圧出力回路

図10に差動弱反転電流生成回路、および対数電圧出力回路を示す。同相帰還回路をともなった差動対、およびPTATバイアス生成回路を用いて差動電流変換を行なっている。差動対のテール電流 I_1 (I_2) に活性化エネルギーを模擬するゲート・ソース間電圧 V_{GS1} (V_{GS2}) を印加する構成とし、テール電流量に比例した電流 $I_{O,P}$, $I_{O,M}$ を出力する。PTAT 電圧 V_P , V_M は、温度に依存しない一定電流 I_0 をサイズを考慮したダイオード接続 MOSFET に印加することで生成している。したがってダイオード接続 MOSFET のアスペクト比をそれぞれ K_L , K_R とするとその電圧差は次式で表せる。

$$V_P - V_M = \eta V_T \ln \left(\frac{K_R}{K_L} \right) \quad (15)$$

ここでは、 $K_R/K_L = 1.56$ に設定することで微小 PTAT 電圧

を生成している。

テール電流源に V_{GS1} が入力されている場合を考える。差動対の入力に V_P , V_M が印加されているとき、入力トランジスタを流れる電流 I_P , I_M は次式で表せる。

$$I_j = \frac{I_j}{I_P + I_M} I_1 \quad (j = P, M) \quad (16)$$

したがって、同相帰還回路により負荷トランジスタを流れる電流を I_{CMFB} とすると、差動対から出力される電流 $I_{O,1P}$, $I_{O,1M}$ は $I_{O,1P} = I_M - I_{CMFB}$, $I_{O,1M} = I_{CMFB} - I_P$ となる。同相帰還回路が正常動作している時には出力電流値は等しいので $I_{O,1P} = I_{O,1M}$ となる。したがって、 $I_{CMFB} = I_1/2$ である。 $V_P - V_M$ が十分小さい時には、

$$\begin{aligned} I_{O,1P} &= \frac{1}{2} \frac{I_M - I_P}{I_M + I_P} I_1 = \frac{1}{2} \frac{\exp(-\frac{V_M}{\eta V_T}) - \exp(-\frac{V_P}{\eta V_T})}{\exp(-\frac{V_M}{\eta V_T}) + \exp(-\frac{V_P}{\eta V_T})} I_1 \\ &= \frac{1}{2} \tanh \left(\frac{V_P - V_M}{2\eta V_T} \right) I_1 = \frac{1}{4} \frac{V_P - V_M}{\eta V_T} I_1 \end{aligned} \quad (17)$$

となる。したがって、式(15)より、差動出力電流は次式で表せる。

$$I_{O,1} = I_{O,1P} = I_{O,1M} = \frac{1}{4} \ln \left(\frac{K_R}{K_L} \right) I_1 \quad (18)$$

$$I_{O,2} = I_{O,2P} = I_{O,2M} = \frac{1}{4} \ln \left(\frac{K_R}{K_L} \right) I_2 \quad (19)$$

この電流をオペアンプとフィードバックに MOSFET を接続した対数電圧変換回路に入力する。オペアンプのコモンモード電圧を V_{CM} とすると出力される電圧は、

$$V_{in,kP} = V_{CM} + V_X + \eta V_T \ln \left(\frac{I_{O,k}}{I_X} \right) \quad (k = 1, 2) \quad (20)$$

$$V_{in,kM} = V_{CM} - V_X - \eta V_T \ln \left(\frac{I_{O,k}}{I_X} \right) \quad (k = 1, 2) \quad (21)$$

となり、入力電流に依存した対数電圧として出力される。

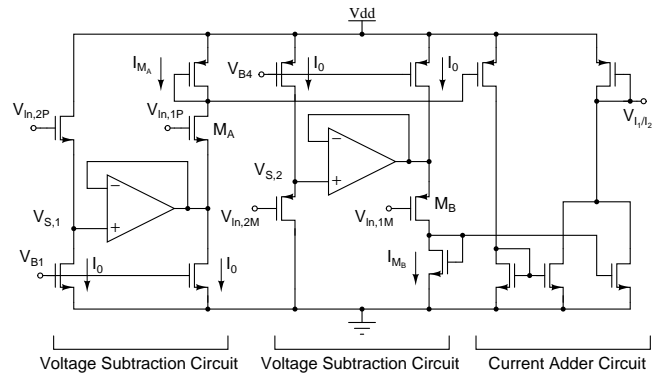


図11 電圧引算回路、および電流加算回路。

図11は、2つの電圧引算回路および電流加算回路である。図10の回路で出力された対数電圧を引算し、電流の割算を実現している。 $V_{in,1P}$, $V_{in,2P}$ が印加されている電圧引算回路について説明する。まず、 $V_{in,2P}$ をソースフォロワに入力しレベルシフトする。レベルシフト後の電圧を $V_{s,1}$ とすると次式が成立する。

$$V_{s,1} = V_{in,2P} - V_X - \eta V_T \ln \left(\frac{I_0}{I_X} \right) = V_{CM} + \eta V_T \ln \left(\frac{I_{O,2}}{I_0} \right) \quad (22)$$

この電圧をユニティゲイン構成にしたオペアンプの非反転端子に入力しバッファする。このときトランジスタ M_A のゲート・ソース間電圧 V_{GS,M_A} は次式で表される。

$$\begin{aligned} V_{GS,M_A} &= V_{in,1P} - V_{s,1} = V_X + \eta V_T \ln \left(\frac{I_{O,1}}{I_X} \frac{I_0}{I_{O,2}} \right) \\ &= V_X + \eta V_T \ln \left(\frac{I_1}{I_X} \frac{I_0}{I_2} \right) \end{aligned} \quad (23)$$

したがって、トランジスタ M_A を流れる電流 I_{M_A} は次式で表せる。

$$I_{M_A} = I_X \exp \left(\frac{V_{GS,M_A} - V_X}{\eta V_T} \right) = \frac{I_1}{I_2} I_0 \quad (24)$$

同様の計算により、トランジスタ M_B を流れる電流 I_{M_B} は次式で表せる。

$$I_{M_B} = I_X \exp \left(\frac{V_{GS,M_B} - V_X}{\eta V_T} \right) = \frac{I_1}{I_2} I_0 \quad (25)$$

図 11 の最終段でこの二つの電流 I_{M_A}, I_{M_B} を加算し、ダイオード接続トランジスタで電圧 V_{I_1/I_2} を出力する。この出力された電圧 V_{I_1/I_2} を図 10 で用いた電流差動化回路に入力することにより割算された電流を差動電流出力することができる。出力される電流は、次式で表せる。

$$I_{OUTP} = |I_{OUTM}| = \frac{1}{4} \ln \left(\frac{K_R}{K_L} \right) \frac{I_1}{I_2} I_0 \quad (26)$$

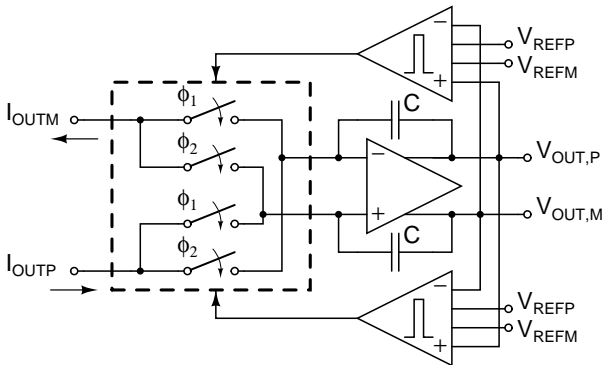


図 12 電流パスの切替回路、積分器、およびコンパレータ回路。

図 12 に電流バス切替回路、積分器、およびコンパレータを示す。図 11 の割算回路で出力された電流 I_{OUTP}, I_{OUTM} を積分器へと入力し、積分器の出力電圧は式 (12) にしたがって積分動作する。出力電圧は 2 つのコンパレータによりモニタされ、参照電圧 V_{REFP}, V_{REFM} に一致するまで積分動作する。シングルエンド構成ではコンパレータの参照比較電圧と一致した段階で容量 C に充電された電荷をリセットしたが、差動構成をとっているためリセットの必要がない。つまり積分器へと入力される流入電流と流出電流のバスを切替えてやることで、容量に積分された電荷をリセットすることなく充放電を繰り返すことが出来る。電流バスの切替え回数をカウンタで数えあげることにより劣化アナログ量を等価デジタル値へと変換し、劣化をモニタする。

4.2 シミュレーション結果

積分器の出力差動電圧のシミュレーション結果を図 13 示す。シングルエンド構成のものと同様に、低温では劣化量を模擬する電流も小さく、積分量も小さくなっている。さらに、高温になればなるほど積分量も増大している様子が見られる。コンパレータの比較電圧値と積分結果が一致する点で電流パスの切替が行われ、アンプへ入力される電流が入れ替わり積分器は三角波出力となる。

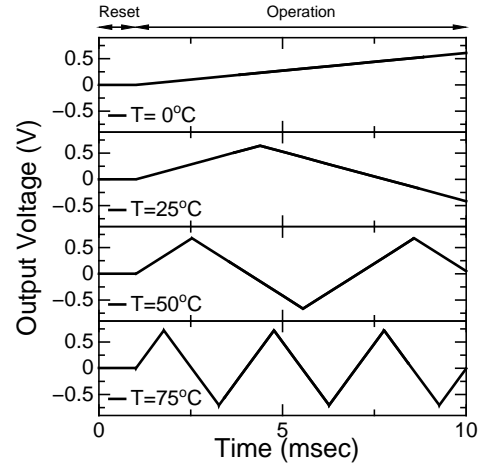


図 13 差動構成における出力差動電圧のシミュレーション結果。

5. ま と め

弱反転領域における MOSFET のドレイン電流をもとに物質の活性化エネルギーを模擬し、対象となる物質の劣化量をモニタする回路を提案した。ボタン電池やシート電池などと一体化し、製品に付加することによりその物質の品質をより精密に管理することが可能となり、より動的な保証期限の設定が可能となる。提案回路では、抵抗体として利用する一部の素子を除いてすべての MOSFET が弱反転領域で動作をしている。SPICE シミュレーション、さらに実際にチップを設計、測定を行ない解析通り動作していることを確認した。さらに、差動構成についても考察を行ない、出力電圧幅を増大させることができることを確認した。

文 献

- [1] P.W. Atkins, "Physical Chemistry Sixth Edition", Oxford University Press, 1998.
- [2] A.J. Peyton and V. Walsh, "Analog Electronics with OP Amps", CAMBRIDGE UNIVERSITY PRESS, 1993.