

MOSFETのサブスレッシュヨルド特性を利用した 超低消費電力CMOS参照電圧源回路

上野 憲一[†] 廣瀬 哲也^{††} 浅井 哲也[†] 雨宮 好仁[†]

[†] 北海道大学大学院 情報科学研究科 〒060-0814 北海道札幌市北区北14条西9丁目

^{††} 神戸大学大学院 工学研究科 〒565-0456 神戸市灘区六甲台町1-1

E-mail: [†]{k_ueno,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp, ^{††}hirose@eedept.kobe-u.ac.jp

あらまし MOSFETのサブスレッシュヨルド特性を利用した超低消費電力で動作する参照電圧源回路を提案する。この回路は、絶対零度におけるMOSFETのしきい値電圧を出力する。0.35- μm CMOSプロセスにより試作を行い、その動作を確認した。-20°C - 80°Cの温度変動に対して参照電圧の値は745 mVの一定値であり、温度係数は7 ppm/°C、1.4 V - 3 Vの電源電圧の変動に対して参照電圧の変動は20 ppm/Vであった。PSRR特性は、100 Hzにおいて-45 dBである。この回路はサブスレッシュヨルド領域と強反転線形領域で動作するCMOS回路のみで構成し、0.3 μW の超低消費電力で動作する。また、回路の出力は絶対零度におけるMOSFETのしきい値電圧のため、オンチップでLSI内のプロセスパラツキをモニタすることができる。したがって、出力電圧の特性を利用することでアナログ回路のプロセスパラツキ補正に応用可能である。

キーワード CMOS, 参照電圧源, サブスレッシュヨルド (弱反転) 領域, 線形領域, 極低消費電力

An Ultra-low Power Voltage Reference Circuit consisting of Subthreshold MOSFETs

Ken UENO[†], Tetsuya HIROSE^{††}, Tetsuya ASAI[†], and Yoshihito AMEMIYA[†]

[†] Graduate School of Information Science and Technology, Hokkaido University
Kita 14, Nishi 9, Kita-ku, Sapporo, Hokkaido, 657-8501 Japan

^{††} Department of Electrical and Electronics Engineering, Kobe University
1-1 Rokkodai-cho, Nada-ku, Kobe, 657-8501 Japan

E-mail: [†]{k_ueno,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp, ^{††}hirose@eedept.kobe-u.ac.jp

Abstract An ultra-low power CMOS voltage reference circuit has been fabricated in 0.35- μm standard CMOS process [8]. The circuit generates a reference voltage based on threshold voltage of a MOSFET at absolute zero temperature. Theoretical analyses and experimental results showed that the circuit generates a quite stable reference voltage of 745 mV on average. The temperature coefficient and line sensitivity of the circuit were 7 ppm/°C and 20 ppm/V, respectively. The power supply rejection ratio (PSRR) was -45 dB at 100 Hz. The circuit consists of subthreshold MOSFETs with a low-power dissipation of 0.3 μW or less, and a 1.5-V power supply. Because the circuit generates a reference voltage based on threshold voltage of a MOSFET in an LSI chip, it can be used as an on-chip process monitoring circuit and a part of the on-chip process compensation circuit systems.

Key words CMOS, Voltage reference, Subthreshold region, Weak-inversion, deep triode region, Ultra-low power

1. ま え が き

ユビキタス情報環境の到来にともない、微小電力供給のもとで数年以上に渡る連続動作可能なスマートセンサLSIの開発が求められている[1]。これらのセンサLSIは、数 μW 程度の超低

消費電力動作が要求される。また近年、医療用埋め込みデバイスの開発も盛んに行なわれており[2]、これらのデバイスも微小電力供給のもとで長時間に渡る連続動作が要求されている。このようなLSIは、様々な使用環境が想定されるため、広い温度範囲や電源電圧の変動のもとで安定に動作する参照電源回路が

不可欠である。これまで、低消費電力で動作する電圧源回路がいくつか報告されている [3]- [7]。しかし、これらの回路は消費電力が数十 μW 以上と大きく、また参照電圧の温度依存性や電源電圧依存性が大きい問題がある。

これらの問題に対して、温度依存性、電源電圧依存性の小さい、絶対零度での MOSFET のしきい値電圧を出力する参照電圧源回路を開発した。この回路は、従来の電圧源回路で標準的に使用する抵抗素子を用いずにサブスレッショルド領域と強反転線形領域で動作する CMOS 回路のみで構成し、 $0.3 \mu\text{W}$ の極低電力動作を実現した [8]。本稿では、その動作原理を概説し、そしてチップ試作・測定を行なったのでその評価結果を報告する。さらに、参照電圧源回路の出力は絶対零度における MOSFET のしきい値電圧であるため、オンチップで LSI 内のプロセスバラツキをモニタすることができる。したがって、出力電圧の特性を利用することでアナログ回路のプロセスバラツキ補正にも応用可能である。その一例として、温度変化、プロセスバラツキに強い参照電圧源の生成方法について報告する。

2. 回路構成と動作原理

図 1 に提案する参照電圧源回路の回路構成を示す。この回路は、 β 乗算型自己バイアス回路で使用される抵抗体の代わりに強反転線形領域で動作する MOSFET を使用した電流源サブサーキットと、ダイオード接続 MOSFET (M_4) と 2 つの差動対 (M_3 - M_6 , M_5 - M_7) を組み合わせた電圧源サブサーキットから構成される。差動対を用いることにより、差動対のゲート端子間に正の温度係数電圧を生成し、ダイオード接続 MOSFET の示す負の温度係数電圧と加算して一定電圧を生成する。電流源サブサーキットで生成した電流 I_P をカレントミラー回路により電圧源サブサーキットへ供給し、トランジスタ M_7 のゲート電圧に参照電圧 V_{REF} を生成する。この電圧 V_{REF} は、温度に対して一定の電圧を出力し、参照電圧源として使用することができる。トランジスタ M_{R1} は強反転線形領域で動作し、他のトランジスタはすべてサブスレッショルド領域で動作する。

MOSFET のゲート・ソース間電圧がしきい値電圧以下のとき、サブスレッショルド電流 (弱反転電流) I_D が流れる。ここで、ドレイン・ソース間電圧が 0.1 V 以上のとき、 I_D は指数関数で近似できて次のようになる [9], [10]。

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right). \quad (1)$$

ここで、 $K(=W/L)$ はアスペクト比、 $I_0(=\mu C_{OX}(\eta-1)V_T^2)$ はサブスレッショルド電流の前置係数、 e は電気素量、 η はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数、 $V_T(=k_B T/q)$ は熱電圧である。電流源サブサーキットのトランジスタ M_1 , M_2 , M_{R1} および参照電圧 V_{REF} により回路を流れる電流 I_P は、 $I_P = \beta(V_{REF} - V_{TH})\eta V_T \ln(K_2/K_1)$ で表される。電圧源サブサーキットの参照電圧 V_{REF} は、トランジスタ M_3 - M_7 のゲート・ソース間電圧を加減算したものであるから、次式が成立する。

$$V_{REF} = V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7}$$

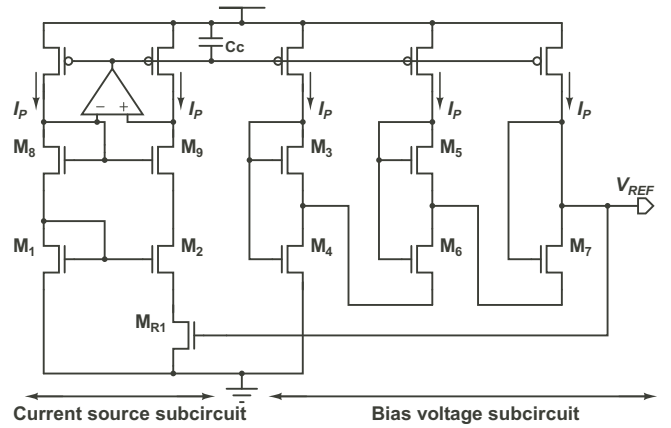


図 1 提案するしきい値電圧参照型 CMOS 電圧源回路。 M_{R1} は線形領域で動作、それ以外のトランジスタはサブスレッショルド領域で動作する。

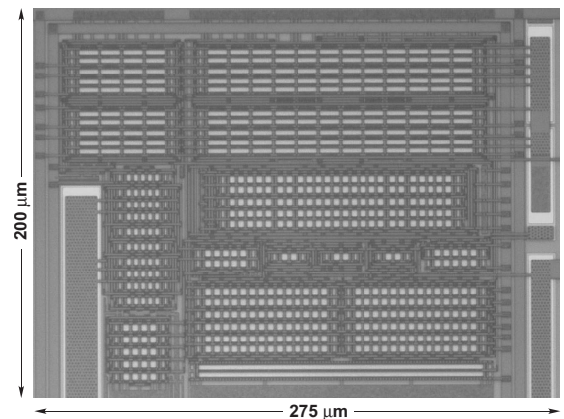


図 2 電圧源回路のチップ写真 ($0.35 \mu\text{m}$, 2P-4M CMOS)。

$$\begin{aligned} &= V_{GS4} + \eta V_T \ln\left(\frac{2K_3K_5}{K_6K_7}\right) \\ &= V_{TH} + \eta V_T \ln\left(\frac{3I_P}{K_4I_0}\right) + \eta V_T \ln\left(\frac{2K_3K_5}{K_6K_7}\right). \quad (2) \end{aligned}$$

したがって、参照電圧 V_{REF} は、負の温度依存性を持つトランジスタ M_4 のゲートソース間電圧 V_{GS4} と正の温度依存性を持つ熱電圧 V_T をトランジスタサイズでスケールした値に依存する。トランジスタサイズを適切に設計することで温度に依存しない参照電圧を生成することが可能である。

次に、この参照電圧 V_{REF} の温度特性を考える。一般に、しきい値電圧 V_{TH} の温度依存性は、 $V_{TH} = V_{TH0} - \kappa T$ で表される [11]。ここで V_{TH0} は絶対零度におけるしきい値電圧、 κ はしきい値電圧の温度係数である。ここで、参照電圧 V_{REF} と絶対零度のしきい値電圧 V_{TH0} の差分が κT に比べて十分小さいとき、すなわち、 $V_{REF} - V_{TH0} \ll \kappa T$ 、であるとすると、式 (2) の温度係数は次式で表すことができる。

$$\frac{dV_{REF}}{dT} = -\kappa + \frac{\eta k_B}{q} \ln\left\{\frac{6q\eta\kappa}{k_B(\eta-1)} \frac{K_{R1}K_3K_5}{K_4K_6K_7} \ln\left(\frac{K_2}{K_1}\right)\right\}. \quad (3)$$

よって、回路設計パラメータ K を適切に設定することで、参照電圧 V_{REF} の温度係数をゼロ ($dV_{REF}/dT = 0$) に設計することができる。したがって、温度に依存しない一定電圧を生成することができる。このときの参照電圧 V_{REF} は式 (3) を式 (2)

表 1 Comparison of reported low-power CMOS voltage reference circuits

	This work	De Vita [3]	Leung [4]	Cheng [5]	Giustolisi [6]	Huang [7]
Process	0.35- μm , CMOS	0.35- μm , CMOS	0.6- μm , CMOS	0.35- μm , CMOS	1.2- μm , CMOS	0.18- μm , CMOS
Temperature range	-20 - 80°C	0 - 80°C	0 - 100°C	0 - 70°C	-25 - 125°C	20 - 120°C
V_{DD}	1.4 - 3 V	0.9 - 4 V	1.4 - 3 V	1.4 - 3 V	1.2 V	0.85 - 2.5 V
$\overline{V_{REF}}$	745 mV	670 mV	309.3 mV	579 mV	295 mV	221 mV
Power	0.3 μW (@1.4 V) Room temp.	0.036 μW (@0.9 V) Room temp.	29.1 μW (@3 V) Max. temp	4.6 μW (@2 V) N.A.	4.3 μW (@1.2 V) N.A.	3.3 μW (@0.85 V) Average
TC	7 ppm/°C	10 ppm/°C	36.9 ppm/°C	62 ppm/°C	119 ppm/°C	271 ppm/°C
Line sensitivity	20 ppm/V	2700 ppm/V	800 ppm/V	6700 ppm/V	N.A.	9000 ppm/V
PSRR	-45 dB(@100 Hz)	-47 dB(@100 Hz)	-47 dB(@100 Hz)	-84 dB(@1 kHz)	N.A.	N.A.
Chip area	0.052 mm ²	0.045 mm ²	0.055 mm ²	0.126 mm ²	0.23 mm ²	0.0238 mm ²

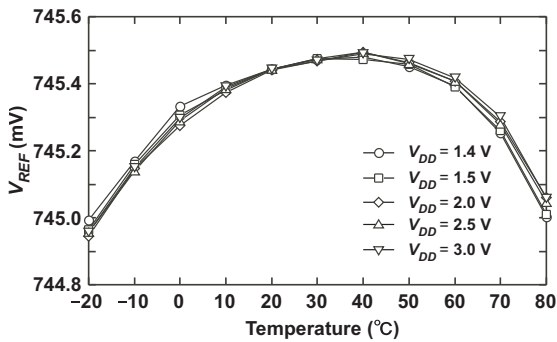


図 3 出力電圧 V_{REF} の温度依存性 (TC=7 ppm/°C, Line sensitivity=20 ppm/V).

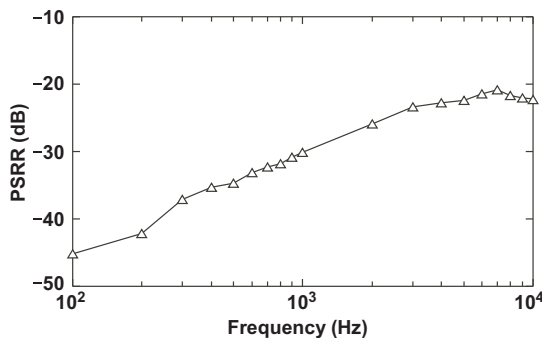


図 4 出力電圧の PSRR 特性 (室温, 1 pF キャパシタ, $V_{DD} = 2\text{V}$).

に代入することにより次式で表される.

$$V_{REF} = V_{TH0}. \quad (4)$$

したがって, 参照電圧 V_{REF} は絶対零度における MOSFET(M_4) のしきい値電圧 V_{TH0} が出力されることになる.

3. 測定結果

試作チップの測定結果を以下に示す. 使用したプロセスは 0.35- μm , 2P-4M CMOS プロセスである. 図 2 に試作チップの写真を示す. 回路面積は 0.052 mm² と小面積である.

図 3 に温度を -20°C - 80°C まで変動させたときの出力電圧 V_{REF} の測定結果を示す. 電源電圧は, 1.4 V, 1.5 V, 2.0 V, 2.5 V, 3V に設定した. 参照電圧値は約 745 mV であり, 温度, 電源電圧依存性の小さい電圧を出力できる. 参照電圧の温度バラ

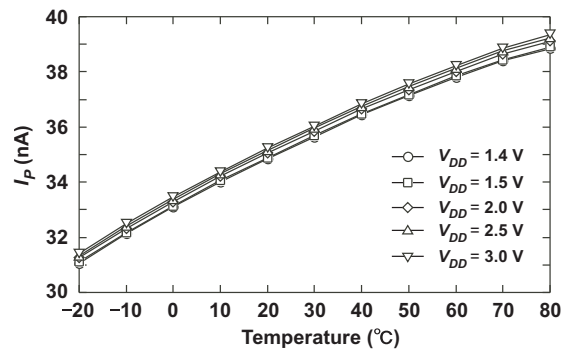


図 5 動作電流 I_P の温度依存性 (TC=0.2%/°C).

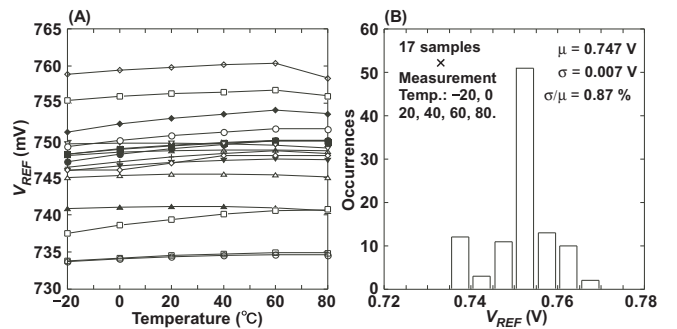


図 6 異なる 17 チップの出力電圧の測定結果. (A) 出力電圧の温度依存性 (TC<45 ppm/°C), (B) 出力電圧のヒストグラム.

ツキは 0.48 mV であり, その温度係数は 7 ppm/°C, 電源電圧依存性は 20 ppm/V である. 図 4 に室温における PSRR(電源電圧変動除去比) 特性の測定結果を示す. 周波数 100 Hz において PSRR は -45 dB である. 図 5 に温度を変動させたときの動作電流 I_P を示す. 電源電圧は 1.4 - 3 V の間で設定している. 室温での電流値は 36 nA と微小電流であり, 80°C においては 39 nA である. 室温における $V_{DD}=1.5\text{V}$ での回路全体の消費電力は 0.32 μW である. また, 温度に対する電流の変化は 0.2%/°C と小さいため, 消費電力の変動も -20°C - 80°C の範囲で 0.28 μW - 0.35 μW と小さい.

参照電圧のプロセスバラツキを評価するために, 異なる 17 チップの電圧源回路の出力電圧を測定した. 図 6(A) に 17 チップの出力電圧 V_{REF} の温度特性を示す. 今回のサンプル回路においてチップ間の最大バラツキは約 25 mV であった. しかし,

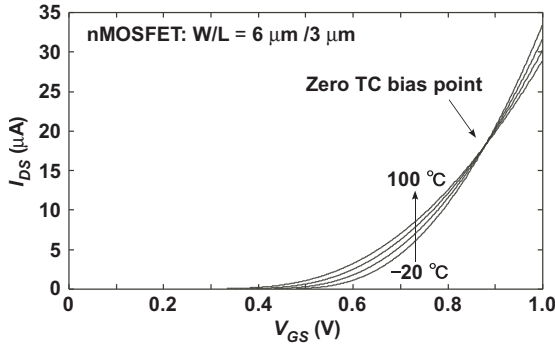


図 7 異なる温度による nMOSFET の V_{GS} - I_{DS} 特性の測定結果.

すべての参照電圧は温度に対して一定の特性を示し、その温度係数は 45 ppm/°C 以下である。図 6(B) に 17 サンプルの参照電圧値の分布を示す。それぞれの出力は、-20, 0, 20, 40, 60, そして 80°C の異なる温度での出力をすべて表示している。今回のサンプルにおいて参照電圧の変動係数は 0.87% であった。

表 1 に提案回路の性能諸元を示す。また、報告されている低消費電力 CMOS 電圧源回路 [3] - [7] の性能比較を示す。提案回路の消費電力、PSRR 特性、チップ面積は他の電圧源と同等な値であり、温度係数、電源電圧依存性に関しては、最も小さい値である。したがって、本提案回路は微少電力動作 LSI に有用である。

4. プロセスバラツキ補正の応用

これまでの解析より、本回路は、MOSFET のしきい電圧を参照するため、その絶対値はプロセス変動とともに大きく変化する特性を持つ。すなわち、回路の出力電圧は、チップ内のプロセス変動をモニタしていることになる。したがって、本回路の出力電圧は、アナログ回路のプロセスバラツキ補正に応用することができる。プロセスバラツキ補正の一例として、MOSFET のゼロ温度係数 (ZTC) バイアスポイントを利用した電流源回路のプロセスバラツキ補正について検討を行った。これまで、MOSFET の ZTC バイアスポイントを利用した温度依存性の小さい電流源回路がいくつか報告されている [11], [13]。しかし、ZTC バイアスポイントはしきい値電圧と移動度に依存するため、これらの電流源はプロセスバラツキに依存する。この問題を解決するために、以下では、提案した電圧源回路を使用することで ZTC バイアスポイントのしきい値電圧バラツキ補正・制御を行うことでプロセス・温度バラツキ依存の小さい電流源回路の設計を行った。

4.1 ZTC バイアスポイントの温度特性

はじめに、MOSFET の ZTC バイアスポイントについて説明する。図 7 に異なる温度における MOSFET の V_{GS} - I_{DS} 特性の測定結果を示す。これより、使用プロセスにおいて、 V_{GS} が 0.87 V 付近でドレイン電流が温度に依存しない ZTC バイアスポイントが存在することが確認できる。ここで、強反転飽和領域で動作する MOSFET のドレイン電流 I_{DS} は次式で表せる。

$$I_{DS} = K(V_{BIAS} - V_{TH})^\alpha, \quad (5)$$

$K(\sim(W/L)\mu C_{OX})$ は電流利得係数、 V_{BIAS} はゲート・ソース間電圧、 μ は移動度、 C_{OX} は単位面積辺りの酸化膜容量、 α は電

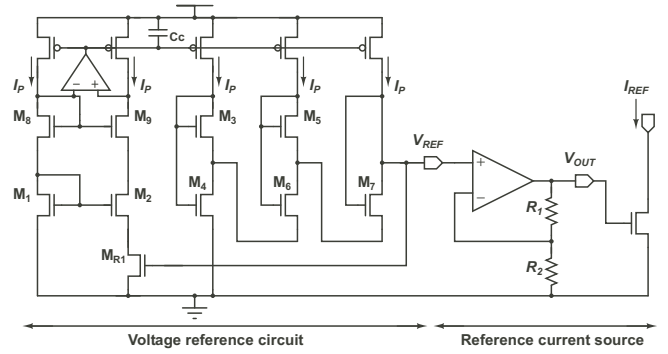


図 8 提案するプロセス・温度バラツキを補正する電流生成回路.

子速度飽和による定数である [17].

ここで、ドレイン電流 I_{DS} の温度依存性について考える。移動度 μ の温度依存性は、 $\mu = \mu_0(T_0)(T_0/T)^m$ で表される [11]。 $\mu(T_0)$ は室温 T_0 における移動度、 m はプロセス固有の値で、今回使用したプロセスでは 1.5 である。ゲート・ソース間電圧 V_{BIAS} が温度に依存しない一定電圧の場合、式 (5) のドレイン電流 I_{DS} の温度係数 TC_I は次式で表される。

$$TC_I = \frac{1}{I_{DS}} \frac{dI_{DS}}{dT} = \frac{1}{\mu} \frac{d\mu}{dT} + \frac{1}{(V_{BIAS} - V_{TH})^\alpha} \frac{d(V_{BIAS} - V_{TH})^\alpha}{dT} \\ = -\frac{m}{T} + \frac{\alpha\kappa}{V_{BIAS} - V_{TH}}. \quad (6)$$

したがって、式 (6) よりゼロ温度係数 ($TC_I = 0$) を満たす条件は次式で表される。

$$V_{BIAS} = V_{TH0} + \left(\frac{\alpha}{m} - 1\right) \kappa T. \quad (7)$$

式 (6) の導出において、 V_{BIAS} は温度に依存しない一定バイアスと仮定しているため、式 (7) の α/m の値は 1 でなければならない。したがって、この時の TC_I は次式で表される。

$$TC_I = \frac{\alpha - m}{T}. \quad (8)$$

文献 [11], [13] においては、この α/m の値が十分に 1 に近いと仮定して ZTC バイアスポイントを利用した基準電流源回路を構成している。しかし、一般に m と α の値は相関がなく、また等しくないため、式 (8) が $TC_I=0$ を満たすことができない。なお、標準 CMOS プロセスでは、 $m=1.5$, $\alpha=2$ である。したがって、 $(\alpha - m)$ は常に正の値を示すため、式 (8) の TC_I は正となり、ドレイン電流 I_{DS} は温度に対して上昇する特性を持つ。すなわち、絶対零度におけるしきい値電圧をバイアス電圧として使用すると、 TC_I は正の値を示しゼロ温度係数を実現することはできない。

そこで、この問題を解決するために、 V_{TH0} を制御してバイアスすることを考える。これにより、式 (6) の TC_I を 0 付近に設計することができる。以下に、ゼロ温度係数を実現するための回路構成について説明する。

4.2 プロセス・温度バラツキ補正電流源回路

図 8 に提案するプロセス・温度バラツキ補正電流源回路を示す。前章で説明した電圧源回路の出力 V_{REF} を非反転増幅回路に入力し、 V_{REF} よりも大きいバイアス電圧 V_{OUT} に増幅する。このバイアス電圧 V_{OUT} を電流生成トランジスタのゲート端子

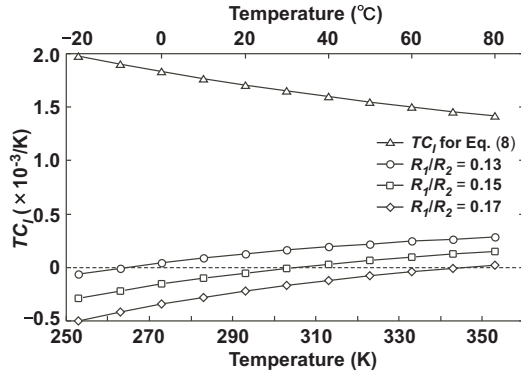


図9 提案する電流源回路における TC_I の数値シミュレーション結果.

に入力することで、プロセス・温度変動に依存しない電流 I_{REF} を出力することができる。

非反転増幅回路の出力電圧 V_{OUT} は、次式で表される。

$$V_{OUT} = V_{TH0} \left(1 + \frac{R_1}{R_2} \right). \quad (9)$$

この出力電圧 V_{OUT} を、参照電流を生成するための電流生成トランジスタのゲート端子に入力する。この時の参照電流 I_{REF} は次式で与えられる。

$$I_{REF} = K \left\{ V_{TH0} \left(1 + \frac{R_1}{R_2} \right) - V_{TH} \right\}^\alpha. \quad (10)$$

この参照電流 I_{REF} の温度係数 TC_I は

$$TC_I = -\frac{m}{T} + \frac{\alpha\kappa}{V_{TH0} \left(1 + \frac{R_1}{R_2} \right) - V_{TH}} \quad (11)$$

と表される。したがって、ゼロ温度係数 ($TC_I = 0$) を満たす条件は次式で表される。

$$\frac{R_1}{R_2} = \left(\frac{\alpha}{m} - 1 \right) \frac{\kappa T}{V_{TH0}}. \quad (12)$$

したがって、抵抗比 (R_1/R_2) を適切に設定することで室温付近でゼロ温度係数 ($TC_I = 0$) を満たすことができる。図9に温度係数 TC_I (式 (11)) の数値計算結果を示す。抵抗比 (R_1/R_2) を 0.13, 0.15, 0.17 に設定している。また、比較のために式 (8) の数値計算結果も同様にプロットしている。これより、 $R_1/R_2=0.15$ のとき室温付近で $TC_I = 0$ を満たすことができる。したがって、抵抗比 (R_1/R_2) を適切に設定することで、温度に依存しない参照電流を生成することができる。

次に、参照電流 I_{REF} のプロセスバラツキについて解析する。式 (10) より、参照電流 I_{REF} のプロセスバラツキは次式で表される。

$$\frac{\Delta I_{REF}}{I_{REF}} = \frac{1}{I_{REF}} \left(\frac{\partial I_{REF}}{\partial \mu} \Delta \mu + \frac{\partial I_{REF}}{\partial V_{TH0}} \Delta V_{TH0} + \frac{\partial I_{REF}}{\partial V_{TH}} \Delta V_{TH} + \frac{\partial I_{REF}}{\partial (R_1/R_2)} \Delta (R_1/R_2) \right). \quad (13)$$

ここで、電圧源回路の出力電圧バラツキ ΔV_{TH0} と電流生成トランジスタのしきい値電圧バラツキ ΔV_{TH} は同一チップ内では同じバラツキと見なすことができる ($\Delta V_{TH0} = \Delta V_{TH}$)。また、抵抗比 (R_1/R_2) のバラツキは十分小さいため、式 (13) は、次式で表すことができる。

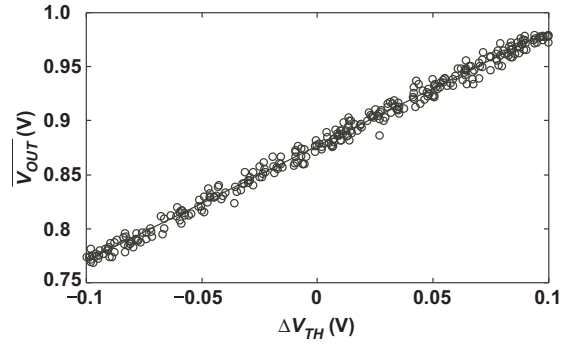


図10 モンテカルロシミュレーションによる非反転増幅回路の平均出力電圧 $\overline{V_{OUT}}$ のしきい値電圧依存性の分布。

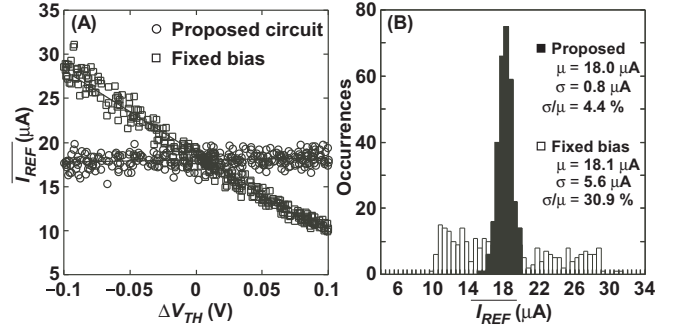


図11 モンテカルロシミュレーションによる (A) 固定ゲートバイアスによる電流と提案回路による参照電流のしきい値電圧依存性。(B) 参照電流のヒストグラム。

$$\frac{\Delta I_{REF}}{I_{REF}} = \frac{\Delta \mu}{\mu}. \quad (14)$$

したがって、提案回路を用いることで、しきい値電圧バラツキに依存しない参照電流を得ることができる。この参照電流は、式 (14) より移動度のバラツキに依存する。しかし、しきい値電圧バラツキと比較すると十分小さいため [18]、このバラツキは無視することができる。

4.3 シミュレーション結果

提案する参照電流源の SPICE シミュレーション結果を示す。使用プロセスは、0.35- μm 2P-4M CMOS プロセスである。回路の電源電圧は 1.5 V、電流生成トランジスタのドレイン・ソース間電圧は 1 V に設定した。製造プロセスバラツキに対する回路動作検証を行うため、モンテカルロシミュレーションを行なった (300 回)。トランジスタ、およびポリ抵抗のプロセス変動による絶対バラツキ (均一分布を想定: $-0.1 \text{ V} < \Delta V_{TH} < 0.1 \text{ V}$)、およびランダムバラツキ (ガウス分布を想定: $\sigma_{V_{TH}} = A_{V_{TH}} / \sqrt{LW}$) を考慮した [19]- [21]。また、今回の設計においては、ランダムバラツキ成分を小さくするため、大きなトランジスタサイズを使用している [21]。

モンテカルロシミュレーションにおけるしきい値電圧のグローバルバラツキ量 (ΔV_{TH}) に対する非反転増幅回路の平均出力電圧 $\overline{V_{OUT}}$ を図 10 に示す。出力電圧は、式 (4) より LSI 内の MOSFET のしきい値電圧を参照しているため、しきい値電圧に対して線形に変動することが確認できる。図 11(A) にしきい値電圧を変動させたときの平均参照電流 $\overline{I_{REF}}$ の分布を示す。比較のため固定ゲートバイアス ($V_{GS}=880 \text{ mV}$) によるト

表 2 Comparison of reported CMOS current reference circuits

	This work	Serrano [12]	Bendali [13]	Lee [14]	Sansen [15]	Pappu [16]
Process	0.35- μm , CMOS	0.5- μm , CMOS	0.18- μm , CMOS	2- μm , CMOS	3- μm , CMOS	0.18- μm , BiCMOS
Temperature range	-20 - 80 $^{\circ}\text{C}$	0 - 80 $^{\circ}\text{C}$	0 - 100 $^{\circ}\text{C}$	0 - 75 $^{\circ}\text{C}$	0 - 80 $^{\circ}\text{C}$	N.A.
V_{DD}	1.4 - 3 V	≥ 2.3 V	1 V	N.A.	≥ 3.5 V	N.A.
$\overline{I_{REF}}$	16.2 μA	16 - 50 μA	144 μA	0.287 μA	0.774 μA	200 μA
Process sensitivity(σ/μ)	4.4 % (M.C. Sim.)	N.A.	N.A.	N.A.	2.5 % (90 samples)	4 % (40 samples)
TC	87 ppm/ $^{\circ}\text{C}$	116 ppm/ $^{\circ}\text{C}$	185 ppm/ $^{\circ}\text{C}$	226 ppm/ $^{\circ}\text{C}$	375 ppm/ $^{\circ}\text{C}$	N.A.
Load sensitivity	1.5%/V	$\leq 1\%$ /V	N.A.	N.A.	0.04%/V	N.A.

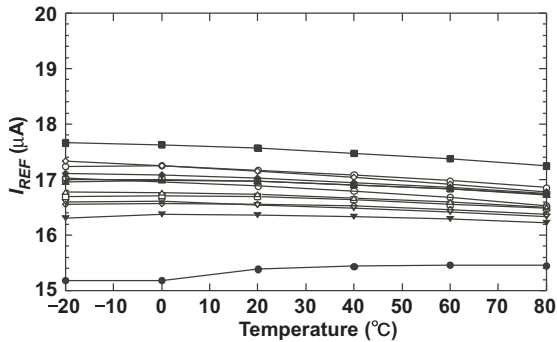


図 12 異なる 13 チップによる参照電流 I_{REF} の温度依存性.

ランジスタのドレイン電流もプロットしている。固定ゲートバイアスによる出力電流は、しきい値電圧に依存して変動しているのに対し、提案回路の出力電流はしきい値電圧バラツキに依存しないことがわかる。これは、電流生成トランジスタのしきい値電圧バラツキを電圧源からのゲートバイアスで打ち消すことができるためである。したがって、出力電圧 I_{REF} は、式 (14) に示すように、しきい値電圧に依存しない電流であることが確認できる。図 11(B) に平均参照電流 $\overline{I_{REF}}$ のヒストグラムを示す。参照電流の平均値は 18 μA である、提案回路を用いることで、電流バラツキ (σ/μ) を、固定バイアスの場合と比較して、約 85% 改善できることを確認した。

4.4 測定結果

0.35- μm CMOS プロセスにより参照電流源回路の試作を行った。非反転増幅回路の抵抗比 (R_1/R_2) は 0.16 である。

参照電流のプロセスバラツキと温度特性を評価するために、異なる 13 チップの電流源回路の測定を行った。図 12 に、温度を変動させたときの参照電流 I_{REF} の測定結果を示す。全ての出力電流の温度依存性は小さく、温度係数 TC は、87 ppm/ $^{\circ}\text{C}$ - 320 ppm/ $^{\circ}\text{C}$ である。また、負荷電圧を変動させたときの出力電流の変動は 1.5%/V であった。今回の測定サンプルにおける出力電流 I_{REF} の絶対値バラツキは 2.5 μA であり、出力電流は 15 μA - 20 μA の電流値におさまっている。これは、図 11(A) のシミュレーション結果と一致する。

表 2 に提案した電流源回路の性能諸元を示す。また、比較として報告されている電流源回路 [12] - [16] の性能も示す。提案回路の温度係数は、最も小さい値である。したがって、提案回路は高精度アナログ回路のための要素回路として使用することができる。

5. まとめ

本稿では、微少電力で動作する参照電圧源回路を提案した。この回路は抵抗素子を用いず、強反転線形領域で動作する線形 MOS 抵抗と、サブスレッショルド領域で動作する MOSFET で構成した。回路の出力は 745 mV の絶対零度におけるしきい値電圧を参照する。また、出力電圧の温度、電源電圧依存性は小さく、それぞれ 7 ppm/ $^{\circ}\text{C}$, 20 ppm/V である。回路全体の消費電力は 0.3 μW の超低消費電力を実現した。これらの結果より、この回路は、微少電力 LSI における参照電圧源回路として使用することができる。

また、回路の出力は絶対零度における MOSFET のしきい値電圧のため、オンチップで LSI 内のプロセスバラツキをモニタすることができる。この特性を利用して、プロセス・温度バラツキを補正した電流源を設計し、シミュレーションと試作チップの測定より温度・プロセスバラツキを補正できることを確認した。

文 献

- [1] K. Ueno, et, al, IEEE JSSC, pp. 798-803, 2007.
- [2] A. P. Chandrakasan, et, al., Proc. of IEEE Symposium on VLSI Circuits, pp. 2-5, 2008.
- [3] G. De Vita, et, al., IEEE JSSC, pp. 1536 - 1542, 2007.
- [4] K. N. Leung, et, al., IEEE JSSC, pp. 146 - 150, 2003.
- [5] M.-H. Cheng, et, al., Electronics Letters, vol. 41, no. 10, pp. 572 - 573, 2005.
- [6] G. Giustolisi, et, al., IEEE JSSC, pp. 151 - 154, 2003.
- [7] P.-H. Huang, et, al., IEEE Trans. Circuits Syst. II, Exp. Briefs, pp. 882 - 885, 2006.
- [8] K. Ueno, et, al., Proc. of the 34th ESSCIRC, pp. 398-401, 2008.
- [9] Y. Taur, T.H. Ning, Fundamentals of Modern VLSI Devices, Cambridge University Press, 2002.
- [10] A. Wang, B.H. Clhoun, A.P. Chandrakasan, Sub-threshold Design for Ultra Low-Power Systems, Springer, 2006.
- [11] I. M. Filanovsky, et, al., IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., pp. 876-884, 2001.
- [12] G. Serrano, et, al., IEEE JSSC, pp. 558-565, 2008.
- [13] A. Bendali, et, al., IEEE Trans. Circuits Syst. I, Reg. Papers, pp. 1424-1429, 2007.
- [14] C.-H. Lee, et, al., Electronics Letters, vol. 32, pp. 1280-1281, 1996.
- [15] W. M. Sansen, et, al., IEEE JSSC, pp. 821-824, 1998.
- [16] A. M. Pappu, et, al., IEEE JSSC, pp. 2293-2302, 2007.
- [17] T. Sakurai, et, al., IEEE JSSC, pp. 584-594, 1990.
- [18] S. M. Sze, Physics of Semiconductor Devices, 2nd ed. New York: Wiley, 1981.
- [19] K. A. Bowman, et, al., IEEE JSSC, pp. 183 - 190, 2002.
- [20] H. Onodera, IEICE Trans. Electron., pp. 342 - 348, 2006.
- [21] M. J. M. Pelgrom, et, al., IEEE JSSC pp. 1433 - 1439, 1989.