

減衰シナプスのハードウェア化とパターン認識への応用

A hardware depressing synapse and its application to contrast-invariant pattern recognition

金澤雄亮 (PY), 浅井哲也, 雨宮好仁

Yusuke Kanazawa (PY), Tetsuya Asai and Yoshihito Amemiya

北海道大学工学部電子工学科

kanazawa@sapiens-ei.eng.hokudai.ac.jp

Abstract— Analog circuits for depressing synapses are proposed for emulating the dynamic properties of neural networks using dynamic neurons. Although the circuits have few MOS transistors, they mimic well the dynamic properties of depressing synapses. A simple neural network using depressing synapses is introduced for evaluating the performance of hardware depressing synapses. We show that a device using the neural network can perform contrast-invariant pattern recognition based on a neuromorphic processing architecture.

Keywords— depressing synapse, neuro devices

1 Introduction

古典的なニューラルハードウェアでは、シナプスは単なるメモリデバイスでしかなく、これまで、通常のコンピュータと同様のメモリデバイス (DRAM, SRAM や Flash メモリをアナログ的に使ったもの等) が用いられてきた。近年のダイナミックシナプス (減衰シナプスや増強シナプス) に関する幾つかの興味深い報告は、それらに対応できる新しいシナプスデバイスの必要性を示唆している。たとえば、減衰シナプスを通してスパイク列をシナプス後ニューロンに与えることで、細胞集団の同期情報が検出可能になる [1]。また、コントラスト非依存の方位コラム形成において、減衰シナプスが重要な役割を果たすことも示されている [2]。Bugmann は、減衰シナプスを用いた簡単なモデルにより、シナプス後ニューロンの応答の大きさが活動中のシナプス前ニューロンの数のみに依存することを示した [3]。この結果を「画像 (光強度) に対するコントラスト非依存性」と解釈すると、Bugmann のモデルは自然画像の前処理を行うような視覚チップにとってかなり魅力的である。そこで、Bugmann のモデルのアナログ集積回路化を試み、生体様 VLSI の新しい応用可能性を探ることとする。本稿では、入力画像のコントラストに依存せずにパターン認識を行うアナログ集積回路を設計し、回路シミュレーションによりそのパフォーマンスを示す。また、試作した減衰シナプスの特性も併せて示す。

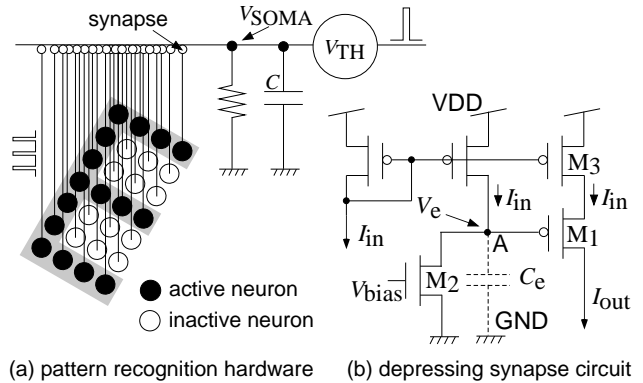


図 1: コントラスト非依存パターン認識ネットワーク

2 減衰シナプスのアナログ CMOS 回路化

減衰シナプスを用いたネットワークの例として、パターン認識を行う簡単なネットワークを紹介する [3]。図 1(a) のようなネットワークを考える。スパイクを出力する多数のニューロンが、シナプスを介して後段のニューロンに接続している。活動ニューロンは一定周期でスパイクを出力し、非活動ニューロンは何も出力しない。後段のニューロンは $V_{SOMA} > V_{TH}$ となる場合にスパイクを出力し、その直後に V_{SOMA} をリセットする。以下、入力スパイクのパルス振幅, パルス幅, および V_{SOMA} のリークが一定の場合のみを考える。電圧 V_{SOMA} は、シナプス後ニューロンへの入力スパイク数に比例して増加する。そのため、全てのシナプス前の活動ニューロンが同じ頻度で発火している場合、 V_{SOMA} は活動ニューロンの数に比例して増加する。活動ニューロン数に対応したしきい値 V_{TH} を設定することで、ネットワークはシナプス前の活動ニューロンの数を識別することができる。シナプス前ニューロンの発火頻度が一定でない場合、 V_{SOMA} はニューロンの発火頻度にも比例して増加し、図 1(a) に示したネットワークの識別能力は大きく低下するが、結合に減衰シナプスを用いると、発火頻度に依存せず正しい識別ができる [3]。

図 1(b) に提案する減衰シナプス回路を示す。この回路は、入力スパイク電流 (I_{in}) の間隔に応じて出力スパイクの効率 (ここではスパイク 1 本が持つ電荷量) が

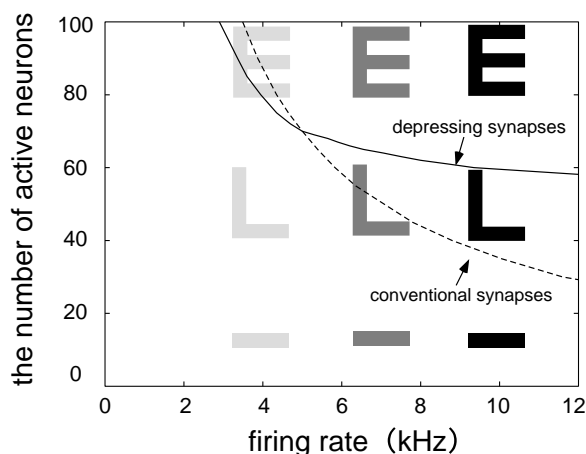


図 2: パターン認識結果 (シナプス数=100)

変化するように設計したものである。シナプス回路に
入力電流を与えると ($I_{in} > 0$)、 V_e は増加し M_1 は off
状態になる。しかし、節点 A の寄生容量 C_e により、 V_e
の増加はわずかな時間遅れを伴う。それによって、トラ
ンジスタ M_1 はわずかな時間だけ on 状態になり、回路
はスパイク電流 I_{out} を出力する。出力 I_{out} の振幅は V_e
の大きさにより決まる。入力がなくなるとトランジスタ
 M_2 がキャパシタ C_e を放電し、 V_e がゼロに戻る。入力
の間隔が短い場合は、キャパシタ C_e が完全に放電され
る前に次のスパイクが入力されるため、電圧 V_e が高くな
り、出力 I_{out} の振幅は減少する。

このシナプス回路を図 1(a) のネットワークに適用し
た場合、ニューロンの発火頻度が増加するとシナプス後
ニューロンへの入力数は増えるが、スパイク 1 本当たり
の効率 (ここでは図 1(a) の C に流れ込む電荷の量) は
減少する。したがって、入力の強度 (発火頻度) が変化
しても V_{SOMA} は大きく変化しない。

3 評価

図 1(a) のネットワーク (シナプス数 100) について回
路シミュレーションを行った。シナプス前の活動ニュー
ロンが “E” (活動ニューロンが 90 個)、“L” (50 個) 、
“-” (10 個) のようなパターンを形成するとした。入力
として、パルス振幅 1 nA、パルス幅 10 μ s のパルスを与
えた。シナプス後のニューロンの時定数を 2 ms とした。
減衰シナプスを用いた場合と用いない場合それぞれに
ついて実験を行った。しきい値として、発火頻度 5 kHz
時の、活動ニューロン数 70 個の場合 (“E” と “L” の中
間) の V_{SOMA} を設定した。シミュレーション結果を図
2 に示す。活動ニューロン数に対し、初めて V_{SOMA} が
しきい値に達したときの発火頻度をプロットした。最も
黒に近い画像は 10 kHz でそれぞれの活動ニューロンが
発火、最も白に近い画像は 7 kHz、二つの中間色の画像
は 4 kHz とした。減衰シナプスを用いない場合、“E”、

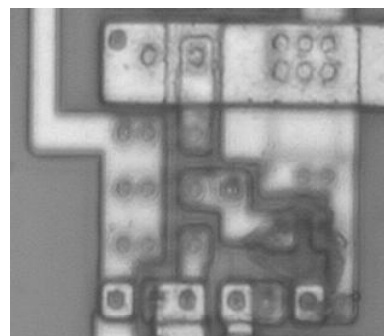


図 3: 試作した減衰シナプス (1.5- μ m CMOS プロセス)

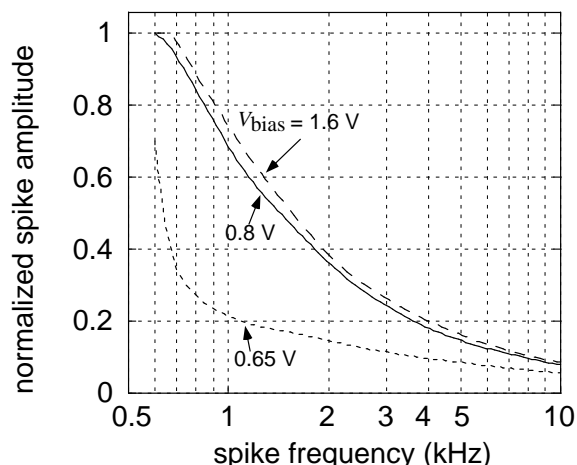


図 4: 減衰シナプスステップの測定結果

“L”に関して、シナプス前ニューロンの発火頻度が変化
すると、正しい識別を行なうことができなかった。減衰
シナプスを用いた場合は、全てのパターンにおいて正しい
識別が行えることを確認した。シミュレーション結果
から、減衰シナプス回路を用いることでネットワークが
広範囲の入力の強度において、正しく動作するようにな
ることを確認できた。

提案した減衰シナプス回路の試作を行った (MOSIS
AMIS 1.5- μ m CMOS プロセス)。図 3 に試作回路の拡
大写真を示す (回路面積: 36 \times 35 μ m²)。試作回路の
入力スパイクの発火頻度に対する出力スパイク振幅の
変化を図 4 に示す。シミュレーションから予測された通
り、発火頻度の増加に伴って出力振幅が減衰すること
を確認した。また、 V_{bias} により減衰率を制御できるこ
とも確認できた。

参考文献

- [1] W. Senn, I. Segev, and M. Tsodyks: Neural Computation **10** (1998) 815.
- [2] A. Kayser, J.N. Priebe, and D.K. Miller: J. Neurophys. **85** (2001) 2130.
- [3] G. Bugmann: Biosys. **67** (2002) 17.