

# 反応拡散セルオートマトン LSI の設計と 計算幾何学への応用 —ボロノイ図と細線化—

松原 裕<sup>†</sup> 金澤 雄亮<sup>†</sup> 浅井 哲也<sup>†</sup> 雨宮 好仁<sup>†</sup>

<sup>†</sup> 北海道大学工学部 電子工学科

〒 060-8628 札幌市北区北 13 条西 8 丁目

E-mail: †{matubara,kanazawa,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

あらまし Belousov-Zhabotinsky (BZ) 反応の簡易セルオートマトンモデルを実装する LSI のアーキテクチャを提案する。本報告では、1) 各セルが休止・興奮・不応の 3 状態をとる多値セルオートマトンモデル、および 2) 各セルが休止・興奮・不応・沈殿の 4 状態をとるモデル、をそれぞれ実装するデジタル反応拡散チップ、を提案する。1) については、チップ上で BZ 反応と同等の密度波の伝搬・消滅が起こることを回路シミュレーションにより示す。2) については、シミュレーションによりモデルとチップの動作比較を行った後、その具体的応用として、ボロノイ図の近似構成と細線化処理を行う。

キーワード 反応拡散系, Belousov-Zhabotinsky 反応, 反応拡散チップ, セルオートマトン, ボロノイ図

## Silicon Implementation of Reaction-Diffusion Cellular Automata for Computational Geometry –Voronoi Diagram and Skeletonization–

Hiroshi MATSUBARA<sup>†</sup>, Yusuke KANAZAWA<sup>†</sup>, Tetsuya ASAI<sup>†</sup>, and Yoshihito AMEMIYA<sup>†</sup>

<sup>†</sup> Department of Electrical Engineering, Hokkaido University

Kita 13, Nishi 8, Kita-ku, Sapporo, 060-8628, Japan

E-mail: †{matubara,kanazawa,asai,amemiya}@sapiens-ei.eng.hokudai.ac.jp

**Abstract** We propose novel reaction-diffusion (RD) chips that emulate the Belousov-Zhabotinsky (BZ) reaction with simple cellular automata (CA). In this report, we implement two types of multiple-valued CA models for the BZ reaction in which each cell takes 1) three states; i.e., resting, excitation, and refraction, and 2) four states; i.e., resting, excitation, refraction, and precipitation, according to the states of its neighboring cells. By using SPICE, we confirmed that spatiotemporal properties of the RD chip were equivalent to that of these CA models. Applications of the RD chips to computational geometry; i.e., Voronoi diagram and skeletonization, were also proposed and evaluated by SPICE.

**Key words** reaction diffusion system, Belousov-Zhabotinsky reaction, reaction-diffusion chip, cellular automaton, Voronoi diagram

### 1. はじめに

近年の半導体集積技術の飛躍的な進歩により、いまや LSI は汎用計算機の代名詞となり、その名に相応しい数々の功績を残してきた。その一方で、いわゆる通常のノイマン型計算機とは全く異なる仕組みを持つ「新概念コンピューティング」に関する研究も進んできている。例えば近年、自然現象や生物機能に関わる化学反応系（反応拡散系）を模倣した情報処理方式が注目を集めており、Belousov-Zhabotinsky (BZ) 反応 [1], [2] を用いた画像処理 [3], 最適経路探索 [4], [5], 化学ダイオードに基づ

く論理演算と順序回路 [6], [7], ロボットの運動制御方式 [8], などの斬新なアイデアが提案されている。これらの情報処理方式（反応拡散コンピューティングと呼ばれる）は、化学媒体を伝搬する密度波の伝搬特性を利用したものであり、その演算は本質的に並列、故に高速である。ところが現状では、密度波の伝搬速度（＝演算速度）の制限やポータビリティ等の問題により、既存のマイクロプロセッサに匹敵するような有用性を発揮することができず、残念ながら実用化には至っていない。筆者らはこの問題を打開するために、化学波の伝搬を高速にエミュレートし、かつポータビリティのある基本デバイス「反応拡散チッ

プ」を提唱し、反応拡散コンピューティングの実応用の可能性を探ってきた [9] ~ [13]。

反応拡散チップは、チップ自体が化学反応と拡散の媒体を直接模擬するような構成を持つ。あたかも物質の密度波が化学媒体上を伝搬するように、電位の波がチップ表面を伝搬する。現状では、アナログおよびデジタル（またはアナログ・デジタル混載）反応拡散チップが試作段階にある。アナログ反応拡散チップは、化学反応ダイナミクスを模するアナログ回路（セル）を格子状に敷き詰め、それらの間を拡散デバイス（抵抗体）で相互結合したものである [11]。回路の工夫次第で、セルを高密度に集積することが可能であるが、反応の非線形性や時間軸の制御に難がある。デジタル反応拡散チップは、多値セルオートマトンを集積回路化したものである [10]。セルの高密度集積は望めないが制御性は良く、実アプリケーションの面で優れている。

本稿では、BZ 反応を利用した反応拡散コンピューティングに特化した簡易セルオートマトンモデル [14], [15] を採用し、セル回路の簡略化（集積度の向上）、および実アプリケーション（ボロノイ図と細線化）の試みを行う。このセルオートマトンモデルは、BZ 反応を忠実に模するものではなく、あくまでも質的な振る舞いのみを模するものであるが、先に述べたような反応拡散コンピューティングには十分適用可能である。また、このセルオートマトンを実際に集積回路化するための準備として、標準的な CMOS プロセスを想定してセル回路を設計する。また、セル回路をさらに小型化して集積度を上げるために、セルの一部（周辺セルの状態を検出する部分）にアナログ回路を導入する。以上から、1チップに搭載可能なセル数を見積もり、回路シミュレーションによりそのパフォーマンスを評価する。

## 2. BZ 反応を模する簡易セルオートマトンモデル

BZ 反応系は、化学反応と分子拡散が混在した系である。この反応は周期的な酸化還元反応であり、その 1 周期は興奮（酸化が活発に起こっている状態）・不応（還元が活発に起こっている状態）・休止（酸化・還元どちらも起こっていない状態）の三つの状態で構成される [16]。この 3 状態の遷移を模擬した 2 次元セルオートマトンモデルとして、Excitable Lattice が提案されている [14]。また BZ 反応を利用した画像処理の一例として、計算幾何学の代表的な問題であるボロノイ図の構成と、細線化処理を行うセルオートマトンモデルも提案されている [15]。このモデルは、Excitable Lattice の 3 状態にもう 1 状態追加した 4 状態のモデルである。これらの二つのセルオートマトンモデルについて以下に説明する。

### 2.1 Excitable Lattice

Excitable Lattice は、セルを格子状に 2 次元配置したセルオートマトンである。各セルは周囲 8 個の隣接セルと結合している。また各セルは興奮（EXC）・不応（REF）・休止（RES）の 3 状態をとる。図 1(a) に Excitable Lattice の状態遷移図を示す。セルが興奮のとき、次のステップから興奮-不応-休止の順に状態遷移する。セルが休止で、隣接セルのうち 1 個以上が興奮状態にあるときは次のステップで休止-興奮と遷移する。す

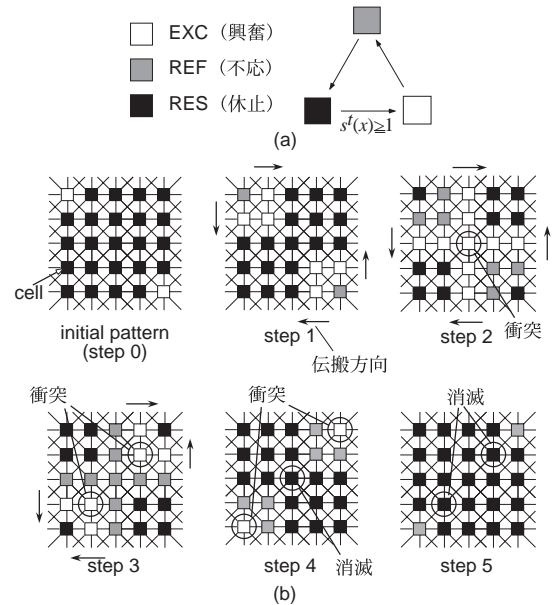


図 1 Excitable Lattice の状態遷移と 2 次元配置したときの挙動

なわち、各セルは時間ステップごとに

$$x^{t+1} = \begin{cases} \text{EXC}, & (x^t = \text{RES}) \wedge (s^t(x) \geq 1) \\ \text{REF}, & (x^t = \text{EXC}) \\ \text{RES}, & (x^t = \text{RES}) \wedge (s^t(x) = 0) \vee (x^t = \text{REF}) \end{cases} \quad (1)$$

のように状態遷移する。ここで、 $x^t$  は時刻  $t$  におけるセルの状態、 $s^t(x)$  は時刻  $t$  における興奮している隣接セルの数を表す。

このセルを 2 次元に配置した系において、BZ 反応に特徴的な進行波の伝搬・消滅が起こる。図 1(b) にこの 2 次元系の挙動を示す。初期状態 (step 0) では左上端と右下端のセルが興奮、それ以外のセルが休止である。step 1 で、興奮セルの隣接セルは休止-興奮と遷移する。また、興奮セルは、興奮-不応と遷移する。それ以外のセルは、休止を保つ。step 2 でも同様に、興奮セルに隣接する休止セルは休止-興奮、興奮セルは興奮-不応と遷移する。また、不応のセルは不応-休止と遷移する。それ以外のセルは、休止を保つ。このように、興奮状態は一方向に伝搬する進行波となる。また、step 2 で進行波が衝突する。衝突箇所のセルに注目すると、波の進行方向にある隣接セルはすべて不応もしくは興奮である。そのため、step 3 において衝突箇所から波は進行せず、衝突箇所のセルは興奮-不応と遷移する。このセルは step 4 で不応-休止と遷移し、結果進行波は消滅する。すべての衝突箇所について同様のことが言える。したがって、系全体において進行波は衝突箇所でも消滅する。

### 2.2 VD Model

ボロノイ図の構成と細線化処理を行うセルオートマトンモデルについて以下の順に説明する。まずはじめにボロノイ図について説明し、この図が BZ 反応を利用して構成可能であることを示す。次にこのボロノイ図構成処理を行うセルオートマトンモデルについて説明する。本稿ではこのモデルを Voronoi Diagram Model (VD Model) と呼ぶ。さらに、この VD Model を用いて細線化処理ができることを示す。

ボロノイ図は、2 点間の距離をもとに平面を分割する図形で

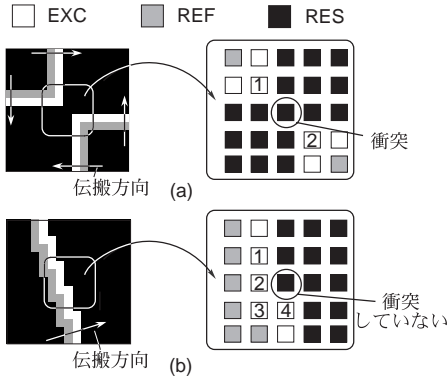


図 2 隣接セルの状態と波の衝突の関係

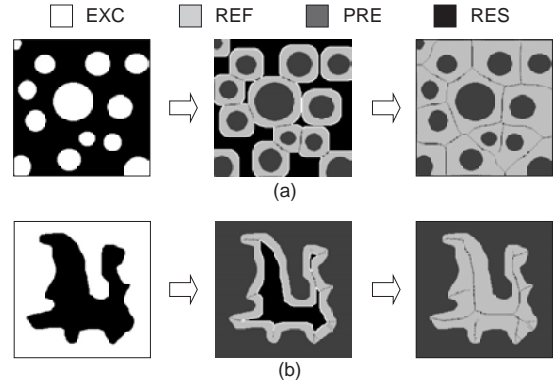


図 3 VD Model によるポロノイ図の構成と細線化処理

ある。平面上にいくつかの点  $g_i (i = 1, \dots, N)$  が与えられたとき、

$$V(g_i) = \{p | d(p, g_i) < d(p, g_j), \quad j = 1, \dots, N, i \neq j\} \quad (2)$$

を満たすような点  $p$  の集合  $V(g_i)$  をポロノイ領域といい、 $V(g_i)$  によって領域分割された図をポロノイ図という。また  $g_i$  を  $V(g_i)$  の母点という。 $d(p, g)$  は 2 点  $(p, g)$  間の距離を表す。ポロノイ領域  $V(g_i)$  は、他のどの母点より  $g_i$  に近い点全体の表す領域である。隣接するポロノイ領域の境界線（ポロノイ辺という）は、母点間の垂直二等分線の一部で構成される。

BZ 反応の進行波の伝搬・衝突を利用することにより、ポロノイ図を構成できる。BZ 反応の進行波は平面上を等速で均一に伝搬する。そのため、ある 2 点を起点とする進行波はその 2 点からの距離が等しい点（垂直二等分線上の点）で衝突する。つまり、進行波の起点を母点に一致させると、進行波の衝突箇所はポロノイ辺に一致する。衝突箇所に痕跡を残し、かつその状態で系が静止した場合、この痕跡をポロノイ辺として利用できる。

セルオートマトンモデルによりこの処理を行う場合、上述のように痕跡を残した状態で系が静止すればよい。この痕跡が残る状態を Excitable Lattice に加えたモデルが VD Model である。このモデルは各セルが興奮 (EXC)・不応 (REF)・休止 (RES)・沈殿 (PRE) の 4 状態をとる。ここで沈殿は、衝突の痕跡が残る状態を表す。波の衝突が起こる箇所に隣接する興奮セルの数は、最小が 2 である [図 2(a)]。また波の衝突が起こっていない箇所に隣接する興奮セルの数は、最大が 4 である。[図 2(b)]。そこで VD Model では、隣接する興奮セルの数が 5 以上の場合衝突が起こると定義する。また、この衝突の痕跡を残した状態で系を静止させるため、不応状態にあるセルがその状態を保つように遷移則を変更する。VD Model の各セルの状態遷移は以下の式

$$x^{t+1} = \begin{cases} \text{EXC}, & (x^t = \text{RES}) \wedge (1 \leq s^t(x) \leq 4) \\ \text{REF}, & (x^t = \text{EXC}) \wedge (s^t(x) \leq 4) \vee (x^t = \text{REF}) \\ \text{RES}, & (x^t = \text{RES}) \wedge (s^t(x) = 0) \\ \text{PRE}, & \{(x^t = \text{RES}) \vee (x^t = \text{EXC})\} \\ & \wedge (s^t(x) \geq 5) \vee (x^t = \text{PRE}) \end{cases} \quad (3)$$

に従う。VD Model を用いたポロノイ図構成処理の例を図 3(a)

に示す。本稿で採用した CMOS 回路向けの簡易モデルでは、 $2 \leq s^t(x) \leq 4$  のときの衝突が考慮されていないため、衝突箇所を完全には表現できない。そのため結果として得られるポロノイ図は近似的なものになる。

この VD Model を用いて細線化処理を行うことができる。細線化処理とは図形の中心線を抽出する処理のことである。中心線は、図形の輪郭線からの距離が等しい点の集合である。VD Model でこの処理を行う場合、図形の輪郭線を起点として進行波を発生させる。すると進行波の衝突箇所は図形の中心線に一致するため、中心線上に沈殿が現れる。VD Model を用いた細線化処理の例を図 3(b) に示す。

### 3. 反応拡散セルオートマトン LSI の設計

前章で説明した二つの簡易セルオートマトンモデルのセルを回路化する。また、そのセルを 2 次元配置した反応拡散セルオートマトンチップを設計する。

#### 3.1 Excitable Lattice の回路化

はじめに、Excitable Lattice のセルを回路化する。セルをデジタル論理回路により構成するため、セルの状態と遷移則をすべて 2 進表記にする。このモデルは各セルの状態が 3 種類（興奮・不応・休止）であるので、この 3 状態を 2 bit の値  $(q_1, q_2)$  で表すことができる。表 1(a) にセルの状態と  $(q_1, q_2)$  の対応関係を示す。興奮は  $[(q_1, q_2) = ("1", "0")]$ 、不応は  $[(q_1, q_2) = ("0", "1")]$ 、休止は  $[(q_1, q_2) = ("0", "0")]$  にそれぞれ対応する。この 2bit の値  $(q_1, q_2)$  を保持するものとして 2 個の D-FF を用いる。

各セルは式 (1) に従って状態遷移をする。この状態遷移を 2 進数で表す。表 1(b) に状態遷移表を示す。 $(q_1, q_2)$  はセルの現在の状態、 $(d_1, d_2)$  は遷移後のセルの状態（ともに 2 bit）を表す。 $s_1$  は、隣接セルが 1 個以上興奮しているとき “1” となる値である。ここで  $x$  は、値が “0” と “1” どちらでもよいことを表す。表の一行目  $[s_1 = "1", (q_1, q_2) = ("0", "0"), (d_1, d_2) = ("1", "0")]$  は休止-興奮と遷移する場合を表し、式 (1) の第一式に対応する。同様に、二行目（興奮-不応）は第二式、三行目（不応-休止）と四行目（休止-休止）は第三式に対応する。

表 1(b) から以下の論理式

$$\begin{aligned} d_1 &= s_1 \bar{q}_1 \bar{q}_2 \\ d_2 &= q_1 \bar{q}_2 \end{aligned} \quad (4)$$

$q_1$	$q_2$	状態
1	0	EXC
0	1	REF
0	0	RES

(a) セルの状態

$s_1$	$q_1$	$q_2$	$d_1$	$d_2$
1	0	0	1	0
x	1	0	0	1
x	0	1	0	0
0	0	0	0	0

(b) 状態遷移表

表 1 Excitable Lattice の状態遷移表

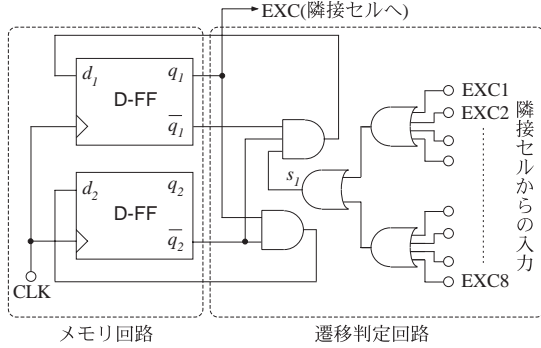


図 4 Excitable Lattice の単位セル回路

を得る。この式をもとに、次のステップにおけるセルの状態を決める遷移判定回路を構成する。また、隣接セルの興奮状態 (EXC1~8) を入力として  $s_1$  を出力する回路を 8 入力の論理和で構成する。

以上から、セル回路を 2 個の D-FF と遷移判定回路で構成する。回路構成を図 4 に示す。遷移判定回路はセルの D-FF の出力 ( $q_1, q_2$ ) と  $s_1$  を入力とし、式 (4) に従う ( $d_1, d_2$ ) を出力する。D-FF は CLK ごとにこの ( $d_1, d_2$ ) を取り込み、現在の状態 ( $q_1, q_2$ ) を ( $d_1, d_2$ ) に更新する。

### 3.2 VD Model の回路化

次に、VD Model のセルを回路化する。先程と同様に、セルの状態を 2 進表記にする。セルの 4 状態 (興奮・不応・休止・沈殿) を 2 bit の値 ( $q_1, q_2$ ) で表す。表 2(a) にセルの状態と ( $q_1, q_2$ ) の対応関係を示す。興奮は  $[(q_1, q_2) = ("1", "1")]$ 、沈殿は  $[(q_1, q_2) = ("1", "0")]$ 、不応は  $[(q_1, q_2) = ("0", "1")]$ 、休止は  $[(q_1, q_2) = ("0", "0")]$  にそれぞれ対応する。( $q_1, q_2$ ) を保持するものとして 2 個の D-FF を用いる。

各セルは式 (3) に従い状態遷移をする。表 2(b) に、式 (3) を 2 進数で表した状態遷移表を示す。 $s_5$  は、隣接セルが 5 個以上興奮しているとき "1" となる値である。それ以外の記号は表 1(b) の記号と同じである。表 2(b) の一行目 (休止-興奮) は式 (3) の第一式に対応する。二行目 (興奮-不応) は第二式 ( $x^t = \text{REF}$  の場合を除く)、三行目 (興奮-沈殿) と四行目 (休止-沈殿) は第四式 ( $x^t = \text{PRE}$  の場合を除く) に対応する。表 2(b) に示す以外の場合、すなわち式 (3) の第三式、第二式の  $x^t = \text{REF}$ 、第四式の  $x^t = \text{PRE}$  の場合は、状態遷移は起こらない (次のステップにおいて現在の状態を保つ)。

表 1(b) から以下の論理式

$$\begin{aligned} d_1 &= s_5 q_1 q_2 + s_5 \bar{q}_1 \bar{q}_2 + s_1 \bar{s}_5 \bar{q}_1 \bar{q}_2 \\ d_2 &= s_1 \bar{s}_5 \bar{q}_1 \bar{q}_2 + \bar{s}_5 q_1 q_2 \end{aligned} \quad (5)$$

を得る。この式をもとに、次のステップにおけるセルの状態

$q_1$	$q_2$	状態
1	1	EXC
1	0	PRE
0	1	REF
0	0	RES

(a) セルの状態

$s_1$	$s_5$	$q_1$	$q_2$	$d_1$	$d_2$
1	0	0	0	1	1
x	0	1	1	0	1
x	1	0	0	1	0
x	1	1	1	1	0

(b) 状態遷移表

表 2 VD Model の状態遷移表

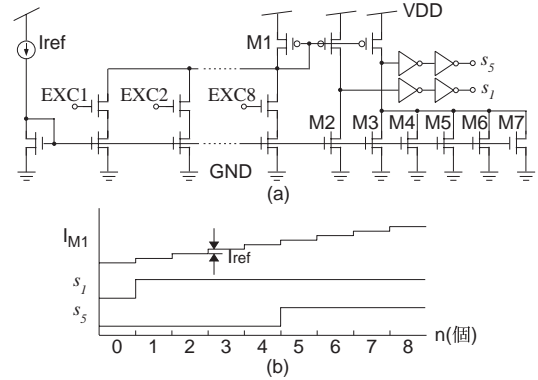


図 5 電流モードアナログコンパレータ

を決める遷移判定回路を構成する。また表 2(b) より、状態遷移が起こるときは ( $d_1 + d_2$ ) = "1" を満たす。したがって、( $d_1 + d_2$ ) = "0" のとき D-FF の CLK 信号を止めて状態遷移が起こらないようにすればよい。すなわち、( $d_1 + d_2$ ) と CLK 信号の論理積をとる回路 (CLK 制御回路) を構成し、その出力を D-FF の CLK 入力に与える。

隣接セルの興奮状態を入力として  $s_n$  を出力する回路をデジタル論理で構成する場合、 $n = 1$  のときは 8 入力の論理和のみで実現できるため回路面積は大きくならない。しかし  $n = 5$  のときは、8 入力のうち任意の 5 個を入力とする論理積をすべての組み合わせについて構成しなければならず、膨大な面積を要する。このような、任意の  $n$  個以上の入力に "1" が与えられたとき "1" を出力する回路 (しきい値回路と呼ばれる) をできるだけ小さい面積で構成するにはアナログ回路が有効である。図 5(a) に、カレントミラーによるアナログコンパレータの回路構成を示す。この回路はカレントミラーを用いた D/A コンバータと電流コンパレータから構成される。回路の動作を図 5(b) に示す。隣接セルが  $n$  個興奮しているとき、pMOS FET M1 に D/A コンバータの出力電流  $n \times I_{\text{ref}}$  が流れる。その電流  $I_{M1}$  と、nMOS FET M2 の電流  $I_{M2}$  が比較され、 $I_{M2} > I_{M1}$  の場合は  $s_1 = "0"$ 、 $I_{M2} < I_{M1}$  の場合は  $s_1 = "1"$  を出力する。また、 $I_{M1}$  と nMOS FET M3~M7 の電流の和が比較され、 $I_{M3} + I_{M4} + I_{M5} + I_{M6} + I_{M7} > I_{M1}$  の場合は  $s_5 = "0"$ 、 $I_{M3} + I_{M4} + I_{M5} + I_{M6} + I_{M7} < I_{M1}$  の場合は  $s_5 = "1"$  を出力する。ここで、すべての nMOS FET が同寸法の場合、 $n = 1$  のとき  $I_{M2} = I_{M1}$  となり、 $s_1$  の値が不安定になる。また  $n = 5$  のとき  $I_{M3} + I_{M4} + I_{M5} + I_{M6} + I_{M7} = I_{M1}$  となり、 $s_5$  の値が不安定になる。そのため、M2 と M7 のチャネル長を他の nMOS FET の 2 倍にして電流を  $I_{\text{ref}}$  の半分にする。これにより、pMOS FET 側と nMOS FET 側の電流値が等しくなることはなく、安定し

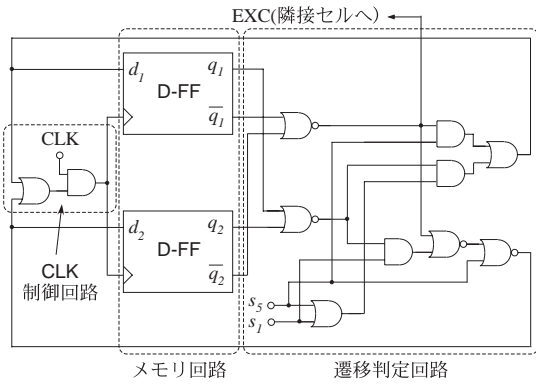


図 6 VD Model の単位セル回路

た動作が得られる。

以上から、セル回路を 2 個の D-FF、遷移判定回路、CLK 制御回路、アナログコンパレータで構成する。回路構成を図 6 に示す。遷移判定回路は、面積を小さくするために式 (5) を部分的に否定論理に書き換えて構成した。 $(d_1 + d_2) = "1"$  のとき、CLK 制御回路は D-FF に CLK 信号を与える。このとき D-FF は式 (5) に従う  $(d_1, d_2)$  を取り込み、 $(q_1, q_2)$  を  $(d_1, d_2)$  に更新する。

### 3.3 チップレイアウト

セル回路のレイアウトパターンを図 7 と図 8 に示す。セルのサイズは、Excitable Lattice が  $261\lambda \times 299\lambda$ 、VD Model が  $297\lambda \times 338\lambda$  である。ここで  $\lambda$  は、Scalable CMOS の最小線幅を表す。Excitable Lattice は、たとえば MOSIS AMIS 1.5  $\mu\text{m}$  CMOS プロセスの  $4.6 \times 4.7 \text{ mm}$  のチップに  $16 \times 16$  個のセルを搭載できる。VD Model では、MOSIS AMIS 0.5  $\mu\text{m}$  CMOS プロセスの  $3.3 \times 3.3 \text{ mm}$  のチップに  $16 \times 16$  個のセルを搭載できる。

## 4. シミュレーション結果

### 4.1 Excitable Lattice

セル数  $16 \times 16$  の Excitable Lattice の動作を、シミュレーションにより確認する。ここでは MOSIS AMIS 1.5  $\mu\text{m}$  CMOS パラメータを使用した。以下のシミュレーションではすべて電源電圧は 5 V、D-FF の CLK 周波数は 1 MHz とした。

シミュレーション結果を図 9 に示す。各セルの状態をグレースケールで表す (白：興奮、灰：不応、黒：休止)。

初期状態として、左上端と右下端のセルを興奮、他のセルを休止とした (図 9 の step 0)。興奮したセルの隣接セルは、次の step で休止-興奮と遷移する。ただし不応状態にある隣接セルは、次の step で不応-休止と遷移する。その結果、興奮状態は図のように進行波となって伝搬する。また、step 7 以降では波の衝突が起こり、衝突した箇所は波が消滅している。以上より、チップ上で波の伝搬・消滅が起こる様子が確認できた。

### 4.2 VD Model

セル数  $16 \times 16$  の VD Model を用いて、ポロノイ図の構成と細線化処理を行った。ここでは MOSIS AMIS 0.5  $\mu\text{m}$  CMOS パラメータを使用した。セルの状態をグレースケールで表す

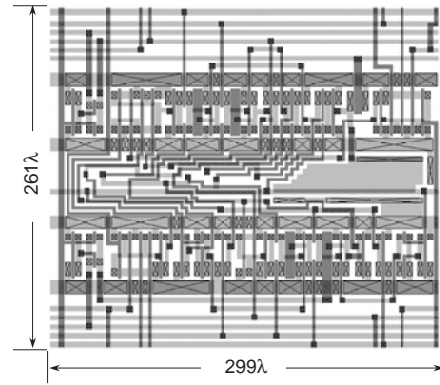


図 7 Excitable Lattices のレイアウト (MOSIS AMIS 1.5  $\mu\text{m}$  CMOS プロセスにより設計)

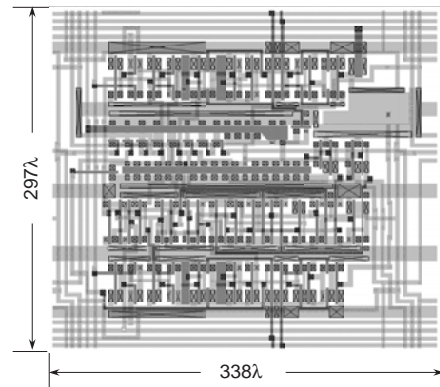


図 8 VD Model のレイアウト (MOSIS AMIS 0.5  $\mu\text{m}$  CMOS プロセスにより設計)

(白：興奮、薄灰：不応、濃灰：沈殿、黒：休止)。

ポロノイ図を構成する動作シミュレーション結果を図 10 に示す。初期パターンとして、左上と右下の  $3 \times 3$  のセルを興奮に (母点を表す)、他のセルを休止とした (図 10 の step 0)。  $3 \times 3$  のセルを興奮にしたのは、 $s_5 = "1"$  のときセルが興奮-沈殿と遷移することを利用して、母点を沈殿として残すためである。母点を始点として進行波が発生している。図 10 の step 5 以降では波の衝突が起こる。衝突した箇所のセルは沈殿となる (step 6, 8, 10)。もしくは、前に述べたように沈殿とならず、興奮-不応と遷移する (step 5, 7, 9, 11)。最終的に、母点の位置に十字型の沈殿が現れる。また、境界線が点線で描かれる (step 14)。以上より、ポロノイ図が近似的に構成できることを確認した。

細線化処理を行う動作シミュレーション結果を図 11 に示す。初期パターンを図 11 の step 0 に示す。進行波は図形の内に伝搬し、図形の中心線上で衝突する (step 3)。最終的に、背景と線幅 1 の中心線が沈殿となる。以上より、細線化処理ができることを確認した。

## 5. まとめ

本稿では、反応拡散コンピューティングを行う簡易セルオートマトンモデルを電子回路化した。はじめに、BZ 反応の簡易セルオートマトンモデルである Excitable Lattice を電子回路化し

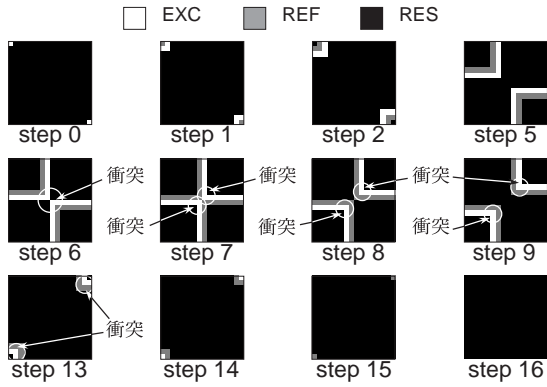


図9 Excitable Lattice のシミュレーション結果

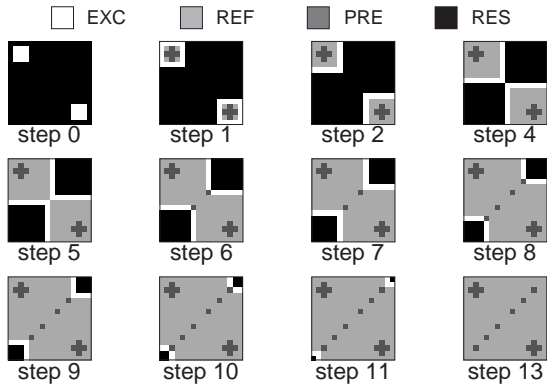


図10 VD Model のシミュレーション結果 1: ポロノイ図

た。この回路は、デジタル論理回路により Excitable Lattice のセルの状態遷移を実現した。次に、ポロノイ図の構成と画像の細線化処理を実現できる VD Model を電子回路化した。この回路は、状態遷移の一部にアナログ回路 (D/A コンバータと電流コンパレータ) を用いたアナログ・デジタル混載回路である。それぞれの回路 (Excitable Lattice, VD Model) のパターンレイアウトを示し、1 チップあたりに搭載可能なセル数を見積った。これにより Excitable Lattice は  $4.6 \times 4.7$  mm のチップに  $16 \times 16$  個、VD Model は  $3.3 \times 3.3$  mm のチップに  $16 \times 16$  個のセルを集積可能であることがわかった。さらにシミュレーションにより、それぞれの回路の動作を確認した。Excitable Lattice では、BZ 反応と類似した進行波の伝搬・衝突が起こることを確認した。VD Model では、ポロノイ図の構成と細線化処理が行えることを確認した。

簡易セルオートマトンモデルの採用により、セル回路を小面積にすることができる。これによりセルを高密度に集積したデジタル反応拡散チップが実現可能になる。このチップは反応拡散コンピューティングを実用化するデバイスとして利用できる可能性を持っている。

#### 文 献

- [1] G. Nicolis and I. Prigogine, *Self-organization in Nonequilibrium Systems — From Dissipative Structures to Order through Fluctuations*. John Wiley & Sons, Inc., 1977.
- [2] R. J. Field and M. Burger, *Oscillations and travelling waves in chemical systems*. John Wiley & Sons, Inc., 1985.
- [3] L. Kuhnert, K. I. Agladze, and V. I. Krinsky, “Image processing using light-sensitive chemical waves,” *Nature*,

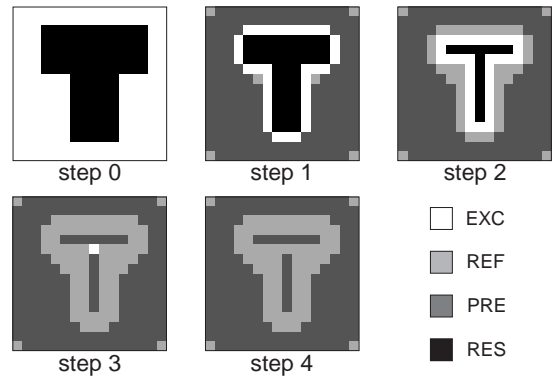


図11 VD Model のシミュレーション結果 2: 細線化

- vol. 337, pp. 244-245, 1989.
- [4] M. Hiratsuka, T. Aoki, and T. Higuchi, “Pattern formation in reaction-diffusion enzyme transistor circuits,” *IE-ICE Trans. Fundamentals*, vol. E82-A, no. 9, pp. 1809-1817, 1999.
- [5] O. Steinbock, Á. Tóth, and K. Showalter, “Navigating complex labyrinths: Optimal paths from chemical waves,” *Science*, vol. 267, pp. 868-871, 1995.
- [6] I.N. Motoike and K. Yoshikawa, “Information operations with an excitable field,” *Phys. Rev. E*, vol. 59, pp. 5354-5360, 1999.
- [7] I.N. Motoike and K. Yoshikawa, “Information operations with multiple pulses on an excitable field,” *Chaos, Solitons & Fractals*, vol. 17, pp. 455-461, 2003.
- [8] A. Adamatzky, B. Costello, C. Melhuish, and N. Ratcliffe, “Experimental reaction-diffusion chemical processors for robot path planning,” *J. Intelligent & Robotic Systems*, vol. 37, no. 3, pp. 233-249, 2003.
- [9] 浅井 哲也, “反応拡散チップの開発～反応拡散系をシリコン LSI の上に実現する～,” *電気学会誌*, vol. 121, no. 4, pp. 253-257, 2001.
- [10] T. Asai, Y. Nishimiya, and Y. Amemiya, “A CMOS reaction-diffusion circuit based on cellular-automaton processing emulating the Belousov-Zhabotinsky reaction,” *IE-ICE Trans. Fundamentals*, vol. E85-A, no. 6, pp. 2093-2096, 2002.
- [11] 浅井 哲也, “反応拡散系を模したアナログ集積デバイスとその応用,” *応用物理*, vol. 72, no. 10, pp. 1286-1290, 2003.
- [12] 雨宮 好仁, “生命ダイナミクスと次世代集積デバイス,” *日本神経回路学会誌*, vol. 10, no. 2, pp. 77-83, 2003.
- [13] T. Asai, A. Adamatzky, and Y. Amemiya, “Towards reaction-diffusion computing devices based on minority-carrier transport in semiconductors,” *Chaos, Solitons & Fractals*, vol. 20, no. 4, pp. 863-876, 2004.
- [14] A. Adamatzky and C. Melhuish, “Photoaxis of mobile excitable lattice,” *Chaos, Solitons & Fractals*, vol. 13, pp. 171-184, 2002.
- [15] B. Costello, A. Adamatzky, N. Ratcliffe, A.L. Zanin, A.W. Liehr, and H.-G. Purwins, “The formation of Voronoi Diagrams in chemical and physical systems: Experimental findings and theoretical models,” *Int. J. Bifurcations and Chaos*, 2004, in press.
- [16] 三池, 他, “非平衡系の化学 III: 反応・拡散系のダイナミクス” 講談社, 1997.