

負帰還リセットによる CMOS イメージセンサのバラツキ補償

On-Chip Fixed-Pattern-Noise Canceling by Negative-Feedback Reset for CMOS Image Sensors

加賀谷 亮[†], 池辺 将之[†], 浅井 哲也[†], 雨宮 好仁[†]Ryo Kagaya[†], Masayuki Ikebe[†], Tetsuya Asai[†] and Yoshihito Amemiya[†]

Abstract We propose a new method for canceling the fixed-pattern noise in CMOS image sensors caused by the threshold mismatch of MOSFETs in pixel circuits. This method uses non-destructive intermediate readout circuitry. We designed a CMOS image sensor in which the canceling circuit was implemented in each column of the pixel-sensor array using a $0.25\mu\text{m}$ CMOS process. Results from simulations and actual measurements taken revealed that our method would be effective in canceling fixed-pattern-noise in CMOS image sensors caused by the threshold mismatch.

キーワード: CMOS イメージセンサ, 固定パターンノイズ, 負帰還リセット, バラツキ補償, 非破壊中間読出し

1. ま え が き

近年, 社会の情報化にともなって広帯域通信の分野が急速に発展している. 比較的大きなデータ量を簡単に扱うことが可能となり, 画像情報が頻繁にやりとりされるようになった. 画像情報の取得機器としてはデジタルカメラが大きな地位を占め, 現在ほとんどの携帯電話にその機能が搭載されている. デジタルカメラの心臓部は, CCD または CMOS イメージセンサであり, 携帯・監視モニタ・車載用機器など各種の用途に向けた開発が進んでいる. 特に CMOS イメージセンサは, 周辺 CMOS 回路を同時に集積することが容易であり, 同一チップ上に様々な画像処理機能を盛り込むことができ都合が良い. ただし, CCD と比べて素子バラツキによる固定パターンノイズや熱雑音が大きいので, その改善が課題となっている. そのため, 製造プロセスの改善や CDS (Correlated Double Sampling: 関連 2 重サンプリング) などのノイズ除去法が提案され, CCD と比較して遜色のないレベルに近づいてきた. しかし, CDS 法では, 信号出力とリセット出力の差分を取ることで, 効果的にノイズ除去ができる反面, 基本的に破壊読出しとなる. そのため, 蓄積途中の中間画像情報を利用することは難しい. この中間画像情報を取得することができれば, 蓄積中の輝度変化を読取ることが可能となり, 様々な応用¹⁾⁻³⁾への展開が期待できる. 本稿では, CMOS イメージセンサの新

しいノイズ除去法として, 画素セル回路にある MOSFET の閾値バラツキをリセット時に負帰還をかけて補償する手法を提案する. この手法を用いると, 最小構成の画素回路上で非破壊の中間撮像データを取得できる. さらに, 画素回路に任意の電圧を書き込めるので, 高解像度を維持したまま機能的な画像処理への応用が可能となる.

本稿では, 初めに 1 章で本研究の背景と目的を述べ, 各章の概要を記す. 次に 2 章で負帰還によるノイズ除去の方法とそのための回路構成を説明する. 3 章では, 設計した回路の SPICE シミュレーション結果について述べる. 4 章では, 前章までの結果をもとにした, 実際のイメージセンサ LSI の設計・試作・チップ測定結果について述べる. そして 5 章では, 本研究におけるリセット方式の発展と応用について議論を行う.

2. バラツキ補償を行う画素回路

2.1 画素回路の MOS 閾値バラツキ

CMOS イメージセンサでは, 画素セルの回路に使う MOSFET の閾値バラツキによって, 以下のように固定パターンノイズ (FPN) を生じる. 通常の CMOS プロセスでの一般的な画素セルの回路 (3Tr 型 Active pixel sensor) を図 1 に示す. 撮像サイクルのはじめに Rst 信号で MOSFET:M1 をオンにしてフォトダイオード (PD) だけ初期電圧に充電する (リセット). V_a の電位は VDD から M1 の閾値分低い値となる. PD に光が当たると光電流が流れて電荷を放電し, V_a の電位が光強度に応じて低下する. この V_a の電位を M2 で受け, Sel 信号を M3 に与えることで画像信号を出力ラインに取り出す. この回路の主な問題点は, M2 に閾値バラツキがあると, それが信号

2004 年 8 月 9 日受付, 2004 年 12 月 10 日再受付, 2005 年 1 月 14 日採録
†北海道大学 大学院情報科学研究科

(〒 060-0814 札幌市北区北 14 条西 9 丁目, TEL:011-706-7689)

†Graduate School of Information Science and Technology, Hokkaido University

(Kita 14, Nishi 9, Kita-ku, Sapporo, 060-0814 Japan)

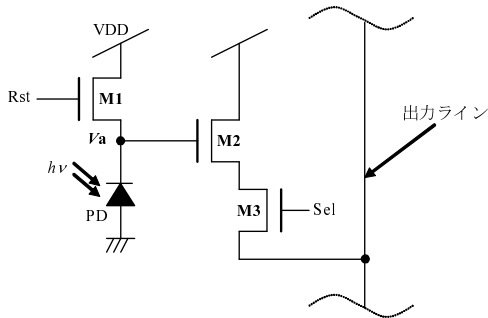
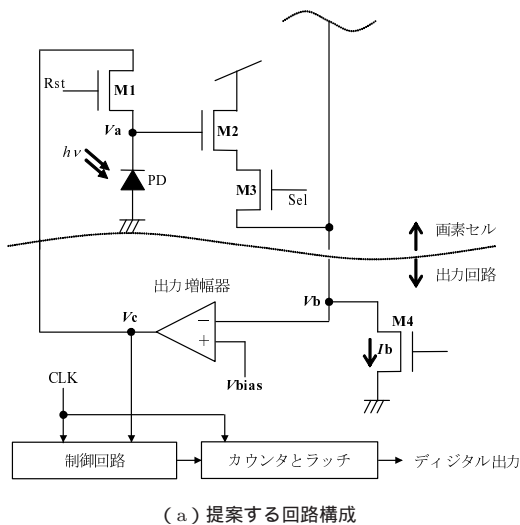
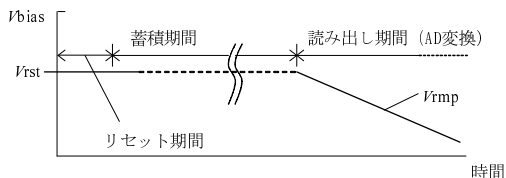


図 1 3Tr 型 Active pixel sensor
3Tr. type active pixel sensor.



(a) 提案する回路構成



(b) V_{bias} の変化と回路の動作

図 2 提案型イメージセンサの回路構成
A proposal circuitry of image sensor.

出力に表れて FPN の主な原因となることである．そして，MOSFET を集積するとき同一チップ上であっても，閾値にバラツキを生じることは避けられない．CDS 法では，上記固定パターンノイズを除去するため，信号を出力した後にその画素回路をリセットし，信号出力とリセット出力の差分をとって閾値バラツキを補償している．

2.2 負帰還による画素回路のバラツキ補償

CDS 法によらずに MOSFET の閾値バラツキを補正するため，新しい画素回路を提案する．その構成を図 2 (a) に示す．画素セルと出力回路との間で負帰還ループを構成することに特徴がある．出力回路は一つの画素列 (出力ライン 1 本) あたり 1 個あればよい．この回路は以下のように動作する．出力増幅器の非反転入力には一定電圧 ($V_{bias} = V_{rst}$) を与えておく．撮像サイクルのはじめに Rst 信号で M1 をオンにして PD をリセットする．同時に Sel 信号で M3 を

オンにして，画素回路と出力増幅器の間に負帰還ループを形成する．M2 のトランスコンダクタンスを β ，閾値を V_{th} とし，そのバラツキを ΔV_{th} ，M4 に流れる電流を I_b ，出力増幅器の利得を A ，非反転入力を V_{bias} ，出力を V_c ，M2 と M4 によるソースフォロアの利得を H とすると，負帰還ループ上にあるオフセット成分 D_{out} は，式 (1) となる．そして閉ループの伝達特性は式 (2) となる．

$$D_{out} = - \left(V_{th} + \Delta V_{th} + \sqrt{\frac{I_b}{\beta}} \right) \quad (1)$$

$$V_c = V_{bias} \frac{A}{1 + AH} - D_{out} \frac{AH}{1 + AH} \quad (2)$$

式 (2) から，負帰還ループを形成した状態で $A \gg 1$ とすると，出力増幅器の出力は D_{out} を打ち消すように電圧をシフトさせた出力を行う．そして，出力増幅器の反転入力におけるオフセット成分 D_{out}' は式 (3) のようになる．

$$D_{out}' = D_{out} - D_{out} \frac{AH}{1 + AH} = D_{out} \frac{1}{1 + AH} \quad (3)$$

したがって， D_{out} に含まれる ΔV_{th} も $1/(1 + AH)$ に低減することができる．言い換えると，M2 の閾値バラツキに応じてフォトダイオードの初期化電位 (V_a の電位) が調節され，出力ラインの電位は常に式 (3) を満たすようにリセットされる．この動作によって MOSFET の閾値バラツキを補償できる．このバラツキ補償リセットの後に M1 と M3 をオフにする．フォトダイオードの光電流が増加し V_a の電位が低下する．その電位を出力ラインに取り出すことは，従来の画素回路と同様である．

負帰還を用いてリセットする方式は他に報告例があるが (Active Reset 方式)⁴⁾，画素回路に含まれる nMOSFET 数は 1 つ増加する．また，nMOSFET が列回路出力とリセット用 nMOSFET のゲート間を結ぶ構成なので，リセット電圧が，その nMOSFET の閾値だけさらに低下し，ダイナミックレンジが狭まってしまう．

固定パターンノイズに対して，CDS 法と本方式を比較した場合，差分出力を行う前者の方が性能的に上であるが，本方式における出力増幅器の利得を高めることで，CDS 法に近づけることは可能である．

2.3 画素信号の AD 変換

Sel 信号で M3 をオンにすると出力ラインに画素信号が表れる．その電圧をデジタル信号に変えて外部に取り出す．そのために，出力増幅器の非反転入力を一定電圧 $V_{bias} = V_{rst}$ からランプ電圧 V_{rmp} に切り替える (図 2 (b))．出力増幅器は，コンパレータとして働き，画素信号の電圧値を PWM 変換して，その信号パルス V_c に出力する．PWM 信号をカウンタで計測しデジタル出力として取り出す．

出力増幅器は，入力差動対にバラツキがあるとその出力にオフセットが生じる．しかし，そのオフセットは，リセットと信号読み出しとを同一の出力増幅器で扱うので，M2

の閾値バラツキと同様に負帰還ループ内の DC バラツキとして補償される．出力増幅器は通常の演算増幅器が良いが，位相補償容量の接続を制御信号でオンオフできるように構成する．すなわち，リセットで負帰還ループを形成するときは位相補償容量を接続して発振を防止する．AD 変換を行うときは，位相補償容量を切り離してスルーレートの大きいコンパレータとする．

3. 回路シミュレーション

3.1 負帰還によるリセット動作

0.25 μm CMOS プロセスのパラメータを用いて回路を設計した．最初に出力増幅器の DC 利得を 60dB 以上に規定した．次に設計した増幅器と最長距離にある画素とのクロードループ特性から，負帰還が安定して動作する位相補償容量値に決定した．容量値は 0.8pF である．最長距離にある画素に対して，画素アレイの最上段にある画素を想定し，その間の配線抵抗および容量を考慮した．ソースフォロアの利得 H は，回路を構成する nMOSFET の基板電位が GND に接続されているため，1 以下の 0.77 となった．HSPICE による動作シミュレーションの例を図 3 に示す．図 3 は負帰還によるバラツキ補償リセットの動作である．一例としてリセット目標値 $V_{rst} = 1\text{ V}$ に設定し，時間 $t = 0$ でリセットを開始した．なおフォトダイオードの初期電圧は 0 とした．この例では，MOSFET の平均閾値を 450 mV として，その値から閾値が + 25 mV と - 25 mV ずれている場合の結果を示している．実際には，閾値のずれがこれほどバラツキことはないが，余裕を見てこのように設定した．ほぼ 100 ns で出力ラインの電圧が立ち上がり，200 ns で想定リセット値からオーバーシュートし，それ以降は徐々に収束していく．およそ 1 μs でリセットが終了し，出力ライン電圧のバラツキは 0.1 mV 以内の微小範囲に収まっている．

3.2 AD 変換のための PWM 信号発生動作

リセットした状態から画素信号を PWM 信号として出力した．図 4 はその出力パルス波形である．リセット期間は $t = 0$ から 2 μs とした．出力増幅器の位相補償容量を $t = 3\ \mu\text{s}$ で切り離し，次に $t = 5\ \mu\text{s}$ からランプ波形 V_{rmp} を与えて PWM 変換を行った．ランプ波形の傾きは，25 μs で 1 V とした．ランプ電圧 V_{rmp} が出力ライン電圧 V_b より低くなったときに PWM パルスが立ち下がり，画素信号の電圧がパルス幅に変換される．比較として，位相補償容量を切り離さないときの PWM パルス波形をあわせて示す．位相補償容量が大きいほど周波数特性が悪化し，PWM パルスの立ち下りが遅く， V_{rmp} と V_b の交差した点から外れて AD 変換誤差を生じる．したがって PWM 変換にあたっては，位相補償容量を切り離すことが不可欠である．

3.3 出力増幅器の差動対バラツキの補償

出力の PWM 信号は，入力差動対にバラツキがあると立ち下がりのポイントに時間的なずれが生じる．しかし，2.3

章で述べたとおり負帰還ループによって，このずれを補償することができる．補償効果を確認するために，出力増幅器の入力差動対にオフセットを故意に加えてシミュレーションを行った．そのオフセット電圧値に応じたリセットの結果を PWM 変換して読出した．PWM 信号の立ち下りのずれを確認することで，本方式の効果を検証できる．

いま $V_{th} = 450\text{ mV}$ の一定として，オフセット電圧の値（入力差動対の仮想バラツキ）を 0 mV から 50 mV まで振ってシミュレーションを行った．バラツキに関しては，3.1 章と同様に余裕を見て設定した．シミュレーションの条件は，前章と同一とし，位相補償容量は切り離した．PWM 信号による時間的なずれを図 5 に示す．負帰還のない場合，同一の条件下ではオフセット電圧の値に沿って線形的に立ち下り時間がずれる．この場合，最大 1.25 μs のずれが生じた．しかし，負帰還を用いると，ずれを 20 ns 以内の範囲に収めることができた．電圧換算では，50 mV のバラツキ

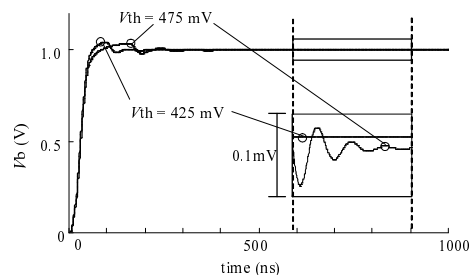


図 3 負帰還によるリセットのシミュレーション結果
Simulation results of negative-feedback reset.

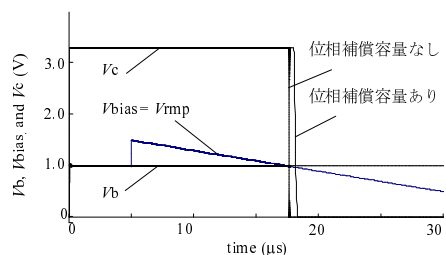


図 4 出力増幅器による PWM 信号の発生
PWM-signal generation by output amplifier.

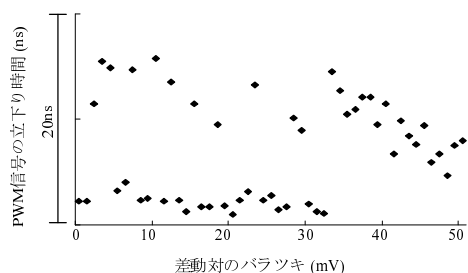


図 5 差動対バラツキ補償のシミュレーション結果
Simulation results of input-mismatch-noise cancellation.

が 0.1 mV 以下へ低減されたことと等価である。このことは、入力差動対のバラツキもリセットの段階で補償されることを示している。すなわち、画素列のあいだのバラツキも補償できる。なお、このずれはバラツキに対して、ランダムに近い非線形的な変化をしている。本来ならば、ずれの特性が線形的なまま、その範囲が $1/(1 + AH)$ に縮退するはずである。そのため、このずれの主要因は上記のような DC バラツキではなく、他の要因と捉えることができる。現在、この要因は調査中である。

4. センサチップの試作と評価

4.1 センサチップの設計・試作

本方式のバラツキ補償機能を有するイメージセンサの設計を行った。画素数 64×64 のプロトタイプチップである。0.25 μm CMOS プロセスを用いた。このチップは、画素アレイと出力増幅器/カウンタの他に、行選択のためのセレクタと列出力のバッファを持つ。図 6 はその主要部分を示す。画素出力を 9 ビットデジタル出力に変換し、出力回路ですべてのビットを並列出力する。列出力も行選択部同様にセレクタを用いて特定のピクセルを指定できるようにした。各種測定の便宜を考慮して、すべてのバイアス電圧、すなわちランプ電圧、リセット電圧、ソースフォロアの電流源駆動用のバイアス電圧、および出力増幅器の電流源駆動用のバイアス電圧をチップ外から供給するように設計した。画素回路は、20 μm 角とし、列回路（出力増幅器/カウンタ）の幅も画素回路と同様 20 μm とした。

4.2 負帰還リセットによるバラツキ補償の測定

チップを測定してバラツキ補償の効果を検証した。今回のプロトタイプチップでは、測定の便宜を考慮して、リセット基準電圧 V_{rst} とランプ電圧 V_{rmp} (図 2 (b)) を外部から加えるようにした。そのため、測定系から混入する雑音の影響が無視できない。今回の測定環境では、その雑音レベルは約 5 mVpp であった。

はじめに、出力ライン電圧がリセット目標値に収束する様子 (図 3 に相当する特性) の測定を行った。これは、3.2 章の図 3 に相当する特性である。ただし、出力は AD 変換されているため、負帰還リセット期間を変えることで、図 3 の特性を等価的に確認した。1 列 64 画素セルの測定結果をまとめて図 7 に示す。今リセット期間を最小 100 ns とし、それから 100 ns ずつ期間を延長し、各期間ごとのリセット値を測定した。測定結果は 100 ns ごとに区分し、バラついた出力値の Peak to Peak を図示した。200 ns までの期間は出力の測定値が、図における灰色の表示範囲を下回っている。すなわち、出力がまだ立ち上がりの途中で収束していないことを示している。300 ns までの期間は、出力値が図の表示範囲を超えている。出力値がオーバシュートしている状態である。500 ns 以降は、出力値がリセット基準値に収束していく。ただし、今回の測定では外部雑音の影響で最終的に 5.2 mVpp のバラツキが残った。以上の

結果から、シミュレーションで予測されるように 1 μs 程度で出力が収束していることがわかった。

4.3 負帰還リセットによる列内バラツキ補償の測定

列内バラツキ補償を検証するために、あるチップの 1 列におけるリセット後のデジタル出力値を測定した。クロック周波数は 5 MHz とし、AD 変換では 1 Vpp を 384 階調に割り振った。1bit につき約 2.6 mVpp である。従来方式のリセットでは、出力の中心値が負帰還による手法とほぼ等しくなるように外部から一定のリセット電圧を供給した。これは、両手法による出力分布の特徴を比較しやすくするためである。リセット期間はどちらも 2 μs とした。結果を図 8、図 9 に示す。図 8 は次の 3 種のデータをプロットしたものである：(1) 従来方式 (2) 負帰還を用いた本方式で位相補償容量を切り離れたもの (3) 負帰還を用いた本方式で位相補償容量をつけたもの。この図から本方式と従来

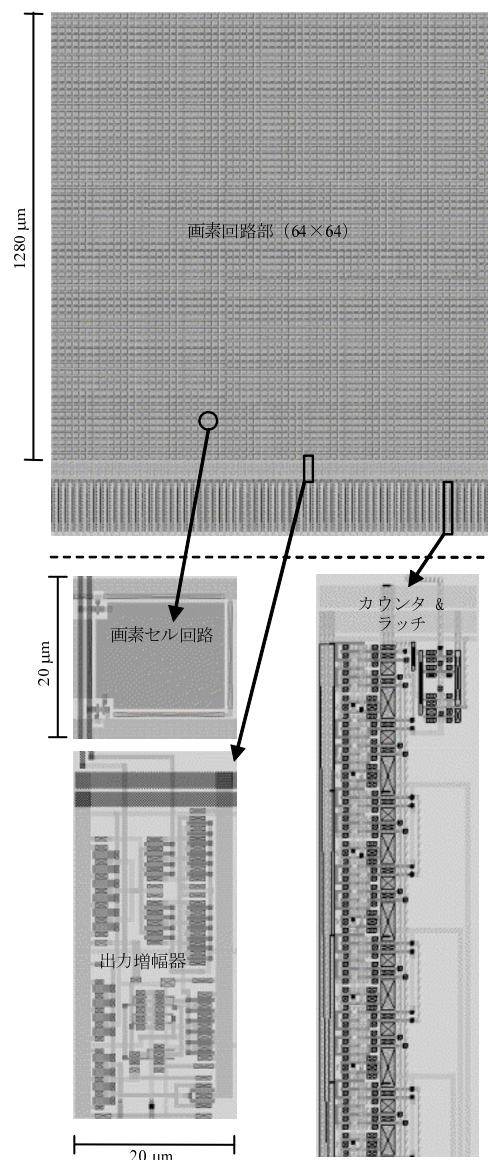


図 6 試作チップ主要部のレイアウト
Device layout consisting of 64×64 pixel circuits.

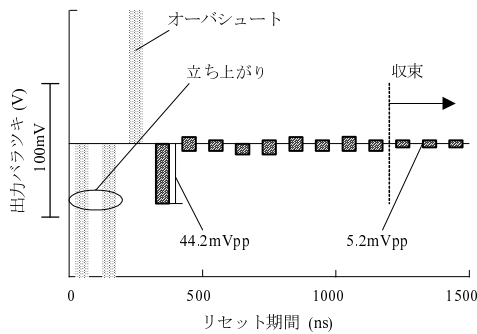


図 7 負帰還によるリセットの期間ごとにおける特性
Reset values of each reset length.

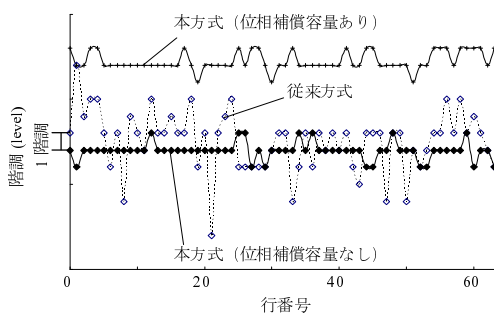


図 8 負帰還によるリセットの出力特性
Actual measurements of negative-feedback reset.

方式の違いを確認できる。すなわち、1 列 64 画素に対する出力バラツキが本方式と従来方式では異なり、本方式でのバラツキ補償の効果が表れている。また、位相補償容量の有無は、出力値の分布には影響を与えず、階調差だけが現れて出力が様にシフトする。これは、位相補償容量が付いた状態では、シミュレーションで示されるように、PWM パルスの立下りタイミングが遅れるからである。そのため、AD 変換器のカウンタが過剰に回って、階調値が上方にシフトすることになる。

図 9 は本方式と従来方式における出力値のバラツキ分布である。標準偏差は、それぞれ 0.5 (本方式), 1.75 (従来方式) である。それぞれの分布は Peak to Peak 換算で、本方式が 2 階調の範囲 (5.2 mV) に収まっており、従来方式では約 8 階調 (20.8 mV) もの分布を持っている。なお本方式における 2 階調のバラツキは本来のものではなく、測定時に外部から混入した雑音に起因する。以上のことから、列回路部を除く画素回路部 MOSFET の閾値バラツキが、リセット時の負帰還によって補償されたことを確認できた。

4.4 負帰還リセットによる列間バラツキ補償の測定

次に、異なった列間の補償効果を検証するために列間バラツキを測定した。測定条件は、4.3 章と同様である。サンプル列数は 20 である。結果を図 10 に示す。本方式と従来方式におけるサンプル列に含まれる全画素出力値の分布である。標準偏差は、それぞれ 0.57 (本方式), 2.61 (従来

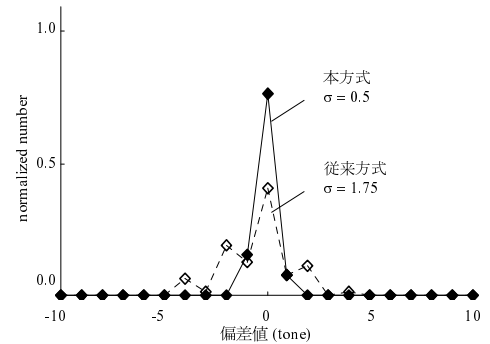


図 9 提案法と従来方式による画素回路の出力分布
Output deviations by proposal and conventional methods.

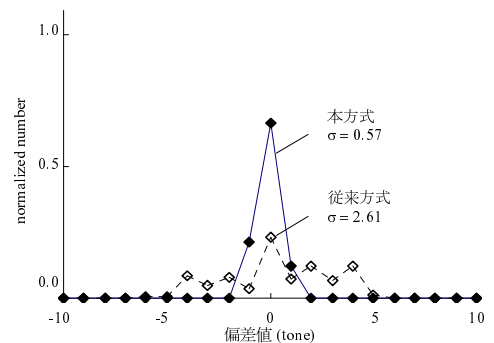


図 10 列間のバラツキを考慮した画素回路の出力分布
Output deviations by each output amplifier.

方式) である。図 9 と比較すると、従来方式ではさらに分布が広がった (36.4 mVpp)。なお、分布には極大値が表れているが、これは列ごとに閾値バラツキの平均値が異なることと、サンプル数が限られていることに起因する。ただし、このことがあっても二つの手法の違いを検証することへの支障はない。また、本方式では列間バラツキ (図 10) は、列内バラツキ (図 9) とほとんど同一の分布である (5.2 mVpp)。以上の結果より、列回路が異なってもバラツキ補償の効果が損なわれないということも確認できた。このことから本方式は、センサチップの歩留まり向上や列回路が原因である縦ノイズの補償に効果が期待できる。

5. 負帰還リセット方式の発展と応用

5.1 負帰還リセットによる効果

蓄積過程における非破壊読出しは、画像内の物体またはカメラの移動や画素回路の飽和予測・検出などの応用に期待が持てる。そのため、画素内に読出し用の差動増幅器を組込んだり⁵⁾、画素回路のリセットをバラツキの影響を受けない GND レベルに規定するなど様々な工夫が行われてきた。上記手法は、機能性向上において非常に有効である。しかし、2.1 章の図 1 に示した一般的な画素セル回路に対する適用は難しかった。本手法による負帰還リセットを適用することで、一般的な画素セル回路と同一の素子構成でバラツキ補償と非破壊読出しを実現できる。このことは、高

い解像度を持つセンサアレイ上に機能性を付加できることを示している。

また、負帰還によるリセットは、任意の電位を画素回路に設定できるという利点を持っている。この機能を個別リセットと組合せることで、特定の領域にマスクをかけて、その部分のみの画像情報を利用することや、画素回路の蓄積・飽和特性を変化させるなどの応用が可能である。また、個別リセット自体を画素回路への付加トランジスタなしに、列回路構成の工夫のみで行うことができる。

画素回路の素子数を増加させずに個別リセットを行うには、列回路で画素値のリフレッシュと負帰還リセットを選択することにより実現する。画素値のリフレッシュは、画素値を読み出し、その値を用いた負帰還による再リセットを行うことができる。リフレッシュと負帰還リセットのタイミングを同一にすることで、リセット用の配線は行方向に共通化される。そのため、選択用トランジスタは必要ない。

5.2 応用例 (広ダイナミックレンジ化)

本方式の負帰還リセットは、バラツキ補正後の非破壊中間読み出しと任意の中間電圧値を画素回路へ設定する機能を併せ持つ。この機能により、条件付リセットによる広ダイナミックレンジ化を効率良く行うことができる。

条件付リセットは、中間フレームでの画素値の状態を非破壊で読み出し、条件に応じて個別リセットを行うものである。主に画素の露光時間調節に使われる⁶⁾⁷⁾。また、画素の回路構成を切り替えるものもある⁸⁾。

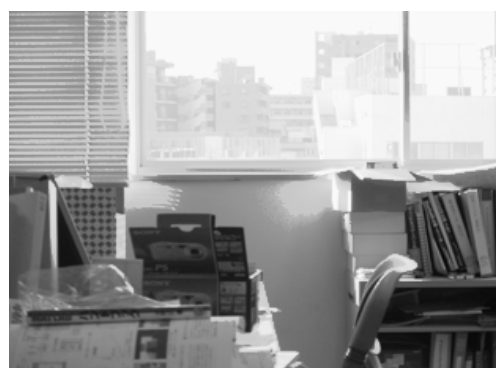
(i) 飽和予測の条件 (参照電圧以上・未満) に基づいて、各画素固有の露光時間を割り当てる手法を挙げる⁹⁾。本手法はそのまま適用可能である。まず、バラツキ補正により、飽和予測の精度を高めることができ、そして、選択トランジスタを省いた最小構成の画素回路で個別リセットが可能となる。この手法では、各画素につき露光時間情報を保持する数ビットずつのメモリーが必要となる。しかし、出力値を線形にすることができるので、ダイナミックレンジ圧縮処理や後段の画像処理を適用しやすい。

(ii) 飽和予測の条件 (参照電圧以上・未満) に基づいて、各画素の飽和特性を変更するものが考えられる¹⁰⁾。(i)と同様に、バラツキ補正により、飽和予測の精度を高めることができ、そして、最小構成の画素回路で個別リセットを行う。個別リセット時に、本方式の特徴である任意の中間電圧によるリセットを用いて、画素の飽和特性を付属回路なしで容易に変更できる。この手法では、条件動作の結果 (中間電圧以上・未満のフラグ) を次処理の個別中間電圧リセットに使用してしまうので、列回路につき1ビットずつのメモリーしか使わない。画素回路の飽和特性を変更できるので、光強度に対する低感度・高感度特性の両方を同一画素回路上に実現できる。

このように、本手法を用いれば、画素回路の素子数を全く変更せずに条件付リセットが可能となる。従来の条件付リセットでは、画素ごとにリセットを掛けるための選択ト



(a) 従来手法による室内からの撮影画像



(b) 本方式を応用した撮影画像

図 11 広ダイナミックレンジ化の画像シミュレーション結果
Simulation results of a method for extending dynamic-range.

ランジスタが画素回路に必要であった。また、条件付リセットを行うためには、個々の画素に設定した状態 (露光時間情報/飽和特性) をフラグとして画素数分保持する必要があった。しかし (ii) の例に挙げた手法を用いると画素数分のフラグメモリーもすべて省くことが可能である (ii) の画像シミュレーション結果を図 11 に示す。

6. む す び

CMOS イメージセンサの新しいノイズ除去法として、画素回路部 MOSFET の閾値バラツキを負帰還によって補償するリセット手法を提案した。この手法を実装したセンサチップを試作・測定して、閾値ばらつきに起因する固定パターンノイズに有効であることを示した。また、出力増幅器に起因する縦ノイズへの有効性も確認した。本方式の応用・発展の一例として、広ダイナミックレンジ化手法を示した。

今後の課題として、ランダムノイズ (熱雑音・フリッカ雑音) 対策が重要である。本方式は、リセット時にバラツキを補償するため、単位フレーム時間間隔のような低周波動作でのフリッカ雑音の影響を考慮する必要がある。上記問題については、雑音の帯域制限や回路構成の工夫による解決を考えている。また、位相補償のいらぬ出力増幅器の設計や新たなアプリケーションへの対応を行う予定である。

〔文 献〕

- 1) D. Handoko, S. Kawahito, Y. Tadokoro, and A. Matsuzawa : “A CMOS image sensor with non-destructive intermediate readout mode, for adaptive iterative search motion vector estimation” IEEE Workshop CCD and Advanced Image Sensors, pp. 52-55 (June 2001)
- 2) 山口隆, 成澤聡介, 北見大岳, 猪木原信幸, 浜本隆之 : “蓄積中間画像を利用して動き推定処理を行うデジタルスマートイメージセンサ”, 映像学技報, **27**, 59, pp. 1-4 (Oct. 2003)
- 3) 猪木原信幸, 若松武, 浜本隆之, 相澤清晴 : “蓄積中間画像を用いた A/D 変換機能を有するイメージセンサ”, 映像学技報, **26**, 42, pp. 59-62 (June 2002)
- 4) B. Pain, et al., : “ Reset Noise Suppression in Two-Dimensional CMOS Photodiode Pixels through Column-based Feedback-Reset”, in IEDM Dig. Tech. Papers, pp. 809-812 (2002)
- 5) D. X. D. Yang, A. El Gamal, B. Fowler, and H. Tian., : “ A 640 x 512 CMOS image sensor with ultra wide dynamic range floating-point pixel level ADC”, in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 308-309 (1999)
- 6) O.Yadid-Pecht., : “ Widening the dynamic range of pictures”, Proc. SPIE 1656, pp. 374-382 (1992)
- 7) T.Yasuda, T.Hamamoto, K.Aizawa., : “ Adaptive-integration-time image sensor with real time reconstruction function”, IEEE trans. on Electron Devices, **50**, 1, pp. 111-120 (Jan. 2003)
- 8) R.Oi, K.Aizawa., : “ Programmable sensitivity image sensor with multicapacitance CMOS pixels”, IEEE Workshop CCD and Advanced Image sensors (May 2003)
- 9) 池辺将之, 大住勇治, 金高達也, 浅井哲也, 雨宮好仁 : “CMOS イメージセンサに適した機能的リセット方式の検討”, 信学技報, **103**, 298, pp. 19-24 (Sept. 2003)
- 10) 池辺将之, 大住勇治, 西垣嘉博, 金高達也 : “CMOS イメージセンサに適した広ダイナミックレンジ化の検討”, 信学技報, **104**, 174, pp. 47-52 (July 2004)



かがや しょう 加賀谷 亮 2004 年, 北海道大学工学部電子工学科卒業。現在, 修士課程 1 年に在学。CMOS イメージセンサとインテリジェント撮像チップの研究に従事。



いけべ まさゆき 池辺 将之 2000 年, 北海道大学大学院電子情報工学専攻博士課程修了。2000 年, 大日本印刷株式会社半導体製品研究所。2004 年, 北海道大学助教授。信号処理アルゴリズムとその集積回路化の研究, および CMOS イメージセンサの高機能化の研究に従事。工学博士。



あさい てつや 浅井 哲也 1999 年, 豊橋技術科学大学大学院電子情報工学専攻博士後期課程了。1999 年, 北海道大学大学院電子情報工学専攻助手。2001 年 10 月同助教授。生体に学んだ情報処理とその集積回路化(ニューロチップ)の研究, および非線形アナログ集積回路と反応拡散チップの研究に従事。工学博士。



あめみや よしと 雨宮 好仁 1975 年, 東京工業大学大学院電子工学専攻博士課程了。工学博士。1975 年, 日本電信電話公社武蔵野電気通信研究所。1987 年, NTT LSI 研究所。1993 年, 北海道大学教授。自然界や生体で生じる機能現象(秩序形成, 自己組織化, 知覚と識別など)の背景にあるメカニズムを動作原理として情報処理を行う新しい集積回路の開拓研究に従事。工学博士。