

サブスレッショルド MOSFET を用いた PTAT 電流生成のための微小フローティング電圧源回路

Floating Millivolt Reference for PTAT Current Generation in Subthreshold MOS LSIs

上野 憲[†], 廣瀬 哲也^{††}, 浅井 哲也[†], 雨宮 好仁[†]

Ken Ueno[†], Tetsuya Hirose^{††}, Tetsuya Asai[†] and Yoshihito Amemiya[†]

Abstract A floating millivolt reference circuit to generate a PTAT current was developed by using MOSFETs operated in the subthreshold region. The circuit generates a floating voltage of 10 mV. The variations in the reference are $\pm 2.7\%$ in a temperature range from -20 to 100°C . The total power consumption of the circuit was $1.3\ \mu\text{W}$.

キーワード: CMOS, 低消費電力, 温度センサ, PTAT 電流, 参照電圧, サブスレッショルド領域 (弱反転領域)

1. ま え が き

近年, 微小電力供給のもとで数年以上に渡り, 連続動作可能な極低消費電力 LSI の開発が求められている. 例えば, 環境モニタリング等を行うスマートセンサや医療用の埋込みデバイス等が上げられる¹⁾. これらの LSI は超小型電池を電源とするか, あるいは周囲の環境エネルギーから電力を取得するか, いずれにしても極めて限られた電力消費のもとで長時間動作しなければならない. そのため, 数 μW 程度の極低消費電力動作が要求される.

消費電力が数 μW 以下の LSI を実現する一つの手法として, MOSFET をサブスレッショルド領域で動作させる手法がある²⁾. MOSFET のサブスレッショルド特性は, そのドレイン電流が数十 nA オーダの微小電流であり, 極低消費電力化を実現できる. このような LSI アプリケーションの一例として, 先に温度センサ LSI を提案した³⁾. これは, MOSFET のサブスレッショルド特性を利用することで, 絶対温度に比例した PTAT (Proportional To Absolute Temperature) 電流を生成し, これを温度センサとして使用した. しかし, このセンサ回路では, 温度係数の小さなオフ

チップ抵抗体を用いることで, 微小差電圧のフローティング電圧を生成し, これを PTAT 電流生成に用いた. したがって, 実装チップ面積が大きくなる問題点がある. そこで本論文では, オフチップ抵抗体を使用しない PTAT 電流生成のためのオンチップ微小フローティング電圧源回路を提案する.

本論文では, はじめに MOSFET のサブスレッショルド電流を利用した PTAT 電流の生成アーキテクチャについて説明し, 微小フローティング電圧源回路が必要となる背景を説明する. そして, 微小フローティング電圧を生成する回路構成とそのシミュレーション結果を示す. なお, 本論文のシミュレーションにおいて使用した標準 CMOS パラメータは $0.35\ \mu\text{m}$ 2-poly 4-metal, CMOS プロセスである. 使用したシミュレータは Cadence 社 Spectre であり, MOS トランジスタの SPICE モデルは BSIM3v3 Level 53 である.

2. PTAT 電流生成アーキテクチャ

MOSFET のサブスレッショルド特性は, 温度に対して敏感に変化する特性を示す. この特性を利用することで, 絶対温度に対して線形に変化する PTAT 電流を生成することが可能である. PTAT 電流は温度センサのセンサ信号として利用することができる. 以下では, MOSFET のサブスレッショルド特性を用いて PTAT 電流を生成するための方式を説明する³⁾.

MOSFET のゲート・ソース間電圧 V_{GS} が閾値電圧 V_{TH} 以下のとき, サブスレッショルド電流 I_D が流れる. ここで, ドレイン・ソース間電圧が $0.1\ \text{V}$ 以上のとき, I_D は指数関数で近似できて次のようになる⁴⁾.

2009年2月27日受付, 2009年7月21日再受付, 2009年9月7日採録

[†]北海道大学 大学院 情報科学研究科

(〒060-0814 北海道札幌市北区北14条西9丁目, TEL 011-706-7149)

^{††}神戸大学 大学院 工学研究科

(〒657-8501 兵庫県神戸市灘区六甲台町1-1, TEL 078-803-6075)

[†]Department of Electrical Engineering, Hokkaido University

(kita 14, nishi 9, kita-ku, Sapporo 060-0814, Japan)

^{††}Department of Electrical and Electronics Engineering, Kobe University

(1-1 Rokkodai, Nada, Kobe 657-8501, Japan)

$$I_D = I_0 \exp\left(\frac{V_{GS} - V_{TH}}{\eta V_T}\right). \quad (1)$$

ここで、 I_0 はサブスレッショルド電流の前置係数、 $V_T (= k_B T/e)$ は熱電圧、 k_B はボルツマン定数、 T は絶対温度、 e は電気素量、 η はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数である。ここで、二つのサブスレッショルド電流 I_{D1} 、 I_{D2} の比 I_{D2}/I_{D1} 、 I_{D1}/I_{D2} をとると、 I_0 、 V_{TH} に依存しない関係が得られ、その差分 ($I_{D2}/I_{D1} - I_{D1}/I_{D2}$) は次式で与えられる。

$$\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}} = \exp\left(\frac{V_{GS2} - V_{GS1}}{\eta V_T}\right) - \exp\left(-\frac{V_{GS2} - V_{GS1}}{\eta V_T}\right) \quad (2)$$

ここで、ゲート・ソース間電圧の差電圧 $|V_{GS2} - V_{GS1}|$ が ηV_T と比較して充分小さいとき、式 (2) は次のように近似することができる。

$$\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}} = \frac{2(V_{GS2} - V_{GS1})}{\eta V_T}. \quad (3)$$

そして、式 (3) の逆数をとることで次式を得る。

$$\frac{1}{\frac{I_{D2}}{I_{D1}} - \frac{I_{D1}}{I_{D2}}} = \frac{\eta V_T}{2(V_{GS2} - V_{GS1})} = \frac{\eta k_B}{2e(V_{GS2} - V_{GS1})} T. \quad (4)$$

したがって、二つのサブスレッショルド電流 I_{D1} 、 I_{D2} を発生させる V_{GS1} 、 V_{GS2} の差電圧 $V_{GS2} - V_{GS1}$ を数十 mV 以下とし、温度に対して一定にすることで絶対温度に比例した PTAT 特性を得ることができる。

上記のアーキテクチャを回路化する場合、電流の割算・減算はトランスリニア乗除算器・電流ミラー回路で実現することができる³⁾。一方、微小差電圧 $V_{GS2} - V_{GS1}$ を実現するためには、温度係数の小さな抵抗を定電流バイアスするか、もしくは抵抗を使用することなく、オンチップで微小フローティング電圧源を構築する必要がある。前者の場合、オフチップ抵抗を必要とするため、実装チップ面積が大きくなってしまいう問題点がある。そこで、後者の温度に依存しない一定の微小差電圧 $V_{GS2} - V_{GS1}$ をオンチップで生成する微小フローティング電圧源回路が必要になる。

3. フローティング電圧源

参照電圧源やフローティング電圧源として、抵抗体を使用したバンドギャップ参照電圧源回路が広く使用されている⁵⁾。しかし、これらの回路を nA オーダの微小電流で動作させる場合、数十 M Ω オーダの高抵抗を必要とするため、デバイスサイズが増大してしまう問題点がある。したがって、抵抗体を用いないフローティング電圧源を構築する必要がある。Buck らは抵抗体を用いない CMOS バンドギャップリファレンス回路を提案している⁶⁾。また Hirose らは、この回路を応用して抵抗を用いない電流源アーキテクチャを提案している⁷⁾。そこで本研究では、これらの回路を応用してサブスレッショルド領域動作に適した回路構成を構築し、微小フローティング電圧を生成する。

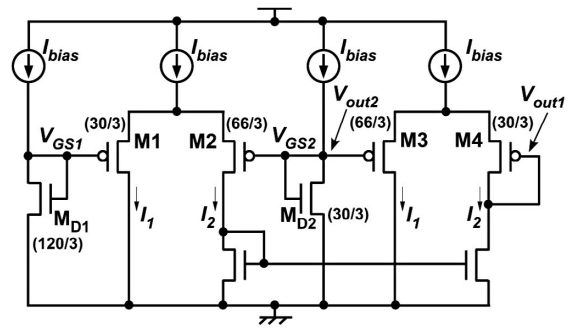


図 1 フローティング電圧源回路
Schematic of floating voltage reference circuit.

3.1 回路構成

図 1 に、提案するフローティング電圧源を示す。この回路は、ダイオード接続 MOSFET (M_{D1} 、 M_{D2}) と二つの差動対 ($M1-M2$ 、 $M3-M4$) から構成されている。これらの MOSFET のアスペクト比 ($K = W/L$) を次のように設定する。

$$K_{D1} > K_{D2}, \quad K_1 < K_2, \quad K_3 > K_4. \quad (5)$$

この回路では、ダイオード接続 MOSFET と差動対のトランジスタサイズを変えることで、MOSFET の閾値電圧が変化する特性⁸⁾⁹⁾ を利用する。閾値電圧の変化分を回路的に出力することで微小フローティング電圧を生成する。二つの出力端子 V_{out1} 、 V_{out2} は温度に依存して変化するが、その差電圧 $V_{out2} - V_{out1}$ は温度に対して一定の微小フローティング電圧となる。

サブスレッショルド電流でバイアスされた二つのダイオード接続 MOSFET (M_{D1} 、 M_{D2}) のゲート・ソース間電圧 $V_{GS,Di}$ は式 (1) より次式で表せる。

$$V_{GS,Di} = V_{TH,Di} + \eta V_T \ln\left(\frac{I_{bias}}{K_{Di} I_0}\right) \quad (i = 1, 2). \quad (6)$$

この差電圧 $\Delta V_{GS,D} (= V_{GS,D2} - V_{GS,D1})$ は、次式で表される。

$$\Delta V_{GS,D} = \Delta V_{TH,D21} + \eta V_T \ln\left(\frac{K_{D1}}{K_{D2}}\right). \quad (7)$$

ここで、 $\Delta V_{TH,D21} (= V_{TH,D2} - V_{TH,D1})$ は、サイズの異なるトランジスタの閾値電圧の差である。この差電圧 $\Delta V_{GS,D}$ を、差動対 $M1-M2$ に印加する。したがって、トランジスタ $M1$ 、 $M2$ を流れる電流 I_1 、 I_2 は、次式で表せる。

$$I_i = K_i I_0 \exp\left(\frac{V_s - V_{GS,Di} - V_{THi}}{\eta V_T}\right) \quad (i = 1, 2). \quad (8)$$

ここで、 V_s は、トランジスタ $M1-M2$ のソース電位である。 $M2$ を流れる電流 I_2 はカレントミラー回路によって後段の差動対を構成する $M4$ に流れる。したがって、 $M3$ 、 $M4$ のゲート・ソース間電圧 $V_{GS,3}$ 、 $V_{GS,4}$ は次式で表される。

$$V_{GS,i+2} = V_{TH,i+2} + \eta V_T \ln\left(\frac{I_i}{K_{i+2} I_0}\right) \quad (i = 1, 2). \quad (9)$$

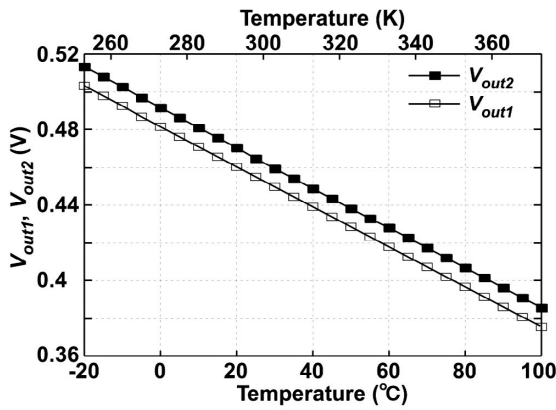


図2 出力電圧 (V_{out1} , V_{out2}) のシミュレーション結果
Simulated output voltages V_{out1} and V_{out2} .

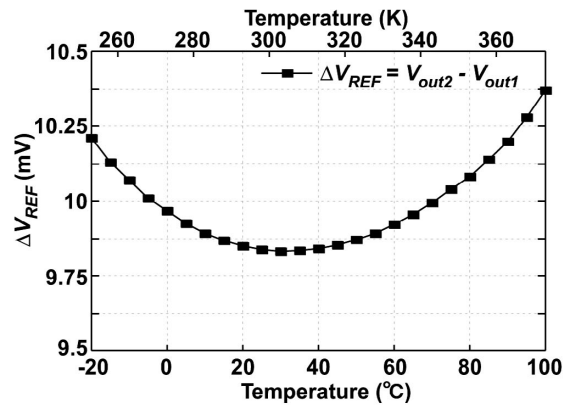


図3 フローティング電圧 $\Delta V_{REF}(=V_{out2}-V_{out1})$ のシミュレーション結果
Simulated floating reference voltage $\Delta V_{REF}(=V_{out2}-V_{out1})$.

ここで、出力端子 V_{out1} , V_{out2} の差電圧 $\Delta V_{REF}(=V_{out2}-V_{out1})$ は、次式で表せる。

$$\Delta V_{REF} = V_{GS,4} - V_{GS,3}. \quad (10)$$

式 (7), (8), (9) より、式 (10) は次式で表される。

$$\Delta V_{REF} = \Delta V_{TH,43} + \Delta V_{TH,12} - \Delta V_{TH,D21} + \eta V_T \ln \left(\frac{K_3 K_2 K_{D2}}{K_4 K_1 K_{D1}} \right). \quad (11)$$

ここで、 $\Delta V_{TH,43}(=V_{TH,4}-V_{TH,3})$, $\Delta V_{TH,12}(=V_{TH,1}-V_{TH,2})$ は、サイズの異なるトランジスタの閾値電圧の差である。したがって、式 (5) に従い MOSFET のサイズを

$$K_3 K_2 K_{D2} = K_4 K_1 K_{D1} \quad (12)$$

のように設定することで、式 (11) の温度依存項 (第 4 項) はキャンセルされ、次式を得る。

$$\Delta V_{REF} = \Delta V_{TH,43} + \Delta V_{TH,12} - \Delta V_{TH,D21}. \quad (13)$$

すなわち、閾値電圧の温度依存性がキャンセルされ、MOSFET のサイズだけに依存した電圧が残る⁸⁾。したがって、この二つの出力電圧 V_{out1} , V_{out2} の差電圧 ΔV_{REF} は温度に対して一定のフローティング電圧となり、式 (4) に基づく PTAT 電流生成アーキテクチャの微小差電圧に使用することができる。

3.2 シミュレーション結果

提案する回路構成で、0.35 μm -CMOS プロセスを用いて SPICE シミュレーションを行った。電源電圧は、ボタン電池の使用を想定して 1.5 V とした。差動対の電流バイアスは、参照電流源を用いて 60 nA に設定した¹⁰⁾。また、式 (12) に従い、本設計で使用したトランジスタサイズ ($W(\mu\text{m})/L(\mu\text{m})$) を図 1 に示す。

図 2 に出力電圧 V_{out1} と V_{out2} のシミュレーション結果を示す。温度を $-20^\circ\text{C} \sim 100^\circ\text{C}$ まで変化させている。それぞれの出力電圧は、一定の差電圧で温度に対して線形に減少していることが分かる。図 3 にフローティング電圧

$\Delta V_{REF}(=V_{out2}-V_{out1})$ の温度特性を示す。その差電圧はおよそ 10 mV であり、温度変化に対してのフローティング電圧の変動は $\pm 2.7\%$ である。この変動は、MOSFET のゲート・ソース間電圧における高次の温度依存項に起因する。図 2 に示したように、それぞれのゲート・ソース間電圧は、温度に対して線形に低下するが、実際には 2 次以上の高次温度依存項を含む。式 (10) より、微小フローティング電圧は、ゲート・ソース間電圧の差をとることで生成している。したがって、高次の温度依存項は打ち消されず、湾曲した特性を示す。この極小値を与える温度は、式 (11) の第 4 項により制御することができる。すなわち、 $K_3 K_2 K_{D2} > K_4 K_1 K_{D1}$ とすれば高温側に、 $K_3 K_2 K_{D2} < K_4 K_1 K_{D1}$ とすれば低温側に設定することができる。本設計例では、室温付近で極小点を持つように設計した。

このフローティング電圧を用いることで、式 (4) に基づく PTAT 電流を生成することが可能である。回路全体の消費電力は、1.3 μW であり、極低消費電力構成を実現した。

〔文 献〕

- 1) A. P. Chandrakasan, D. C. Daly, J. Kwong, Y. K. Ramadass, "Next Generation Micro-power Systems," Proc. of IEEE Symposium on VLSI Circuits, pp. 2-5 (2008)
- 2) A. Wang, B.H. Clhoun, A.P. Chandrakasan, Sub-threshold Design for Ultra Low-Power Systems, Springer (2006)
- 3) K. Ueno, T. Hirose, T. Asai, Y. Amemiya, "Ultralow-power smart temperature sensor with subthreshold CMOS circuits," Proc. of International Symposium on Intelligent Signal Processing and Communication Systems, , pp. 546-549 (Dec. 2006)
- 4) Y. Taur, T.H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press (2002)
- 5) P.E. Allen, D.R. Holberg, "CMOS analog circuit design second edition" New York Oxford University Press (2002)
- 6) A.E. Buck, C.L McDonald, S.H Lewis, T.R Viswanathan, "A CMOS bandgap reference without resistors." IEEE J. Solid-State Circuits, **37**, 1, pp.81-83 (Jan. 2002)
- 7) T. Hirose, T. Matsuoka, K. Taniguchi, T. Asai, and Y. Amemiya, "Ultralow-power current reference circuit with low temperature dependence," IEICE Trans. Electron., **E88-C**, 6, pp. 1142-1147 (Nov. 2004)
- 8) M.C. Hsu, B.J. Sheu, "Inverse-geometry dependence of MOS transistor electrical parameters", IEEE Trans. Computer-Aided Design, **CAD-6**, pp. 582-585 (July. 1987)
- 9) Y.C. Cheng, M-C. Jeng, Z.Liu, J.H. Huang, M. Chen, K. Chen, P.K. Ko, C. Hu, "A physical and scalable IV model in BSIM3v3

for analog/digital circuit simulation.”, IEEE Trans. Electron Devices, **44**, 2, pp. 277-287 (Feb. 1997)

- 10) K. Ueno, T. Asai, Y. Amemiya, “Current reference circuit for sub-threshold CMOS LSIs,” Extended Abstract of the International Conference on Solid State Devices and Materials, pp. 1000-1001 (2008)



うえの けんいち
上野 憲一 2007年, 北海道大学大学院情報エレクトロニクス専攻修士課程了。現在, 博士課程3年に在学。MOSFETのサブスレッショルド特性を利用した極低消費電力LSIの研究に従事。



ひろせ てつや
廣瀬 哲也 2005年, 大阪大学大学院電子情報エネルギー工学専攻博士後期課程了。2005年, 北海道大学大学院情報エレクトロニクス専攻助手。2008年, 神戸大学大学院電子工学専攻講師。低電力CMOSアナログ・デジタル集積回路技術, 特にMOSFETのサブスレッショルド領域特性を利用した機能LSI開拓研究に従事。博士(工学)。



あさい てつや
浅井 哲也 1999年, 豊橋技術科学大学大学院電子情報工学専攻博士後期課程了。1999年, 北海道大学大学院電子情報工学専攻助手。2001年10月同助教授。生体に学んだ情報処理とその集積回路化(ニューロチップ)の研究, および非線形アナログ集積回路と反応拡散チップの研究に従事。工学博士。



あめみや よしひと
雨宮 好仁 1975年, 東京工業大学大学院電子工学専攻博士課程了。工学博士。1975年, 日本電信電話公社武蔵野電気通信研究所。1987年, NTT LSI研究所。1993年, 北海道大学教授。自然界や生体で生じる機能現象(秩序形成, 自己組織化, 知覚と識別など)の背景にあるメカニズムを動作原理として情報処理を行う新しい集積回路の開拓研究に従事。工学博士。