

低電圧CMOSディジタル回路のプロセスバラツキ補正技術

Process Compensation Techniques for Low-Voltage CMOS Digital Circuits

次田 祐輔[†], 廣瀬 哲也^{††}, 上野 憲一[†],
浅井 哲也[†], 雨宮 好仁[†]

Yusuke Tsugita[†], Tetsuya Hirose^{††}, Ken Ueno[†], Tetsuya Asai[†] and Yoshihito Amemiya[†]

Abstract In low-voltage CMOS digital circuits, the threshold voltage variation causes significant circuit performance fluctuation: we therefore propose on-chip process compensation techniques for such circuits. We used voltage reference circuits, that can monitor process variations. We confirmed the operation of the circuit by using a SPICE simulation with a set of 0.35- μm standard CMOS parameters, and we performed Monte Carlo simulations assuming process spread and device mismatch in all MOSFETs. SPICE simulation demonstrated that the process variations of digital circuits were improved by 45% after applying the proposed architecture. These techniques will be useful for the on-chip process compensation of low-voltage digital circuits.

キーワード: 低電圧 CMOS ディジタル回路, 閾値電圧バラツキ, バラツキ補正,

1. ま え が き

携帯機器などのポータブルアプリケーションにおいては、バッテリー寿命の延命のために低消費電力化が強く求められている。このようなアプリケーションにおいては、低消費電力化のために、高 V_{th} トランジスタの使用や電源電圧の低電圧化が行われている。しかし、プロセス誤差による閾値電圧バラツキは第 1 近似によると、 $1/(V_{DD} - V_{th})$ に比例してディジタル回路の動作バラツキに影響を与える¹⁾。これにより回路特性の劣化や、歩留まりの低下などを引き起こす。そこで本論文では、低電圧ディジタル回路の閾値電圧のバラツキが回路特性に及ぼす影響を補正するアーキテクチャを提案する。なお、本論文のシミュレーションにおいて使用した標準 CMOS パラメータは、0.35 μm 2-poly 4-metal CMOS プロセスである。使用したシミュレータは Cadence 社 Spectre であり、MOS トランジスタの SPICE モデルは BSIM3v3 Level 53 である。

2. LSI のプロセスバラツキ

LSI における閾値電圧のバラツキには、大別して 2 種類

のモデルが提案されている²⁾³⁾。一方はチップ内トランジスタの閾値電圧の相対精度が変化する「WID(Within-die) バラツキ」であり、他方はチップ間(または、ウェハ間、ロット間)トランジスタの絶対精度が変化する「D2D(Die-to-die) バラツキ」である。前者は、平均 μ 、分散 σ で表される正規分布 $N(\mu, \sigma)$ に従って、各トランジスタの閾値電圧がランダムに変化する。そして、 $N(\mu, \sigma)$ はトランジスタサイズに依存する⁴⁾。後者は、製造するウェハ・ロット上で緩やかな勾配を持って変化し、トランジスタの閾値電圧の絶対値がチップ間で変化する。この両者のバラツキが同時に存在し、チップ毎に特性を大きく変化させる。

本章では、上記のバラツキがディジタル回路に及ぼす影響を分離評価するために、最初に WID バラツキがディジタル回路に及ぼす影響を解析する。そして次に、D2D バラツキがディジタル回路に及ぼす影響を解析する。基本的なディジタル回路として CMOS インバータ回路を例にとり解析を行う。

2.1 WID バラツキの影響

WID バラツキのみを考慮したモンテカルロシミュレーションによるインバータチェーン遅延時間の変動係数 σ/μ の段数依存性を図 1 に示す。段数の増加とともに変動係数が減少し、WID バラツキの影響が小さくなっていることが分かる。これはインバータ単体のランダムなバラツキは段数の増加とともに平均化されるためである³⁾。したがって、クリティカルパスの長いディジタル回路においては WID バラツキの影響は小さくなる。

2009 年 2 月 27 日受付, 2009 年 7 月 14 日再受付, 2009 年 8 月 21 日採録
†北海道大学 大学院 情報科学研究科

(〒 060-0814 北海道札幌市北区北 14 条西 9 丁目, TEL 011-706-7147)

††神戸大学 大学院工学研究科

(〒 657-8501 兵庫県神戸市灘区六甲台町 1-1, TEL 078-803-6106)

† Graduate School of Information Science and Technology, Hokkaido University

(kita 14, nishi 9, kita-ku, Sapporo 060-0814, Japan)

†† Department of Electrical and Electronics Engineering, Kobe University

(1-1 Rokkodai, Nada, Kobe 657-8501, Japan)

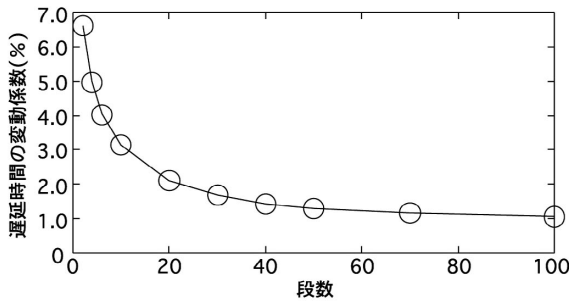


図1 ランダムバラツキのみを考慮したモンテカルロシミュレーションの結果(100回)。電源電圧1Vにおける遅延時間バラツキの接続段数依存性。
Delay variation of an inverter as a function of the number of inverter stages from 100-runs Monte Carlo simulations assuming WID variations. Supply voltage: 1 V.

2.2 D2D バラツキの影響

D2D バラツキの影響を解析するために、MOS トランジスタの特性を考える。MOS トランジスタのオン電流 I と遅延時間 $\alpha\tau$ は次式で表せる。

$$I = \frac{W}{L} \mu C_{ox} (V_{DD} - V_{th})^\alpha, \tau = \frac{C_{load} V_{DD}}{I}. \quad (1)$$

ここで、 L はチャンネル長、 W はチャンネル幅、 μ は移動度、 C_{ox} は単位面積当たりの酸化膜容量、 V_{DD} は電源電圧、そして α は速度飽和による定数である⁵⁾。インバータを多段接続した際、その負荷容量 C_{load} は次段のゲート容量 ($C_{ox} L W$) で近似できる。これより、遅延時間は次式で表せる。

$$\tau = \frac{L^2 V_{DD}}{\mu (V_{DD} - V_{th})^\alpha}. \quad (2)$$

ここで各パラメータがそれぞれ δ ばらついたときの遅延時間の変動 $\delta\tau/\tau$ は、チャンネル長のバラツキ δL 、閾値電圧のバラツキ δV_{th} 、移動度のバラツキ $\delta\mu_n$ を用いて以下のような特性関数 f で表せる。

$$\frac{\delta\tau}{\tau} = f \left(2 \frac{\delta L}{L}, \frac{\alpha \delta V_{th}}{V_{DD} - V_{thn}}, \frac{\delta\mu_n}{\mu_n} \right). \quad (3)$$

式(3)より、電源電圧が高い場合、閾値電圧のバラツキがデジタル回路の遅延時間の変動に及ぼす影響は小さく、チャンネル長 L のバラツキの影響が大きい。ところが、電源電圧が下がるにつれ閾値電圧バラツキの影響が大きくなり、低電圧動作時には支配的となることが予測される。

これを確認するためのシミュレーション評価を行った。今回用いたプロセスでは pMOS の閾値電圧 (0.72 V) が nMOS の閾値電圧 (0.52 V) より大きいため、pMOS の閾値電圧バラツキの方が動作バラツキに与える影響が大きい。そこで、動作バラツキに与える影響が大きいと考えられるパラメータであるチャンネル長と pMOS 閾値電圧のみのバラツキを考慮した SPICE シミュレーションを行い、1 V と 2 V の 2 種類の電源電圧のもとで遅延時間バラツキを解析した。その結果を図2に示す。電源電圧 2 V ではチャンネル長変動の方が遅延時間に及ぼす影響が大きい。しかし、電源電圧 1 V では閾値電圧バラツキの影響が顕著になり、これにより遅延時間バラツキが急激に増大していることがわかる。

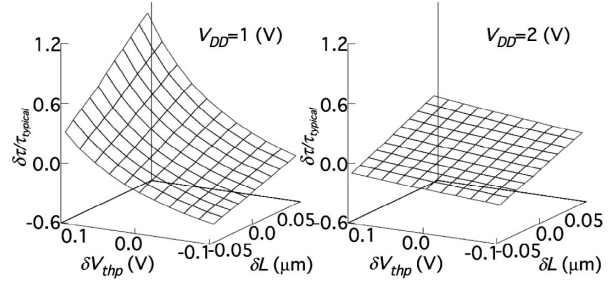


図2 チャンネル長と pMOS 閾値電圧のバラツキを考慮したシミュレーション。インバータチェーンの遅延時間バラツキ。
Simulated delay variation of an inverter as a function of pMOSFET threshold voltage variation and channel length variation.

以上の解析により、クリティカルパスの長いデジタル回路において、WID バラツキは平均化され、プロセスバラツキは D2D バラツキに集約される。そして、低電圧動作時において、D2D バラツキは閾値電圧バラツキの影響が支配的になる。これに伴い回路動作バラツキが増大してしまう。よって本論文では、低電圧デジタル回路における D2D バラツキ補正を行うアーキテクチャを提案する。

3. プロセスバラツキ補正アーキテクチャ

3.1 動作原理

デジタル回路の電源電圧を制御することで閾値電圧バラツキを補正するアーキテクチャを提案する。閾値電圧バラツキによって変動するインバータの遅延時間に対して、どのような電源電圧を与えれば遅延時間バラツキを補正できるかを考える。はじめに、インバータチェーン 1 段当たりの遅延時間を電源電圧 V_{DD} と閾値電圧 $V_{thn} \cdot V_{thp}$ の関数として $\tau(V_{DD}, V_{thn}, V_{thp})$ と定義する。この 1 段当たりの遅延時間は nMOS トランジスタが放電に要する時間 (τ_n) と pMOS トランジスタが充電に要する時間 (τ_p) の平均をとり、 $(1/2)(\tau_n + \tau_p)$ で表せる。 τ_n と τ_p は式(2)で与えられる。補正後の電源電圧を $V_{DD} + \delta V_{DD}$ とし、閾値電圧がばらつき、電源電圧によって補正を行った遅延時間 τ_{comp} が設計仕様の遅延時間 τ_{typ} と等しくなるように方程式を立てると、

$$\tau_{comp}(V_{DD} + \delta V_{DD}, V_{thn} + \delta V_{thn}, V_{thp} + \delta V_{thp}) = \tau_{typ}(V_{DD}, V_{thn}, V_{thp}) \quad (4)$$

となる。これを δV_{DD} について線形近似により解くと、

$$\delta V_{DD} = \frac{\frac{\alpha_n I_p}{V_{DD} - V_{thn}} \delta V_{thn} + \frac{\alpha_p I_n}{V_{DD} - V_{thp}} \delta V_{thp}}{\frac{\alpha_n I_p}{V_{DD} - V_{thn}} - \frac{I_p}{V_{DD}} + \frac{\alpha_p I_n}{V_{DD} - V_{thp}} - \frac{I_n}{V_{DD}}} = N_\tau \delta V_{thn} + P_\tau \delta V_{thp} \quad (5)$$

を得る。 I_n と I_p は式(1)で与えられる。閾値電圧のバラツキ δV_{th} 以外は typical 値 (標準値) なので、定数 (N_τ , P_τ) と見なすことができる。したがって nMOS トランジスタと pMOS トランジスタの閾値電圧バラツキを検出し、それぞれに N_τ と P_τ という傾きを持たせ、電源電圧に加算することで、閾値電圧バラツキによる遅延変動を補正できる。

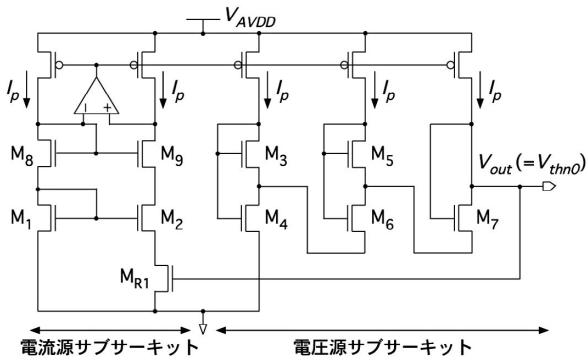


図 3 nMOS-type 参照電圧源回路.
Schematic of the nMOS-type voltage reference circuit.

3.2 参照電圧源回路⁶⁾

式 (5) の回路化を実現するために、閾値電圧のバラツキをオンチップで検出する回路が必要になる。そこで、閾値電圧を参照する電圧源を用いることにより、閾値電圧のバラツキを検出することを考えた。図 3 にこのための参照電圧源回路⁶⁾を示す。この回路は、絶対零度における MOSFET の閾値電圧を出力する。この回路は、 β 乗算型自己バイアス回路で使用される抵抗体かわりに強反転線形領域で動作する MOSFET を使用した電流源サブサーキットと、ダイオード接続 MOSFET (M_4) と二つの差動対 ($M_3 - M_6$, $M_5 - M_7$) を組合せた電圧源サブサーキットから構成される。トランジスタ M_{R1} は強反転線形領域で動作し、他のトランジスタはすべてサブスレッシヨルド領域で動作する。

MOSFET のドレイン・ソース間電圧が 0.1 V 以上のとき、サブスレッシヨルド領域でのドレイン電流 I_D は次式で近似できる⁷⁾⁸⁾。

$$I_D = KI_0 \exp\left(\frac{V_{GS} - V_{th}}{\eta V_T}\right). \quad (6)$$

ここで、 $K(=W/L)$ はアスペクト比、 $I_0(= \mu C_{ox}(\eta-1)V_T^2)$ はサブスレッシヨルド電流の前置係数、 η はゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数、 $V_T(=k_B T/q)$ は熱電圧である。電流源サブサーキットにより生成される電流 I_p は、 $I_p = \beta(V_{out} - V_{th})\eta V_T \ln(K_2/K_1)$ で表される。これを用いると、電圧源サブサーキットの参照電圧 (V_{out}) は、トランジスタ $M_3 \sim M_7$ のゲート・ソース間電圧を加減算したもので、次式で表せる。

$$\begin{aligned} V_{out} &= V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7} \\ &= V_{thn} + \eta V_T \ln\left(\frac{3I_p}{K_4 I_0}\right) + \eta V_T \ln\left(\frac{2K_3 K_5}{K_6 K_7}\right) \\ &= V_{thn0} - \kappa T + \eta V_T \ln\left(\frac{6K_3 K_5 I_p}{K_4 K_6 K_7 I_0}\right). \end{aligned} \quad (7)$$

ここで、 $V_{thn} = V_{thn0} - \kappa T$ を用いた。 V_{thn} は nMOS の閾値電圧、 V_{thn0} は絶対零度における nMOS の閾値電圧、 κ は閾値電圧の温度係数である⁹⁾。ここで、回路設計パラメータ $K_i (i = 3 \sim 7)$ を適切に設定することで、式 (7) の右辺最下行の第 2 項と第 3 項の温度係数を打ち消すことが

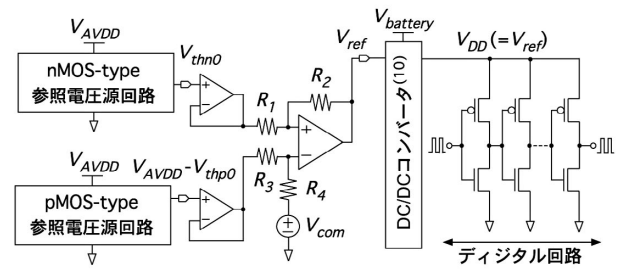


図 4 閾値電圧バラツキ補正回路.
Schematic of the proposed compensation circuit.

できる。したがって、参照電圧 (V_{out}) は絶対零度における MOSFET (M_4) の閾値電圧 (V_{thn0}) が出力される。この絶対零度での閾値電圧は閾値電圧のプロセスバラツキによって変動する。よって、

$$V_{out} = V_{thn0,typ} + \delta V_{thn} \quad (8)$$

と表され、これによりこの参照電圧源回路は閾値電圧のプロセスバラツキ (δV_{th}) を検出することができる。

3.3 回路構成

提案するアーキテクチャを実現するための回路構成を図 4 に示す。nMOS トランジスタと pMOS トランジスタの閾値電圧バラツキをモニタするための参照電圧源回路⁶⁾とオペアンプと抵抗による加減算回路から構成される。 $V_{battery}$ はモバイル端末でよく用いられるリチウムイオンバッテリーを想定し、3.3 V とした。スイッチング DC/DC コンバータはバッテリー電源 (3.3 V) をデジタル回路用の電源 (1 V) に降圧するためのもので、高効率で大きな負荷を駆動することができる。スイッチング DC/DC コンバータは PWM 制御・PI フィードバックの一般的なものを用いた¹⁰⁾。

式 (8) より、参照電圧源回路は以下のように閾値電圧のプロセスバラツキをモニタすることができる。

$$V_{thn0} = V_{thn0,typ} + \delta V_{thn}, V_{thp0} = V_{thp0,typ} + \delta V_{thp}. \quad (9)$$

この検出した閾値電圧バラツキ (δV_{th}) を加減算器の抵抗比により傾きを持たせる。したがって加減算器の出力 (V_{ref}) は次式になる。

$$V_{ref} = V_{DD,typ} + \frac{R_4(R_1 + R_2)}{R_1(R_3 + R_4)} \delta V_{thn} + \frac{R_2}{R_1} \delta V_{thp} \quad (10)$$

$$\begin{aligned} V_{DD,typ} &= \frac{R_3(R_1 + R_2)}{R_1(R_3 + R_4)} V_{com} - \frac{R_2}{R_1} V_{AVDD} \\ &+ \frac{R_4(R_1 + R_2)}{R_1(R_3 + R_4)} V_{thn0,typ} + \frac{R_2}{R_1} V_{thp0,typ}. \end{aligned} \quad (11)$$

この式より、nMOS と pMOS の閾値電圧バラツキに $(R_4(R_1 + R_2))/(R_1(R_3 + R_4))$ と R_2/R_1 によって傾きを持たせることができる。以上により閾値電圧を参照する電圧源を用いて閾値電圧バラツキを検出し、それを電源電圧に反映することにより閾値電圧バラツキによる動作バラツキを補正することができる。

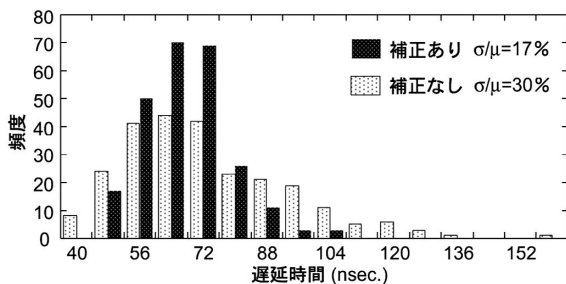


図5 WID・D2D 両方のバラツキを考慮したモンテカルロシミュレーション (250 回). 電源電圧 1 V でのインバータチェーン 100 段の遅延時間バラツキ.

Distribution of delay in a 100-stages inverter chain with or without a compensation circuit calculated from 250-runs Monte Carlo simulations assuming both D2D and WID variations.

3.4 シミュレーション結果

提案回路によるバラツキ補正の検証を行った. 先に述べた通り, 今回用いたプロセスでは pMOS トランジスタの閾値電圧バラツキの影響が nMOS トランジスタより大きいため, pMOS トランジスタの閾値電圧バラツキのみの補正により検証を行う. 補正対象の回路として 100 段インバータチェーンの入出力の遅延時間を用い, WID と D2D 両方のバラツキを考慮したモンテカルロシミュレーションにより遅延時間バラツキを解析した. 結果を図5に示す. 提案回路を用いることで動作バラツキを 45%の改善が可能である.

次に, 補正回路がデジタル回路の消費電力に及ぼす影響を解析した. 以下の二つの条件下における遅延時間バラツキをモンテカルロシミュレーションにより解析を行った.

- 電源電圧 1 V, 補正回路による補正なし
- 電源電圧 0.9 V, 補正回路による補正あり

その結果を図6に示す. この二つの条件下でのインバータチェーン遅延時間の標準偏差 (σ) は等しく 20 ns であった. また, 提案補正回路を用いることで約 20%の低電力化を実現することができた. 一般的に, デジタル回路を設計する際, 回路の遅延時間が設計仕様に収まるように動作マージンをとる. 図6の結果より, ある一定の動作マージンを想定した際, 補正回路を用いることにより電源電圧を小さく設定できることがわかる. デジタル回路において電源電圧を低減すると, その2乗に比例して消費電力を抑えることができる. 図2で示した通り電源電圧を低減させると遅延時間バラツキが大きくなるため, 通常は電源電圧を許容値以下に低減させることはできない. しかし, 提案回路を用いることにより遅延時間バラツキをコントロールしつつ低電圧動作を実現することができることから, 低電圧デジタル回路の更なる低電力化を実現することができる.

(文 献)

- 1) T. Kuroda, *et al.*, "A 0.9-V, 150-MHz, 10-mW, 4mm², 2-D discrete cosine transform core processor with variable threshold-voltage(VT) scheme," *IEEE Journal of Solid-State Circuits*, 31, pp. 1770 - 1779 (1996)
- 2) K. A. Bowman, *et al.*, "Impact of die-to-die and within-die parameter fluctuations on the maximum clock frequency distribution for gigascale integration," *IEEE Journal of Solid-State Circuits*, 37, pp. 183 - 190 (2002)

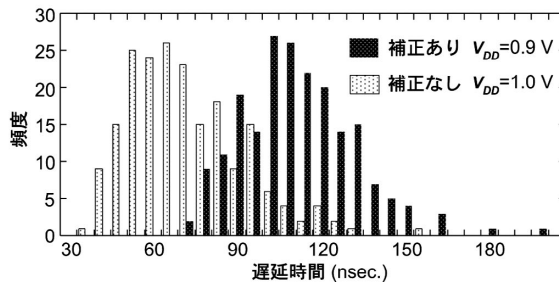


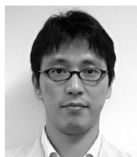
図6 WID・D2D 両方のバラツキを考慮したモンテカルロシミュレーション (200 回). インバータチェーン 100 段の遅延時間バラツキ.

Distribution of delay in a 100-stages inverter chain with or without a compensation circuit calculated from 200-runs Monte Carlo simulations assuming both D2D and WID variations.

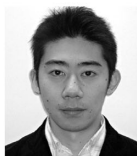
- 3) H. Onodera, "Variability: Modeling and Its Impact on Design," *IEICE Trans. Electron.*, E89-C, pp.342-348 (2006)
- 4) M. J. M. Pelgrom, *et al.*, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, pp. 1433 - 1439 (1989)
- 5) T. Sakurai, A. R. Newton, "Alpha-Power Law MOSFET Model and Its Application to CMOS Inverter Delay and Other Formulas," *IEEE JSSC*, 25, pp.584-594 (1990)
- 6) K. Ueno, *et al.*, "A 0.3- μ W, 7 ppm/ $^{\circ}$ C CMOS voltage reference circuit for on-chip process monitoring in analog circuits," *Proc. of the 34th European Solid-State Circuits Conference (ESSCIRC)*, pp. 398-401 (2008)
- 7) Y. Taur, T.H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge University Press (2002)
- 8) A. Wang, B.H. Clhoun, A.P. Chandracasan, *Sub-threshold Design for Ultra Low-Power Systems*, Springer (2006)
- 9) I. M. Filanovsky, *et al.*, *IEEE Trans. Circuits Syst. I, Fundam. Theory Appl.*, pp. 876-884 (2001)
- 10) Edgar Sánchez-Sinencio and Andreas G. Andreou, *Low-Voltage/Low-Power Integrated Circuits and Systems: Low-Voltage Mixed-Signal Circuits*, IEEE Press Series on Microelectronic Systems.



つぎた ゆうすけ
次田 祐輔 現在, 北海道大学大学院情報エレクトロニクス専攻修士課程 2 年に在学. 極低消費電力 LSI のバラツキ補正に関する研究に従事.



ひろせ てつや
廣瀬 哲也 2005 年, 大阪大学大学院電子情報エネルギー工学専攻博士後期課程了. 2005 年, 北海道大学大学院情報エレクトロニクス専攻助手. 2008 年, 神戸大学大学院電子工学専攻講師. 低電力 CMOS アナログ・デジタル集積回路技術, 特に MOSFET のサブスレッショルド領域特性を利用した機能 LSI 開拓研究に従事. 博士(工学).



うえの けんいち
上野 憲一 2007 年, 北海道大学大学院情報エレクトロニクス専攻修士課程了. 現在, 博士課程 3 年に在学. MOSFET のサブスレッショルド特性を利用した極低消費電力 LSI の研究に従事.



あさい てつや
浅井 哲也 1999 年, 豊橋技術科学大学大学院電子情報工学専攻博士後期課程了. 1999 年, 北海道大学大学院電子情報工学専攻助手. 2001 年 10 月同助教授. 生体に学んだ情報処理とその集積回路化 (ニューロチップ) の研究, および非線形アナログ集積回路と反応拡散チップの研究に従事. 工学博士.



あめみや よしひと
雨宮 好仁 1975 年, 東京工業大学大学院電子工学専攻博士課程了. 工学博士. 1975 年, 日本電信電話公社武蔵野電気通信研究所. 1987 年, NTT LSI 研究所. 1993 年, 北海道大学教授. 自然界や生体で生じる機能現象 (秩序形成, 自己組織化, 知覚と識別など) の背景にあるメカニズムを動作原理として情報処理を行う新しい集積回路の開拓研究に従事. 工学博士.