

解 説

ゆらぎを積極的に利用する生体様ハードウェア

—雑音を利用したオンチップマルチクロック源—

浅井 哲也, 宇田川 玲, 雨宮 好仁

北海道大学大学院 情報科学研究科*

Neuromorphic Hardware utilizing Fluctuations
—Noise-induced Phase Synchronization among On-chip Clock Generators—

Tetsuya Asai, Akira Utagawa and Yoshihito Amemiya

Graduate School of Information Science and Technology, Hokkaido University*

概要

電子デバイス・回路において、ゆらぎの要素は旧来除去すべきものであって、その除去のためにこれまで様々な努力がなされてきた。一方、生物は環境の雑音やゆらぎを除去するというよりはむしろ積極的に利用して情報処理を行うと考えられている。本稿では、著者等がこれまでで研究を進めてきた「ゆらぎを利用する集積回路アーキテクチャ」の一つである、雑音を利用した位相同期回路—オンチップマルチクロック源、に関する研究成果を紹介する。

1. はじめに

熱雑音やゆらぎの要素は、回路やシステム設計において非常に悩ましい存在である。私の専門分野は電子回路であるが、自分の過去の研究を振り返ってみると、その大部分がゆらぎ—雑音との戦いであった。学生時代に、多層ニューラルネットや連想メモリのハードウェア（ニューロコンピュータ）を設計していた頃は、ニューラルネットが持つ冗長性の恩恵を多分に受けていて、ゆらぎをさほど深刻な問題として捉えていなかったように思える。むしろ、神経素子の増加により爆発的に増えるシナプス配線の問題に頭を抱えていた。そうこうしているうちに、ニューロコンピュータの研究が徐々に下火となり、その代わり、Carver Mead等により提唱された「生体様ハードウェア¹⁻⁶⁾」に関する研究が新たなブームとなってきた。

生体様ハードウェアの研究アプローチは、脳深部の高次機能を模するハードウェアを作るというのではなく、構造と機能が比較的明らかになっている部位（網膜や一次視覚野など）の神経モデルを手本に、その仕組みをできるだけ直接的に模するハードウェア—集積回路を作る、というものである。当時、一次元／二次元的な空間構造を持つ神経モデルは、比較的容易に集

積回路上に焼き直すことができたので、生体様ハードウェアの先行きはとても明るく思えた。私もそのブームに乗って、シリコン網膜や昆虫の視覚ハードウェア等の研究を始めたのだが、いざデバイスを動作させる段階で立ちはだかった問題が、半導体デバイスのバラツキとゆらぎの問題である。ゆらぎの要素のない回路シミュレーションではきちんと動作するものが、いざ苦労して集積回路を試作してみると、極端に処理画像が汚い、あるいはまったく動作しない。亀田、八木らは非常に巧妙な方法で、画素レベルでデバイスのバラツキを吸収（学習）する網膜チップを設計した^{7,8)}。私は当時、その巧みさに感心しつつも、ひそかに別のアプローチを模索していた。というのも、単体の神経素子は、半導体デバイスと比べるとはるかに信頼性の低い素子であり、バラツキも大きく、応答の再現性も低い。にも関わらず、我々が高画質映像を見て美しく感じられるのは、神経素子レベルで均一性を持たせるような仕組みではなく、システム全体として均一性を生み出すような仕組みが働くのではないかと考えていたからだ。

5年ほど前、私の学生の一人が、半導体の減衰シナプス回路⁹⁾を用いてバースト検出を効率よく行うニューロチップの研究を行っていた。学生は、回路シミュレーションではきちんと動作するので、デバイスを試作し

* 〒 060-0814 北海道札幌市北区北 14 条西 9 丁目

たいと言う。このようなアナログのデバイスを実際に作ると、ゆらぎ（デバイスのバラツキ）の効果により回路がきちんと動作しないはずなので、私はその学生に、個々のデバイスにバラツキを持たせて再シミュレーションを行うよう指示した。その後しばらくして、学生が首をかしげながらこう報告してきた—「おかしいんですよ、バラツキが全くないよりは、少しあったほうが、性能がよくなるんです」—この結果は私の予想と全く反していて、最初は学生の間違いであると疑ってかかった。しかし、回路を検証していくうちに、この結果に間違いがないことがわかり¹⁰⁾、個人的には大変驚いたことを憶えている。つまり、この回路にとっては、ゆらぎが必要だったのである。上記の研究を境に、これまでのゆらぎの効果を系統的に“抑制する”というアプローチから、ゆらぎの効果を“利用する”というアプローチに研究が徐々にシフトしていった。

実はそれまでも、雑音を利用してシステムの性能を改善する、という話はニューラルネットの世界のいたるところで耳にしていたのだが、そこに行き着く前に、前途のシナプス配線の爆発的増加の問題が立ちはだかり、研究にとりかかる前に諦めてしまっていた感がある。しかし、生物の神経系が、雑音を排除するのではなく活用する方向に進化したとするならば、生体様ハードウェアとして実現できそうな部位の中にも、雑音を利用して我々の役に立ちそうなものがあるかもしれない。たとえば、昆虫（コオロギ）は、熱雑音による擾乱を活用することで触角のセンサ感度を超える微弱な信号を検出する¹¹⁾。また、ある種の抑制神経ネットワークは、雑音を活用することで低周波雑音を高周波領域へ押し上げる（AD変換の一種である $\Sigma\Delta$ 変調におけるノイズシェーピング効果と同等）の性質を持つ¹²⁾。さらに、雑音を加えることで、バーストパルス検出を行う神経ネットワークの出力ダイナミックレンジが大幅に向上することも明らかになった¹³⁾。また、雑音を加えることで、非同期に発火している複数の神経細胞が同期発火するという現象も見つかっている¹⁴⁾。

雑音やゆらぎの吸収・利用は、生物の神経系だけでなく自然界のいたるところで行われていると考えられる。これまで、手当たり次第に“面白そうな”モデルの集積回路化を行ってきた。例えば、雑音を利用して1ビットAD変換を行う集積回路¹⁵⁾や、雑音を利用してバースト同期検出を行う集積回路¹³⁾、熱雑音を利用して樹上パターン生成を行う単電子集積回路¹⁶⁾、確率共鳴を利用した微弱信号検出を行う単電子集積回路¹⁷⁾、雑音を利用した位相同期回路¹⁸⁾などである。そのすべてを紹介すると読者が消化不良になりかねないので、

本稿では著者らの最新の研究成果である、雑音を利用した位相同期回路—オンチップマルチクロック源¹⁸⁾、について詳細に解説する。

2. 同期式デジタル集積回路のクロック同期問題

現在のデジタル集積回路のほとんどは、クロックを均等に分配する同期アーキテクチャに基づいて設計されている。外部から集積回路に与えられたクロックは、クロック分配ネットワーク（配線）を介して、すべての順序回路に同期して与えられるべきである。ところが実際には、クロックスキューと呼ばれる、クロック到達時間のバラツキが存在する¹⁹⁾。クロックスキューの主な原因は、クロック分配ネットワークの配線の非対称性や欠損、もしくは配線遅延などである。配線遅延は、集積回路の製作プロセスや、電源電圧、温度、負荷などにも依存し、このことがクロックスキューの問題をより複雑にしている。軽度のクロックスキューは、集積回路のパフォーマンスを犠牲にすれば（システムクロック周波数を下げれば）防げるが、重度のクロックスキューは深刻なシステム不具合を引き起こす。クロックスキューの問題は、LSIの集積度とクロック周波数の増加にともない、年々深刻になってきている。

クロックスキュー問題の対策として、これまで、ゼロスキュークロック分配²⁰⁾、スキュー補正バッファ²¹⁾、クロック配線調整²²⁾などの技術が用いられてきた。また、通常の回路では、Hツリーと呼ばれるクロックパスの設計を行うことで、クロックスキューを大幅に低減できる²³⁾。大規模かつ複雑なクロックネットワークでは、スキュー補正バッファの配置を（膨大な時間をかけて）最適化してクロックスキューを低減する。非同期アーキテクチャ²⁴⁾を導入することでクロックスキュー問題を根本的になくす、という試みもあるが、現在の非同期回路のみでは、日々変化する様々な要求を十分に満たすことができない。近年は、遺伝的アルゴリズムを用いて、クロックネットワークに必要なマージンを計算するようなアプローチもでてきている²⁵⁾。

現在のスキュー解消技術の問題点は、クロックネットワークの配線長の増加とそれに伴う消費電力の増大、ならびに最適化および製作後の処理コスト増大、などである。そこで著者らは、現在の方法とは異なるアプローチでスキュー問題の解決を狙っている。近年、中尾らにより、雑音を加えることで独立したニューロンモデル群が位相同期する、という現象が示された¹⁴⁾。神経細胞の集団に雑音を加えることでそれらが同期発火するという現象は、生理実験などでも古くから知られている。中尾らの研究のなかで著者らが注目したの

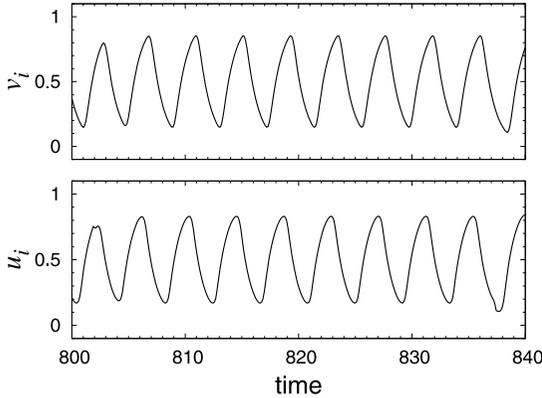


Fig. 1 Nullclines and trajectories of single Wilson-Cowan type oscillator receiving random impulses.

は、相互結合を持たない“独立した”神経細胞群が雑音により位相同期する、という現象である。個々の神経細胞を、集積回路上におかれた独立クロック源として考え、雑音を加えることでそれらが位相同期するかもしれない、と考えたのである。以下の章では、中尾らのモデル¹⁴⁾をハードウェア向けに改良した神経モデルベースのクロック源、ならびにそのシミュレーション結果について紹介する。

3. 雑音を利用した位相同期回路

中尾らは、FitzHugh-Nagumo ニューロンを用いて、初期位相の異なる N 回の試行にて得られたスパイク列が、雑音を加えることで、初期位相に関わらず同じタイミングで発火することを示した¹⁴⁾。FitzHugh-Nagumo ニューロンは電子回路化—特に集積回路向けの設計が困難であるため、代わりに Wilson-Cowan 振動子²⁶⁾とその回路²⁷⁾を導入しよう。

雑音を受ける Wilson-Cowan 振動子のダイナミクスを

$$\frac{du_i}{dt} = -u_i + f_\beta(u_i - v_i) + I(t), \quad (1)$$

$$\frac{dv_i}{dt} = -v_i + f_\beta(u_i - \theta), \quad (2)$$

とする。ここで、 u_i と v_i は i 番目の振動子のシステム変数、 θ はしきい値、 $I(t)$ は全ての振動子が共通に受ける雑音 (ランダムパルス)、 $f_\beta(\cdot)$ はスロープ β のシグモイド関数を表す。

雑音は、 $I(t) = \alpha \sum_j \delta(t - t_j^{(1)}) - \delta(t - t_j^{(2)})$ を与えることにする。ただし、 $\delta(t) = \Theta(t) - \Theta(t - w)$ (Θ , w および t_j は、ステップ関数、パルス幅、およ

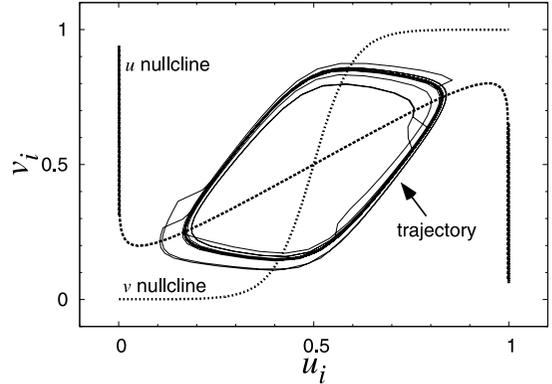


Fig. 2 Time courses of system variables of single Wilson-Cowan type oscillator receiving random impulses.

び $t_j^{(1)} \neq t_j^{(2)}$ となる正の乱数) である。システムパラメータは、 $\theta = 0.5$, $\beta = 10$, $\alpha = 0.5$, $w = 0.1$ とし、平均スパイク間隔 $|I(t)|$ は 100 とする。Fig. 1 に、雑音を加えたときの Wilson-Cowan 振動子の各変数の時間変化を示す。何の変哲もないリミットサイクルが観測されているようだが、相平面に軌跡をプロットしてみると、 $I(t)$ により軌道が大きくゆらぐことがわかる (Fig. 2)。

Wilson-Cowan 振動子の各システム変数の振る舞いは、 $\beta \rightarrow \infty$ を仮定すると、以下の 4 領域に分割して考えることができる²⁸⁾：

$$\text{I } (u < v \ \& \ v < \theta) : \begin{cases} \dot{u}_i = -u_i + 1 + I(t) \\ \dot{v}_i = -v_i \end{cases}, \quad (3)$$

$$\text{II } (u < v \ \& \ v > \theta) : \begin{cases} \dot{u}_i = -u_i + 1 + I(t) \\ \dot{v}_i = -v_i + 1 \end{cases}, \quad (4)$$

$$\text{III } (u > v \ \& \ v > \theta) : \begin{cases} \dot{u}_i = -u_i + I(t) \\ \dot{v}_i = -v_i + 1 \end{cases}, \quad (5)$$

$$\text{IV } (u > v \ \& \ v < \theta) : \begin{cases} \dot{u}_i = -u_i + I(t) \\ \dot{v}_i = -v_i \end{cases}, \quad (6)$$

ここで、 \dot{u}_i と \dot{v}_i は du_i/dt と dv_i/dt を表す。Fig. 3 に、Wilson-Cowan 振動子の一周期分の u_i と v_i の時間変化と、上記の領域との対応関係を示す。領域 I と II では、 u_i は 1 に向かって増加する。したがって、この領域で正のパルス ($I(t) > 0$) が与えられると、振動の位相 ϕ_i (ここでは簡単のため、 $\phi_i \equiv \tan^{-1}(v_i - 0.5)/(u_i - 0.5)$ と定義する) は進むことになる。一方、領域 III と IV

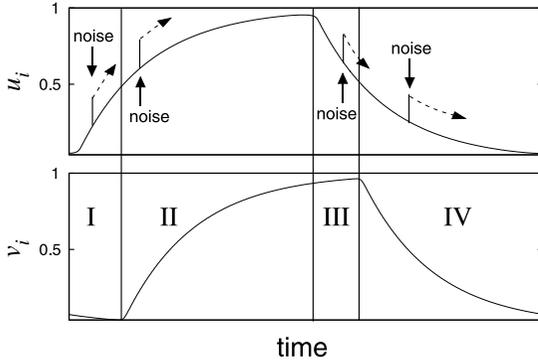


Fig. 3 Four operational regions (I to IV) of Wilson-Cowan system.

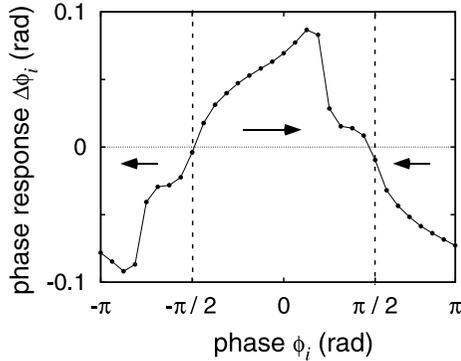


Fig. 4 Phase response curve of Wilson-Cowan system.

では、 u_i が 0 に向かって減少するため、この領域で正のパルスを与えると、位相は遅れることになる。

Fig. 4 は、数値シミュレーションにより得られた位相応答 (Phase Response Curve: PRC) である。PRC は、振動子の位相が ϕ_i の状態で外部入力を与えたとき、それによる位相の変化量 ($\Delta\phi_i$) を示すものである²⁹⁾。このシミュレーションでは、 ϕ_i ($-\pi \sim \pi$) の状態で正のパルス $I(t)$ を与え、その結果変化した位相 $\Delta\phi_i$ を観測する。 $I(t)$ を与える直前の位相が $-\pi/2 < \phi_i < \pi/2$ のとき、 $\Delta\phi_i$ は正となった。つまり、この位相で正のパルスを与えると、振動子の位相が進む。それ以外の位相では $\Delta\phi_i$ は負となり、正のパルスを与えると振動子の位相は遅れる。ここで注目すべきことは、正のパルスをランダムなタイミングで振動子に加えると、位相が $\phi_i \approx \pi/2$ のまわりに収束する性質である。正のパルスが与えられる度に、Fig. 4 中の矢印の方向に位相がシフトするため、全ての振動子の位相が $\pi/2$ 近傍

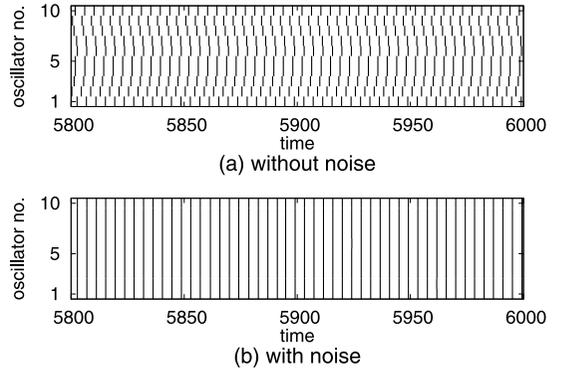


Fig. 5 Raster plots of 10 oscillators. (a) independent oscillations without random impulses, (b) synchronous oscillations with random impulses.

に集まる。

この系のシミュレーション結果を見てみよう。簡単のため、10 個の Wilson-Cowan 振動子 ($N = 10$) を用いる。全ての振動子は同じシステムパラメータを持つとし、共通のランダムパルス $I(t)$ を受ける (もしくは受けない) とする。振動子の初期状態はランダムに選ぶ。Fig. 5 に、雑音を受けない場合、および受けた場合の、振動子群のラスタプロットを示す ($u_i > 0.5$ かつ $du_i/dt > 0$ を発火イベントとする)。振動子がランダムパルスを受けない ($\alpha = 0$) ときは、Fig. 5(a) に示すように、それぞれの振動子は独立して振動する。一方、Fig. 5(b) に示すように、 $\alpha = 0.5$ のとき (雑音を与えたとき) は、全ての振動子が同期発火した。

同期の度合いを評価するために、以下のオーダーパラメータ

$$R(t) = \frac{1}{N} \left| \sum_j \exp(i\phi_j) \right|,$$

を導入する。ここで、 N は振動子数、 i は虚数単位を表す。全ての振動子が同期すると、全ての ϕ_j が同じ値になるので、 $R(t)$ は 1 となる。非同期のときは、 $R(t)$ は 1 よりも小さくなる。Fig. 6 に、オーダーパラメータの時間変化を示す。Fig. 6(a) に示すように、 $\alpha = 0$ の時は、 $R(t)$ は不安定で常に 1 よりも小さな値を示す。一方、 $\alpha = 0.5$ の場合は、Fig. 6(b) に示すように、 $t \approx 5000$ にて $R(t)$ の値が 1 に収束した。つまり、雑音を加えることで、確かに全ての振動子が同期発火するのである。

上記の振動子群を、LSI 上にばらまかれた独立クロッ

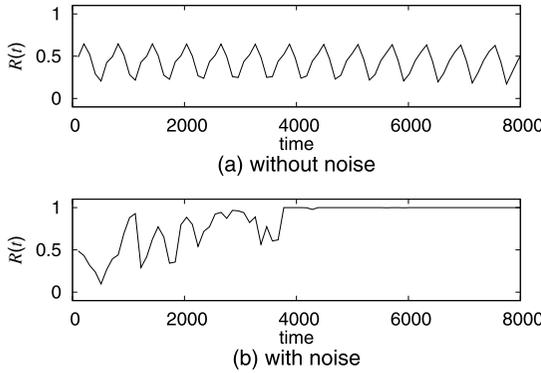


Fig. 6 Time courses of order parameter values (a) without random impulses and (b) with random impulses.

ク源として考えた場合、それらのクロック源は、外部から共通の雑音パルスを加えることで、強制的に同期させられるかもしれない。以下の章で、その可能性について調べてみよう。

4. クロック源の回路化とシミュレーション結果

Wilson-Cowan 振動子のダイナミクスをアナログ的に模する電子回路を設計する (Fig. 7)。クロック源としての利用を考えているため、RF 領域 ($> 1 \text{ GHz}$) で動作する回路が望ましい。そこで、差動対 (M1~M3) と呼ばれるシグモイド特性を得るための回路、および二つのインバータからなるバッファ回路を用いて、振動子回路を構成する。Wilson-Cowan 振動子の時定数が非常に小さく、かつ $I(t) = 0$ のとき、式 (1) と (2) は

$$u_i \approx f_{\beta}(u_i - v_i), \quad (7)$$

$$v_i \approx f_{\beta}(u_i - \theta), \quad (8)$$

と表される。Fig. 7 中の OTA は基本オペアンプを示し、その出力電圧 (V_o) は、 $V_{dd} \cdot f(V_1 - V_2)$ と近似できる ($f(\cdot)$ はシグモイド/ステップ関数的な特性を持つ)。バッファ回路の出力電圧 (V_{o2}) もまた、 $V_{dd} \cdot f(V_{in} - V_{dd}/2)$ と近似できる。したがって、Fig. 7 のように、OTA とバッファ回路の入出力を u_i と v_i に結線すると、 $V_1 = V_o = u_i$ 、 $V_2 = v_i$ 、 $V_{in} = u_i$ 、 $V_{o2} = v_i$ 、となり、その結果

$$u_i = V_{dd} \cdot f(u_i - v_i), \quad (9)$$

$$v_i = V_{dd} \cdot f(u_i - V_{dd}/2), \quad (10)$$

を得る。この式は、(7) と (8) と等価なものである。

前章で示した Wilson-Cowan 振動子では、雑音項

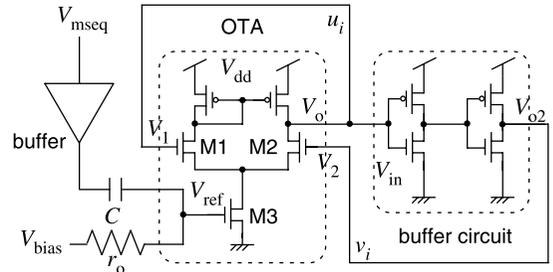


Fig. 7 Wilson-Cowan circuit for sub-RF operations.

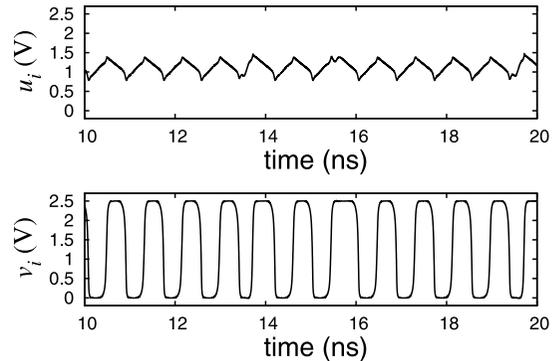


Fig. 8 Time courses of system variables of oscillator circuit receiving pseudo-random impulses.

$I(t)$ は u_i のダイナミクスのみに加えられていた。上記の振動子回路に雑音を加える最も簡単な方法は、回路の u_i の節点と、ランダムバイナリ列を発生する M 系列回路の出力節点を容量結合することである。M 系列のランダム値の移り変わり (0→1 または 1→0) 時に発生するキャパシタ電流は、 u_i の摂動として有用に思える。しかし、今回設計した回路は電圧モードで動作するため、微小な電流を u_i の節点に加えても、 u_i が効果的に変動しない。そこで、雑音が OTA の出力関数 $f(\cdot)$ のスロープを変調するように回路を構成する。このスロープファクターは、 V_{ref} の微動に対して大きく変化する。そこで、 V_{ref} を容量 C を介して V_{mseq} で揺さぶることで、効果的に u_i に摂動を加える。

以下の回路シミュレーション結果は、TSMC 社の $0.25\text{-}\mu\text{m}$ CMOS パラメータを用いて得られたものである。MOS FET のサイズ比は、 $W/L = 0.36\text{ }\mu\text{m}/0.24\text{ }\mu\text{m}$ とした。ただし、M3 については、チャンネル長変調効果を考慮して、 $L = 2.4\text{ }\mu\text{m}$ とした。擬似雑音列 (V_{mseq}) の生成には、4 ビットの M 系列

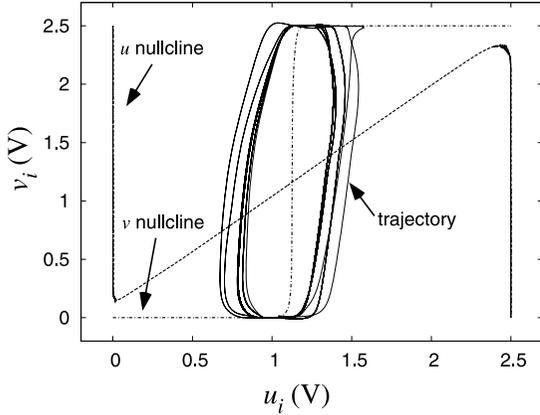


Fig. 9 Nullclines and trajectories of oscillator circuit receiving pseudo-random impulse.

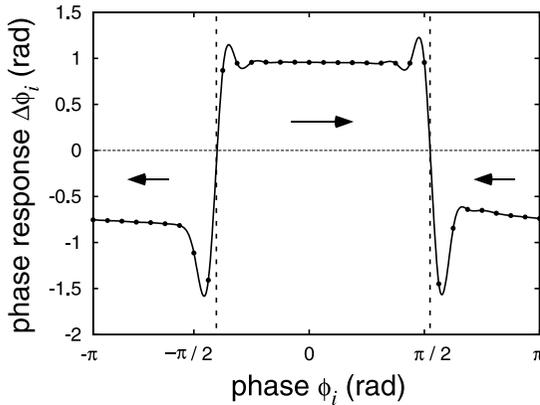


Fig. 10 Phase response curve of the neuron circuit.

回路を利用した。また、 $C = 20 \text{ fF}$, $R_o = 1 \text{ k}\Omega$, M 系列のクロックは 500 MHz (30 ns 周期のランダム列を生成) とし、電源電圧は 2.5 V とした。

Fig. 8 に、回路が雑音を受けているときの u_i と v_i の時間変化を示す。また、Fig. 9 に、相平面上の軌道と、回路のヌルクラインを示す。M 系列により軌道が効果的にゆらいでおり、前章で示した Wilson-Cowan 振動子と質的に同じ結果が得られた。M3 の直流電流が $60 \mu\text{A}$ 以内となるように V_{bias} を設定した状態で、振動周波数は 1.17 GHz であった。

次いで、設計した回路の PRC を計算した (Fig. 10)。回路の位相応答 ($\Delta\phi_i$) は正負の两部分を持つため、外部からランダムパルスを与えると、時間が経つにつれて、位相が $\pi/2$ に収束する。Fig. 11 は、シミュレーションにより得られた 10 個の振動子回路のラスタープ

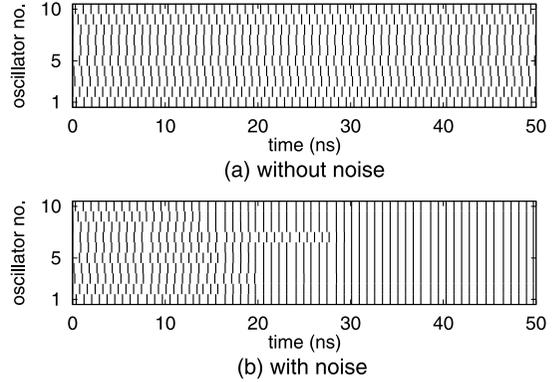


Fig. 11 Raster plots of 10 oscillator circuits. (a) independent oscillations without random impulses, (b) synchronous oscillations with random impulses.

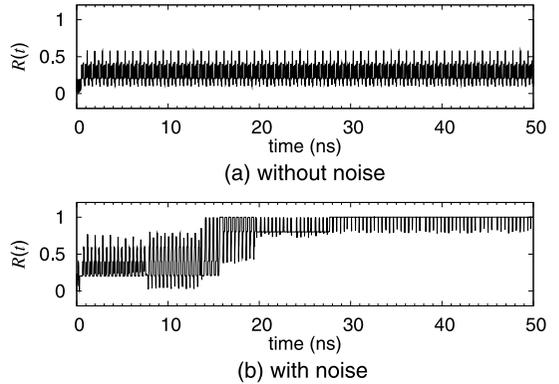


Fig. 12 Time courses of order parameter values (a) without random impulses and (b) with random impulses.

ロットである ($v_i > 1.25 \text{ V}$ かつ $dv_i/dt > 0$ を発火イベントとする)。Fig. 11(a) に示すように、雑音 (V_{mseq}) が与えられていないときは、全ての振動子回路は独立して振動する。一方、雑音を与えたときは、Fig. 11(b) に示すように、 $t \approx 30 \text{ ns}$ にて全ての振動子回路が同期した。したがって、複数の振動子回路を LSI 上に実装した場合、外部から共通の雑音を加えることで、それらの振動子の位相が揃うはずである。

回路のオーダーパラメータの時間変化を Fig. 12 に示す。Fig. 12(a) に示すように、雑音を与えられない場合は、 $R(t)$ は常に 1 よりも小さい。一方、雑音を加えた場合は、Fig. 12(b) に示すように、 $t \approx 30 \text{ ns}$ 以降で、 $R(t)$ は 1 に近づいた。 $R(t)$ が完全に 1 にならな

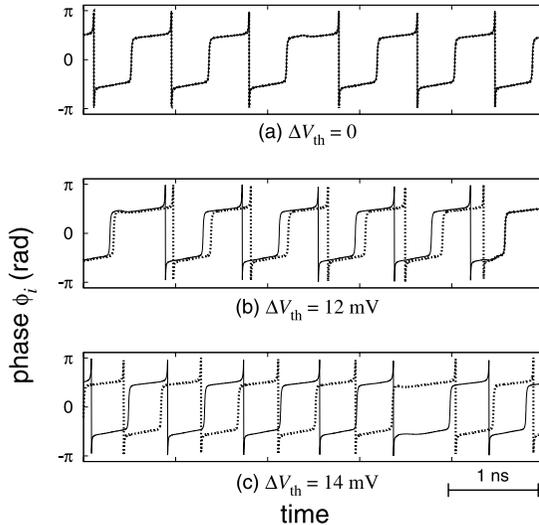


Fig. 13 Time courses of phases of two oscillator circuits. (a) two identical oscillators ($\Delta V_{th} = 0$), (b) $\Delta V_{th} = 12$ mV and (c) $\Delta V_{th} = 14$ mV.

い理由は、 v_i が“堅い”振動をするため、矩形波状の v_i の立ち上がりと立ち下りのタイミングで、位相差が瞬間的に拡大することに起因する。

繰り返しになるが、上記の結果は、もしこの振動子回路の集団を“ユビキタス（どこにでもある）クロック源”としてデジタル CMOS LSI 上に実装すれば、それらは外部から共通の雑音を加えることで、強制同期させられる、ということを示唆している。よって、現在のクロックスキュー問題を解決できるかもしれない。しかし現実的には、デバイスパラメータのバラツキが存在し、クロック源間の完全同期は容易ではなさそうだ。そこで、この回路のデバイスパラメータのバラツキ依存性について調べてみよう。クロック源を LSI 上に分散させるという目的から、振動子回路内のローカルなバラツキ（差動対と電流ミラーのバラツキ）は無視できるとする。インバータのしきい値電圧のバラツキは、Wilson-Cowan 振動子のしきい値 θ にゆらぎを与えるが、このバラツキは固定点の位置をわずかに動かすだけで、振動周波数を大きく変えることはない。したがって、インバータのバラツキも無視できるとする。しかし、振動子回路の M3 のしきい値電圧のバラツキは無視できない。この回路の振動周波数は、M3 のしきい値電圧の二乗に比例して変化するからだ。そこで、この M3 のしきい値電圧のバラツキが、位相同

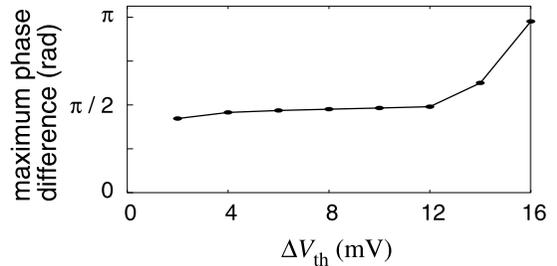


Fig. 14 Synchrony dependence on parameter mismatch.

期現象にどのような影響を与えるか調べてみる。

Fig. 13 に、二つの振動子回路の位相の時間変化を示す。予想どおり、M3 のしきい値電圧の差 (ΔV_{th}) の増加に伴って、二つの振動子の位相差が拡大する。しかし興味深いことに、異なる固有振動周波数 ($\Delta V_{th} \neq 0$) を持つ二つの振動子の位相差は、雑音を加えることでほぼ固定されている。これは、振動子回路が“同時に”雑音パルスを受けるためである。実際、この構造は、M 系列回路のクロック周波数を下げることで崩壊する。

Fig. 14 は、上記の二つの振動子間の最大の位相差の ΔV_{th} 依存性をプロットしたものである。それぞれの ΔV_{th} について、位相差の絶対値を 50 ns ~ 150 ns 間に計測し、最大の位相差をプロットした。驚いたことに、 $\Delta V_{th} < 12$ mV では、最大の位相差はほぼ $\pi/2$ に固定された。つまり、この回路はデバイスのバラツキに対して多少なりとも耐性を持つのである（勿論、位相差は 0 ではないのだが）。

上記の振動子群を分散クロック源として用いるとき、位相差が π 以上（上記のシミュレーションでは、 $\Delta V_{th} \geq 16$ mV）になると、順序回路は動作しない。一方、位相差が π 以下であれば、解決の糸口が見つかりそうである。いまのところ、明確なソリューションは示せていないが、クロック源同士を非線形結合したり、雑音やシステムパラメータセットを最適化することで、同期精度の向上が見込まれる。

本稿で示した振動子回路は、デモンストレーション用途で M 系列回路を雑音源に用いたが、実応用のためには、雑音の与え方についても考える必要がある。全ての振動子回路に同じタイミングで雑音を与える必要があるが、M 系列回路を用いて雑音を生成すると、M 系列回路に与えるクロックの遅延が発生するため、研究そのものが本末転倒となるからだ。雑音を共通に与える一つのアイデアとして、大規模デジタル集積回路における電源雑音の利用が考えられる。近年の電源雑

音モデルおよびチップ上の測定結果によれば、電源雑音は準周期的なもので、無視できないほど大きい振幅を持つ³⁰⁾。幅の広い電源配線を用いれば、局所的なカタよりなしに電源雑音を広く分配できそうである。別のアイデアは、チップ外から電磁波雑音を加える方法である。この場合、個々の振動子回路は、雑音をとらえるアンテナ（最上層の金属配線層を利用）を持つ必要がある。ただしこの場合は、クロック源以外の回路全体をシールドする必要がある。

5. ま と め

雑音を利用する生体様アーキテクチャの一例として、オンチップマルチクロック源を紹介した。これは、中尾らによって提案された、FitzHugh-Nagumo ニューロンの位相同期現象¹⁴⁾を、集積回路向けの電子回路上で再現したもので、これらの回路を同期させるために、雑音を積極的に利用するものである。電子回路化が容易な Wilson-Cowan 振動子を用いて雑音位相同期モデルを再解析し、回路シミュレーションにより動作を確認した。

著者らはここ数年、情報通信分野における応用を目指した、ゆらぎを利用する機能システムのアーキテクチャを構築してきた^{10, 13, 15-18)}。これらのいわば「特殊機能を持つアーキテクチャ」の研究を経て、生物の自己組織化や脳の情報処理方法に学び、ゆらぎを積極的に利用する半導体デバイスの研究基盤を整える—という、個人的には壮大な研究着想に至ったわけだが、正直に言うと、この先実用化に結びつけるためには、まだまだ時間がかかりそうである。近年、ゆらぎを本質的に利用する電子/集積回路に関する研究が増えてきた（本年度の JST³¹⁾や、昨年度の NEDO 産業技術助成事業³²⁾において、関連研究の一部が立ち上がりつつある）。雑音を利用する自然模倣アーキテクチャは他にも多数あると考えられ、今後の関連研究の発展が楽しみでならない。

謝 辞 本研究は、新エネルギー・産業技術総合開発機構（NEDO）平成 16 年度産業技術研究事業費助成金を受けて実施したものです。

参 考 文 献

- 1) Mead, C. (1989): Analog VLSI and Neural System. Addison-Wesley
- 2) Mead, C. and Ismail, M. (1989): Analog VLSI Implementation of Neural Systems. Kluwer Academic Publishers
- 3) Mahowald, M. (1989): An Analog VLSI System for Stereoscopic Vision. Kluwer Academic Publishers
- 4) Moini, A. (2000): Vision Chips. Kluwer Academic Publishers
- 5) Liu, S.-C., Kramer, J., Indiveri, G., Delbrück, T. and Douglas, R. (2002): Analog VLSI: Circuits and Principles. The MIT Press
- 6) Stocker, A.A. (2006): Analog VLSI Circuits for the perceptions of Visual Motion. Wiley
- 7) Kameda, S., Honda, A. and Yagi, T. (1999): Real time image processing with an analog vision chip system, International Journal of Neural Systems, Vol.9, No.5, pp.423-428
- 8) 亀田成司, 八木哲也 (2003): 神経回路を模倣したアナログ集積視覚チップの研究動向, 日本神経回路学会誌, Vol.10, No.2, pp.62-67
- 9) Kanazawa, Y., Asai, T., Ikebe, M. and Amemiya, Y. (2004): A novel CMOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection, International Journal of Robotics and Automation, Vol.19, No.4, pp.206-212
- 10) Asai, T., Kanazawa, Y., Hirose, T. and Amemiya, Y. (2004): A MOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection, Proc. 2004 Int. Joint Conf. on Neural Networks, 1225 (W107)
- 11) 下澤楯夫 (1999): 熱雑音を手なずけた昆虫の機械感覚器, 日本神経回路学会誌, Vol.6, No.4, pp.155-166
- 12) Mar, D.J., Chow, C.C., Gerstner, W., Adams, R.W. and Collins, J.J. (1999): Noise shaping in populations of coupled model neurons, Neurobiology, Vol.96, pp.10450-10455
- 13) Oya, T., Asai, T., Kagaya, R., Hirose, T. and Amemiya, Y. (2006): Neuronal synchrony detection on single-electron neural network, Chaos, Solitons and Fractals, Vol.27, No.4, pp.887-894
- 14) Nakao, H., Arai, K. and Nagai, K. (2005): Synchrony of limit-cycle oscillators induced by random external impulses, Phys. Rev. E, Vol.72, 026220
- 15) Utagawa, A., Asai, T., Hirose, T. and Amemiya, Y. (2007): An inhibitory neural-network circuit exhibiting noise shaping with subthreshold MOS neuron circuits, IE-ICE Trans. Fundamentals, Vol.E90-A, No.10, pp. 2108-2115
- 16) Oya, T., Motoike, I.N. and Asai, T. (2007): Single-electron circuits performing dendritic pattern formation with nature-inspired cellular automata, Int. J. Bifurcation and Chaos, Vol.17, No.10, pp.3651-3655

- 17) Oya, T., Asai, T. and Amemiya, Y. (2007): Stochastic resonance in an ensemble of single-electron neuromorphic devices and its application to competitive neural networks, *Chaos, Solitons and Fractals*, Vol.32, No.2, pp.855–861
- 18) Utagawa, A., Asai, T., Hirose, T. and Amemiya, Y. (2007): Noise-induced synchronization among sub-RF CMOS neural oscillators for skew-free clock distribution, *Proc. Int. Symp. Nonlinear Theory and its Applications*, pp.329–332
- 19) Brueske, D.E. and Embabi, S.H.K. (1994): A dynamic clock synchronization technique for large systems, *IEEE Trans. Comp., Packag., Manufact. Technol. B*, Vol.17, pp.350–361
- 20) Tsay, R.S. (1993): An exact zero-skew clock routing algorithm, *IEEE Trans. on Comp.-Aided Design of Integrated Cir. Syst.*, Vol.12, No.2, pp.242–249
- 21) Watson, R.B. Jr. and Iknaian, R.B. (1995): Clock buffer chip with multiple target automatic skew compensation, *IEEE J. Solid-State Circuits*, Vol.30, pp.1267–1276
- 22) Chao, T.-H., Hsu, Y.-C., Ho, J.-M. and Kahng, A.B. (1992): Zero skew clock routing with minimum wirelength, *IEEE Trans. Circuits and Systems II*, Vol.39, No.11, pp.799–814
- 23) Hashimoto, M., Yamamoto, T. and Onodera, H. (2005): Statistical analysis of clock skew variation in H-tree structure, *IEICE Trans. Fundamentals.*, Vol.E88-A, No.12, pp.3375–3381
- 24) Myers, C.J. (2001): *Asynchronous Circuit Design*. Wiley-Interscience
- 25) Takahashi, E., Kasai, Y., Murakawa, M. and Higuchi, T. (2004): Post-fabrication clock-timing adjustment using genetic algorithms, *IEEE J. Solid-State Circuits*, Vol.39, No.4, pp.643–649
- 26) Wilson, H.R. and Cowan, J.D. (1972): Excitatory and inhibitory interactions in localized populations of model neurons, *Biophys. J.*, Vol.12, pp.1–24
- 27) Asai, T., Kanazawa, Y., Hirose, T. and Amemiya, Y. (2005): Analog reaction-diffusion chip imitating the Belousov-Zhabotinsky reaction with Hardware Oregonator Model, *Int. J. Unconventional Computing*, Vol.1, No.2, pp.123–147
- 28) Fukai, T. (1993): A model of cortical memory processing based on columnar organization, *Biol. Cybern.*, Vol.70, No.5, pp.427–434
- 29) Winfree, A.T. (2001): *The Geometry of Biological Time* (2nd edition). Springer-Verlag
- 30) Ichikawa, K., Takahashi, Y. and Nagata, M. (2006): Experimental verification of power supply noise modeling for EMI analysis through on-board and on-chip noise measurements, *IEICE Trans. Electronics*, Vol.E90-C, No.6, pp.1282–1290
- 31) 葛西誠也 (2007): 確率共鳴を利用した新しい情報処理のためのナノデバイスと集積化, <http://www.mat-bcmos.jst.go.jp/kenkyu/01-01kasai.html>
- 32) 松岡俊匡 (2006): 雑音統計を利用した微弱信号検出感度向上のためのアナログ集積回路技術の開発, http://www.nedo.go.jp/informations/koubo/181030_2/besshi1.html