

博士後期学位論文

量子ドット集積体と反応拡散ダイナミクスを 組み合わせた機能デバイスに関する研究

Integrated circuits based on the reaction-diffusion dynamics of
quantum-dot devices

北海道大学 大学院情報科学研究科

博士後期課程 情報エレクトロニクス専攻

機能システム学研究室

平成 18 年 2 月

学籍番号 79045016

大矢 剛嗣

量子ドット集積体と反応拡散ダイナミクスを 組み合わせた機能デバイスに関する研究

論文要旨

本論文は、自然界 (特に生体内) で行われている情報処理の手法を取り入れた機能デバイスの検討として、化学反応系である反応拡散系の挙動を量子ドット集積体上に実現することによる新しい機能デバイスの開拓を目指すものである。

近年、各種のコンピュータシステムに用いられている逐次処理型の CMOS 情報処理デバイスは、それを構成する素子の一つ一つが非常に微細なものとなっており、プロセス的な限界が近いと言われている。また、素子が微細になることによって量子効果等に起因するエラーが無視できなくなると予想される。今日、この問題を解決するために回路やプロセスの手法などで各種の研究がなされている。一方で、既存デバイスでは問題になる量子効果を積極的に用いる次世代情報処理デバイス (例えば、量子ドットデバイスなどのナノデバイス) の研究が発展してきており、今日までに各種の応用が提案され実用化に向けて研究されている。量子ドットデバイスを用いて構成される集積回路として、代表的なものに単電子回路がある。単電子回路は量子効果であるクーロンブロッケイド効果を巧みに利用することにより電子を一個単位で操作するものである。本質的に離散動作であるためしきい値判定デバイスとして利用できる。また量子ドットデバイスは量子ドットが集積配列されている構造のため、ドット一つに情報処理能力を持たせ単位回路とすることができれば、それを集積配列することで並列処理デバイスを構成することが比較的容易となる。したがって、逐次処理型デバイスに替わる並列処理型 情報処理デバイスの開発が期待できる。本論文では、新しい情報処理デバイスのための回路アーキテクチャとして化学反応系の「反応拡散系」に着目し、その挙動を模擬する量子ドットデバイスの構成法と応用について提案する。

反応拡散系は自然・化学反応における反応拡散現象を表す系であり、実時間で情報処理を行なう並列システムの一つである。本研究では反応拡散系を模擬したデバイスを開発し、反応拡散系の持つパターン生成能力、並列性を電子デバイスとして実行する集積回路を構築する。さらに反応拡散系に見られる波動の伝搬を利用して、逐次処理型のデバイスでは負荷がかかり処理が難しい迷路の経路探索やある平面の領域分割を行うデバイスへの応用について検討する。さらに提案する構造を基に構成できる別の

情報処理デバイスについても提案する。

反応拡散系では非線形の化学振動子が集合し、相互作用を及ぼしていると考えられる。その反応拡散系をハードウェア化するためには、多数の非線形振動子を集積配列し、それらがお互いに影響を及ぼし合うような回路構成が必要となる。これを既存のCMOS集積回路で実現する場合、単位要素である振動子回路一つあたりの占有面積が大きくなるので、多数の素子を集積配列することが困難となる。そこで、量子ドット集積体を導入することによる反応拡散デバイスの実現可能性を探る。

量子ドット集積体上に反応拡散系を構成するには、デバイスの構造——量子ドットの集積配列——をそのまま利用することを考える。つまり、量子ドット一つ一つが振動子になれば、それを相互作用させるだけで反応拡散デバイスが構成できる。本論文で提案する構成は、量子ドットと基板の間にトンネル接合をつくり、各振動子のドット間を結合容量で結び、ドットとバイアス電圧源の間に高抵抗（もしくは多重トンネル接合か電流源）を入れた結合振動子である。さらに、この単電子反応拡散システムのコンピュータシミュレーションを行いその挙動を調べる。また、反応拡散システムの応用として波動情報処理——波動の性質を用いた情報処理の手法——の導入、ニューラルネットワークの導入、論理デバイスへの展開についてもそれぞれ検討を行った。

以上をまとめる。本論文は、反応拡散系の挙動を量子ドット集積体上に組み込んだ、新しい機能デバイスに関するものである。このデバイスを実現するために、反応拡散系のモデルに基づき振動子回路を多数集積配列しそれらを相互作用させる構造を提案した。このデバイスの実現可能性、有用性、応用への展望を示すため、シミュレーションによる動作確認を行った。各シミュレーション結果から、この反応拡散デバイスは化学系の反応拡散系に現れるものと同様の挙動を示すことがわかり、さらに各種応用への展望も明らかになった。

目次

第1章 序論	4
1.1 研究の趣旨	4
1.2 研究背景	5
1.3 研究内容	7
参考文献	9
第2章 単電子回路	11
2.1 緒言	11
2.2 クーロンブロッケイド効果	11
2.3 回路シミュレーションの手法	14
2.4 結言	16
参考文献	16
第3章 反応拡散系	19
3.1 緒言	19
3.2 反応拡散系の物理現象	20
3.3 反応拡散系のモデル化	23
3.4 反応拡散系を用いた情報処理	27
3.4.1 化学反応を用いた論理演算器	27
3.4.2 最短経路探索	28
3.4.3 領域分割	29

3.5 結言	32
参考文献	32
第4章 単電子反応拡散システム	37
4.1 緒言	37
4.2 単電子反応拡散システムの構成	37
4.2.1 単電子振動子	38
4.2.2 単電子反応拡散システムの構築方法	40
4.3 シミュレーション結果	43
4.4 単電子反応拡散システムの応用	45
4.4.1 最短経路探索	45
4.4.2 ボロノイ図の構成	46
4.5 単電子反応拡散システムの作製方法	55
4.6 結言	57
参考文献	57
第5章 単電子ニューラルネットワーク	61
5.1 緒言	61
5.2 ニューロンの動作	62
5.3 ノイズにロバストなニューラルネットワークの例	64
5.4 単電子ニューラルネットワークの構成	67
5.4.1 単電子ニューロン回路の構成	67
5.4.2 単電子ニューロン回路による競合ネットワークの構成	69
5.4.3 単電子減衰シナプス回路を含むネットワークの構成	75
5.4.4 単電子ニューラルネットワークにおける確率共鳴現象	83
5.5 結言	86
参考文献	86

第6章 単電子多数決論理ゲート	89
6.1 緒言	89
6.2 多数決論理	89
6.2.1 多数決論理とは	90
6.2.2 多数決論理の応用性	91
6.3 単電子多数決論理ゲートの構成	93
6.3.1 単電子箱対による多数決論理ゲート	93
6.3.2 多重接合をもつ単電子箱による多数決論理ゲート	98
6.4 シミュレーション結果	106
6.5 応用回路	108
6.6 結言	111
参考文献	112
第7章 まとめ	115
謝辞	119
本研究に関する発表論文・業績	121
付録	131
A 単電子回路のシミュレーション方法	131
A.1 シミュレータプログラムの作成方針	131
A.2 シミュレータプログラムの作成例	141

第1章 序論

1.1 研究の趣旨

本研究は、自然界の機能現象——とくに生命現象の背景にあるメカニズム——を量子ナノ構造の物理特性と組み合わせて創りだす、新しい情報処理システムに関するものである。近年、既存の CMOS LSI 作製プロセスの限界が叫ばれその対策が各種研究されていると同時に、情報化が進む現在においてより高速かつ高度な情報処理デバイスの開拓が求められている。本稿では既存 CMOS LSI デバイスとは違うアプローチで新しい機能情報処理デバイスの開発を目指す。そのために自然界 (特に生体内) で行われている情報処理の手法に着目する。ここでは簡単のために反応拡散系と呼ばれる化学系に注目し、その動作を量子ドット集積体を実装することを考える。基本的に並列処理性を持つ反応拡散系を模倣することにより、系が持つパターン形成能力などによって各種の情報処理を行なうことができる。

反応拡散系は物質の反応とその拡散が混在する非線形システムであり、極めてダイナミックかつ複雑な挙動を示す。一部の生命科学者は、例えば自然界における生物の形態生成や自己修復機能、一部の化学反応における反応物質濃度の時間振動、螺旋パターンといった生き生きとした空間パターンの生成は、反応拡散系が生み出す現象であると考えている。

反応拡散系において反応モデルを一つの演算素子、拡散結合を個々の演算素子間の相互作用に置き換えて考えると、反応拡散系は「実時間で動作する並列情報処理システム」の一種とみなすことができる。並列処理型の情報システムは初期値依存性、ノイズに対して強いという性質を持つ。また並列情報処理システムは、逐次処理型の計算機

では負荷の大きな処理¹でも高速に行なうことができる。そこで反応拡散系を用いた新しい並列情報処理システムを構築する。反応拡散系は簡単に言うと「非線形な化学振動子」が集積配列され、各振動子が「反応物質の拡散」によって相互に影響を与える系とみなすことができる。そこで量子ドット集積体の構造を生かし、また、単電子回路の非線形性を用いることにより各種の機能を持つ空間規模の大きな反応拡散系をナノデバイス上に模擬する。

本研究では、「単電子反応拡散システム」を設計し、コンピュータシミュレーションによりその動作を確認する。さらに、そのシステムの応用についても検討を行い、その実現可能性を示す。また、単電子反応拡散システムの研究からさらに検討を進め「単電子ニューラルネットワーク」、「単電子論理デバイス」について実現可能性を見出したので報告する。

1.2 研究背景

高度な情報社会となった今日、その担い手である情報処理技術の発展は目覚ましい。しかし、現在主流となっているノイマン型アーキテクチャとブール代数に基礎を置いたLSIでは処理しきれない膨大なデータの処理を行う必要性が生じてきている。上記のLSIでは逐次的に情報処理を行うため、データ量が多くなると非常に負荷がかかり計算に時間がかかる。このような問題を解決するため非ノイマン型の新しいアーキテクチャの開発が求められている。

非ノイマン型のアーキテクチャとして現在多くの研究がなされている。代表的なものとしてニューラルネットワークやセルオートマトン等の並列情報処理システムが挙げられる。これらはノイマン型アーキテクチャでは不得意な並列分散処理を行うことができるので新しい情報処理システムとして注目されている。これらは今後ノイマン型アーキテクチャの不得意な領域をカバーする新しい情報処理システムとなる可能性

¹画像処理や計算幾何学、波動情報処理などに基づく演算。

がある。

本研究では情報処理のアルゴリズムとして「反応拡散系」と呼ばれる自然界での並列システムのアルゴリズムに習ってシステムを構成することを提案する。反応拡散系は自然・化学反応における反応拡散現象を表す系であり、自ら時空間パターンや秩序を形成するシステムである。この反応拡散系を扱った研究分野は多岐にわたり、化学や化学工学、地球科学、神経生理学などの分野などが挙げられ、システムの複雑な動的応答やそのモデル化などに広く使われている [1]。

本研究で注目する反応拡散系は、個々の化学反応が並列に動作をするので電子回路に模擬することにより並列情報処理システムを構築できる可能性がある。また、反応拡散系の特徴の一つである空間的に定常なパターンを生成する機能を利用することで例えば指紋画像の修復や強調等の画像処理、計算幾何学や波動情報処理に基づく演算を行うデバイスをつくり得ると考えられる。ところが、化学反応を直接用いた並列画像処理システムでは反応を起こすための大規模な装置が必要となる。また媒質が液体であることや情報入力の高難しさも問題となる。このため化学反応を用いた並列画像処理システムの実現は困難と言える。しかし化学反応と似た系を集積回路上に実現することができれば、実時間で並列処理を行なう新しい高速画像処理システムの構築も比較的容易となる。この場合、入出力は電位や電流値となるため、既存のハードウェアとの接続にも適する。この反応拡散系を電氣的に模擬するにあたり、いくつかの手法がある。例えば、半導体の物理現象そのものを利用したものが挙げられる。これは、たとえば半導体の少数キャリアの移動により反応拡散系を模擬するものであり、新しいデバイスとして期待されている。また、CMOS デバイス技術を利用することによる反応拡散系の模擬の試みもなされている。

本研究では、電氣的な反応拡散系を模擬する手法として、微少な構造を持つ量子ドット、量子ナノ構造を利用した単電子反応拡散デバイスを考える。近年の半導体プロセス・微細加工技術の急速な進歩により、各種の量子ナノ構造（例えば図 1.1 [2, 3]）の実現可能性が高まってきた。さらにこのような量子デバイスにおいて構成回路は量子

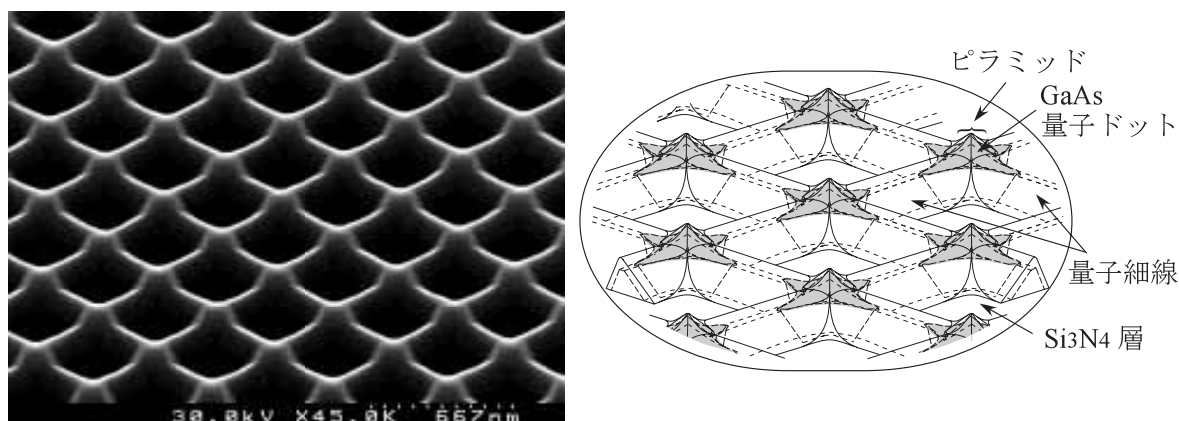


図 1.1 量子ナノ構造体の例：量子ドット集積体の SEM 写真とデバイス構造の詳細 [2, 3]
(北海道大学量子集積エレクトロニクス研究センター)

力学的な効果により非線形な動作を行う。この非線形動作を行う素子を反応拡散系の構成で必要とされる非線形振動子（単位素子）として利用することで、比較的容易に電気的な反応拡散系が構成できる。

1.3 研究内容

本論文は、反応拡散系の持つ様々な機能（パターンの生成能力や自己組織化など）を量子ドット集積体上に模擬した、「単電子反応拡散システム」について述べたものである。本論文の構成を以下に示す。

第2章では、本研究で着目した単電子回路について説明する。単電子回路は量子ナノ構造のデバイスに実装され得る量子回路²であり、電子を一個単位で扱うことができる。ここではその動作原理と回路シミュレーションの手法について述べる。

第3章では、反応拡散系と、それが時空間リズムを自発的に生み出すメカニズムについて数理モデルを用いて説明する。また反応拡散系の性質を利用した情報処理の例をいくつか示し、その応用可能性について述べる。

²他に電子スピンや磁束量子を扱う回路がある

第4章では、反応拡散系を模擬することにより人工的に自然・生命現象に似た系やそれを応用した新しい情報処理システムが構成できるという例を示す。さらに、反応拡散系を回路化し量子ナノ構造上に実装する手法について説明する。

第5章では、量子ナノ構造を生かしたニューラルネットワークの構成法について説明する。ここでは、反応拡散系の構成要素である非線形振動子をニューロンと見立て、そのネットワークの動作について確認を行い、応用性について述べる。

第6章では、論理回路としての単電子デバイスの構成法について述べる。単電子回路を構成する素子は、基本的にしきい判定素子として動作する。したがってこれをしきい論理回路として利用可能である。ここでは、その一例として多数決論理ゲートへの適用について説明する。

第7章では、これらの結果を総括する。

参考文献

- [1] 中林 誠一郎, Antonis Karantonis, 馬場 涼, ” 反応拡散系の応用分野を探る—機能的なインテリジェント情報処理デバイス—.” 電気学会誌, vol. 121, no. 4, 2001.
- [2] <http://www.rciqe.hokudai.ac.jp/movpe/k-naiyou/index.html>
- [3] Kumakura K., Motohisa J., and Fukui T., “Formation and characterization of coupled quantum dots (CQDs) by selective area metalorganic vapor phase epitaxy,” *J. Crystal Growth*, vol. 170, pp. 700-704, 1997.

第2章 単電子回路

2.1 緒言

単電子回路は、電子を一個単位で制御することができる量子回路である。これは、クーロンブロッケイド効果と呼ばれる量子効果を巧みに制御することによって実現している。単電子回路は、量子効果が存在するため従来の解析手法ではその挙動を把握することができない。具体的には、電子トンネルと呼ばれる現象によりノード電位が離散的に変化すること、電子トンネルが起こる素子では端子電圧だけではなく、ノードに蓄えられる電荷量がトンネル事象により変動すること、トンネル事象の発生には確率性が含まれることによる。本章では、クーロンブロッケイド効果が発生する原理（2.2節）と、単電子回路を解析するための手法（2.3節）について述べる。

2.2 クーロンブロッケイド効果

クーロンブロッケイド効果は「トンネル結合をもつ回路では回路系の自由エネルギーが小さくなるように電子トンネルが発生する」というものである。電子トンネルが発生する素子——トンネル接合素子——は、二つの導体とそれらに挟まれた絶縁体で構成される。絶縁体は導体中の伝導電子のエネルギーよりもポテンシャル障壁が高いため古典力学では電子は障壁を通過できない。しかし量子力学において、一つの導体中の電子の波動関数は絶縁体中に染み出て他の導体に入り込む。これによって、電子は障壁をトンネル現象によって通過することができる（図 2.1）。また、電子トンネルの発生には確率性を伴う。

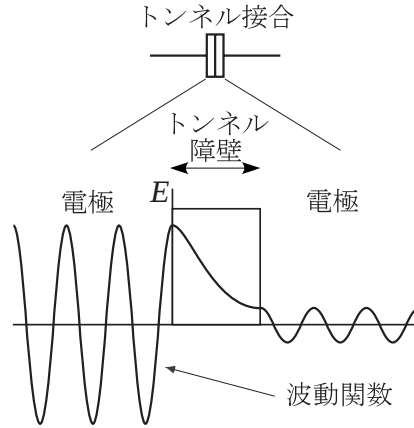


図 2.1 トンネル障壁のエネルギーを表す図

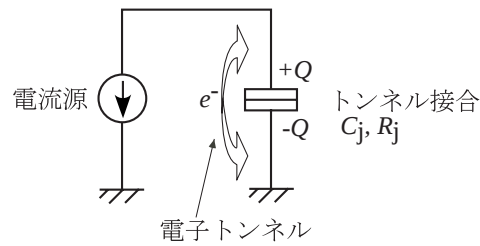


図 2.2 単電子回路の構成例（トンネル接合と電流源の接続）

図 2.2 の回路において、接合容量 C_j に電荷 Q が蓄えられているとき接合容量の静電エネルギーは $Q^2/2C_j$ で与えられる。一つの電子トンネルが発生するとき、 Q は素電荷量 e だけ変化する。このトンネル前後で、静電エネルギーがどれくらい変化したかを ΔE とすると次の式で表現できる。

$$\Delta E = \frac{|Q|^2}{2C_j} - \frac{|Q - e|^2}{2C_j} \quad (2.1)$$

式 2.1 から、電荷 $|Q| < e/2$ のときに電子トンネルが発生したと仮定すると、トンネル前の静電エネルギーよりもトンネル後の静電エネルギーが大きくなり、エネルギー的に損となる。つまり、静電エネルギーを $+\Delta E$ 分だけ増加させなければ（外部からエネルギーを与えなければ）トンネルが発生しないことを意味する。したがって、 $|Q| < e/2$ の領域では電子トンネルは生じない。一方で、 $|Q| > e/2$ のときに電子トンネルが発生

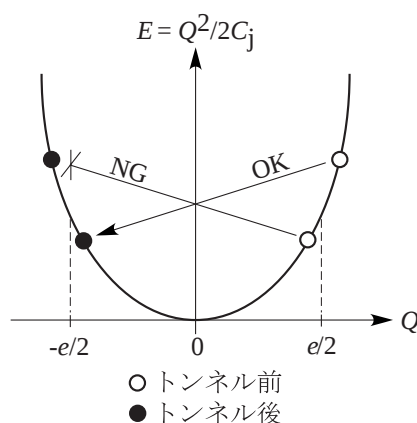


図 2.3 トンネル前後のエネルギー変化

したと仮定すると、トンネル前の静電エネルギーよりもトンネル後の静電エネルギーのほうが小さくなり、エネルギー的に得をする。したがって、電子は外部からエネルギーを与えなくともトンネルする。以上のように、ある領域（上では $|Q| < e/2$ の領域）ではトンネルが生じないという効果をクーロンブロッケイド効果という（図 2.3）。回路のエネルギー状態を操作し、クーロンブロッケイド効果を利用することによって電子トンネルの制御が可能となる。

クーロンブロッケイド効果を観測、または利用するためには、熱的な揺らぎや量子的な揺らぎを抑えなければならない。熱的な揺らぎは、電子一個のトンネルによる静電エネルギー変化 ($E_c = e^2/2C_j$ のオーダー) が非常に小さいため、熱雑音として回路に影響を与えてしまう。この熱雑音によって電子は $k_B T$ 程度のエネルギーを与えられる。ここで、 k_B はボルツマン定数であり、 T は温度（単位：K）である。したがって熱雑音に打ち勝ち、クーロンブロッケイド効果を出現させるためには電子一個のトンネルによる静電エネルギー変化量が熱雑音で与えられるエネルギーより十分大きい必要がある。つまり、熱雑音の影響を無視できる条件は

$$E_c \gg k_B T \quad (2.2)$$

となる。具体的には、回路の接合容量 C_j を小さい値にするか、または温度 T を低くす

ということである。量子的な揺らぎは、素子に存在する量子化抵抗 $R_q = h/e^2$ がトンネル接合に存在するトンネル抵抗 R_j と同程度の値の場合、雑音として回路に影響を与えてしまう。したがってこの雑音にうち勝つためには、トンネル抵抗の値が量子化抵抗よりも十分大きい必要がある。つまり、量子的揺らぎを抑えるためには次式のような条件が必要となる。

$$R_j \gg R_q \quad (2.3)$$

上述の通り、温度を下げるなどの一定の条件を満たせばクーロンブロッケイド効果がはたらく。しかし、電子一個のトンネルでは回路系の自由エネルギーが増えてしまう場合であっても、二個以上の電子が協同してトンネリングを行う（名称：協同トンネリング, コトンネリング）ことにより自由エネルギーを減少させる場合には、そのようなトンネルが生じ得る。この場合、電子一個についてのクーロンブロッケイド条件下でも電子トンネルが起こり得る。この協同トンネル現象は発生確率は小さいが回路の誤動作につながる。したがって、回路を設計する場合には協同トンネル現象を抑制するようなパラメータ条件を用いることが重要である。

2.3 回路シミュレーションの手法

単電子回路の動作は、系全体の自由エネルギーの変化に関係する。これを解析するためには電源が回路に与える仕事を含む系全体での自由エネルギーの変化を考えなければならない。さらに、電子トンネルという確率事象を計算過程に取り入れる必要がある。単電子回路の解析手法は大きく分けて二つに分けられる。それらはマスター方程式法と、モンテカルロ法である。マスター方程式法は、島の電荷の状態それぞれの存在確率を計算して、実際の電荷の動きを平均値で追っていくものである。モンテカルロ法は基本的には計算機に乱数を発生させて確率的に起きる減少をシミュレートするときに使われる手法である。単電子回路についてのモンテカルロシミュレーションとは島の電荷の状態をただ一つに決めてその状態遷移を確率的に行い回路の挙動を計算

するものである。島とは電圧源や接地に接続されていない接点のことを言い、ノードとも言う。ここでは、モンテカルロ法を採用し単電子回路のシミュレーションを行う。

トンネル前後で回路系の自由エネルギーの変化 ΔE は次式で表すことができる。

$$\Delta E = \sum_i \frac{(Q_i)^2}{2C_i} - \sum_i \frac{(Q_i - \Delta Q_i)^2}{2C_i} + \sum_i \Delta Q_i V_i \quad (2.4)$$

上式 2.4 の第一項は電子トンネル発生前の回路全体における静電エネルギー、第二項は電子トンネル発生後の回路全体における静電エネルギー、第三項は電源がする仕事である。また、トンネル頻度 Γ は ΔE に依存しトンネル接合のトンネル抵抗 R_j を用いて次のように表現される。

$$\Gamma = \frac{1}{e^2 R_j} \frac{\Delta E}{1 - \exp[-\Delta E/k_B T]} \quad (2.5)$$

特に、温度 $T = 0 \text{ K}$ のときには

$$\Gamma = \begin{cases} \frac{1}{e^2 R_j}, & \Delta E > 0 \\ 0, & \Delta E \leq 0 \end{cases} \quad (2.6)$$

となる。式 2.5 で与えられるトンネル頻度は平均トンネル待ち時間の逆数である。トンネル過程そのものが確率過程であることを考慮して、電子トンネルが発生するまでの待ち時間をモンテカルロ法の手法を用いて表現する必要がある。具体的には、一様乱数 $r(0 < r < 1)$ を用いて次のようにトンネル待ち時間 t を表現する。

$$t = \frac{1}{\Gamma} \ln[r] \quad (2.7)$$

式 2.7 で求められる t は、上式 2.4 で求まる ΔE が正のときの待ち時間を表す。

本研究で用いた単電子回路の解析手法は、上記の方法ですべてのトンネル接合に対してトンネル待ち時間 t を計算し、その中で最小の値を持つトンネル事象だけを採用する。そして、時間をその値だけ進めて上と同じ計算プロセスを繰り返し行う（付録 A 参照）。

2.4 結言

本章では、クーロンブロックエイド効果とその条件、単電子回路の過渡特性をモンテカルロ法によって解析する方法を述べた。本研究における単電子回路の過渡解析は全てモンテカルロ法に基づいている。

参考文献

- [1] 上田 正仁, “微小トンネル接合の物理とその応用——単一電子エレクトロニクスへの展望,” 応用物理, 第 62 巻, 第 9 号, 1993.
- [2] 桑村 信博, 谷口 研二, 浜口 智尋, “単一電子論理回路のシミュレーション,” 電子情報通信学会論文誌, C-II, vol. J77-C-II, no. 5, pp. 221-228, 1994.
- [3] Gravert H. and Devoret M.H., “Single Charge Tunneling–Coulomb Blockade Phenomena in Nanostructures,” *New York: Plenum*, 1992.
- [4] 春山 純志, “単一電子トンネリング概論——量子力学とナノテクノロジー——,” コロナ社, 2002.

第3章 反応拡散系

3.1 緒言

近年、自然現象におけるさまざまな秩序やリズム, いろいろな形や模様の生成, および生命現象に現れる自己組織化などのダイナミクスに関する研究が行われている。その中で反応拡散系という化学系の解析から自然現象, 生命現象のダイナミクスを説明できるという報告がある [1–3]。これは、反応拡散系に現れるダイナミクスが自然現象, 生命現象のダイナミクスと類似していることによる。反応拡散系は化学反応を表す反応モデルと物質の拡散を表す拡散結合を用いてモデル化できる。

いま反応拡散モデルをある計算システムと見た場合、ある初期パターンがシステムに入力されると個々の反応モデルが拡散結合を通じて相互作用を起こし、それに応じた出力¹が得られる。したがって、二次元上に単位演算素子を複数個集積配列しそれらを相互作用させることにより自然界・生体に学んだ新しい情報処理システムを構築できる可能性がある。近年、化学反応である BZ 反応などを利用して情報処理を行うケミカルプロセッサ (例えば [4]) に関する報告がいくつかされているが処理速度が非常に遅いという問題がある。それに対して反応拡散モデルに基づき構成される電子デバイスは非常に早い処理速度を獲得できる。

このため近年では反応拡散系が応用数学や物理化学といった分野において解析に用いられる以外に、系が持つ並列処理性を利用したさまざまな情報処理においても適用され [5, 6]、今後さらなる進展が期待される分野の一つと言える。

本章では反応拡散系の理解を深めるため、その性質および応用について詳しく述べ

¹時間振動や螺旋, 縞模様などの空間パターン。



図 3.1 タテジマキンチャクダイの縞模様の変化。時間の経過とともに縞の分岐点と端点が融合しストライプの乱れが解消される。

る。本章の構成は、以下の通りである。3.2 節では、反応拡散系で見られるさまざまな現象を示す。3.3 節では、化学反応をモデル化した方程式を例にとり反応拡散系の数理モデルについて説明する。さらに反応拡散系における時間リズム・空間パターンの自発的生成のメカニズムについて述べる。3.4 節では、反応拡散系の性質を利用した情報処理への応用例をいくつか示し、反応拡散系の応用可能性について述べる。最後に、3.5 節を結言とする。

3.2 反応拡散系の物理現象

反応拡散系は自ら動的な時空間パターンや秩序を生成するダイナミックなシステムである。

自然界には、化学反応と物質拡散をメカニズムとする反応拡散モデルにより記述できる現象が数多く見られる。身近な例では、神経細胞の興奮度が軸索を介して伝播する現象 [7, 8] や雪の結晶成長などが挙げられる。また、細胞性粘菌の集合体の分布が螺旋模様となり伝播する現象や縞状の分布をとることが観測されていて、これも反応拡散現象の一種であるといえる [9]。また、図 3.1 に示すような熱帯魚の縞模様の変化のように動物の皮膚におけるさまざまな模様の発生や自己組織化などは、生体におけ



図 3.2 (a) 細胞性粘菌の集団が描く螺旋パターン, (b) 台風の螺旋渦

る反応拡散現象の例である。タデジマキンチャクダイの模様は等間隔の縦縞であるが、一部に枝分かれがある。皮膚が均等に成長するとすべての縞の間隔が少しずつ広がろうとするが、この状態は不安定であり、縞ピッチを同じにするため分岐が解消されたり縞の本数が増えるといった現象が起こる。図 3.2(a) は先に述べた細胞性粘菌の集合体の分布が螺旋模様となり伝播する現象である。細胞性粘菌は、変形体→孢子→アメーバ→変形体という生活環を持ち、アメーバの集合過程ではペースメーカーと呼ばれる細胞を中心として、細胞同士が化学的に交信する。具体的にはペースメーカーの放出する化学物質により、周囲の細胞も同様の化学物質を放出し、濃度の高いほうへと移動する。その結果、化学物質の波は渦を巻きながら外側へ向かって行き、アメーバは螺旋模様となって伝播する。生物に見られる反応拡散系はこの他にもシマウマの紋様、ナポレオンフィッシュの縞模様、やまあらしの棘に見られる色のパターンなど様々な動物に見ることができる。

反応拡散系が生み出すパターンは生物以外にも様々な所で見ることができる。台風の渦（図 3.2(b)）の空間パターン、雪の結晶成長の様子、薄い水層を下から熱すると発生する RB（Rayleigh Benard）対流（身近な所では味噌汁内で見られる）[10]（図 3.3）幾何学的なパターンを発生する BZ（Belousov Zhabotinski）反応 [3] などは反応拡散系のパターン生成例である。特に BZ 反応は自然界に生じる秩序やリズム、分子集合体にみられる自己組織化などの反応拡散系が生み出す現象の典型例である。BZ 反応は、反応基質（マロン酸やクエン酸などの有機酸）、媒質（硫酸などの強酸）、酸化剤（臭

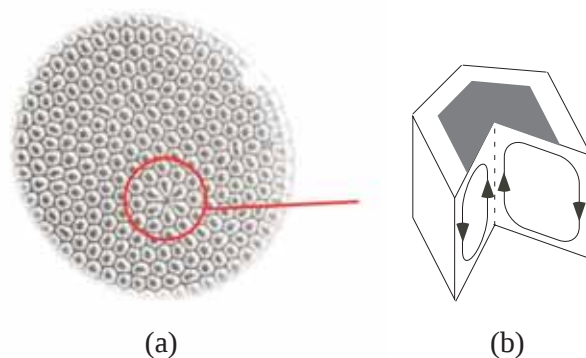


図 3.3 RB 対流。(a) 全体写真、(b) 丸く囲んだ部分の模式図。黒く見える部分で垂直方向に対流が起こる。



図 3.4 BZ 反応が生み出す空間パターン

素酸ナトリウムや臭素酸カリウムなど)、金属触媒(フェロインやルテニウム、セリウム、マンガンなど)などを混ぜ合わせることで起こる。この反応は酸化反応の一つであるが、一般的な化学反応の酸化などとは異なり、酸化と還元を繰り返しながら、ゆっくりと酸化していくという振動化学反応である。この振動反応には、化学反応の進行と共に、そこで生成された中間反応物の自己触媒的な過程とフィードバック機構が存在する。反応が進むときの酸化・還元の繰り返しが、同時に金属触媒でもおこる。従って、例えば金属触媒にフェロインを使うと、酸化状態では青色に、還元状態では赤色にという色の变化によって振動を可視的に観測することができる。金属を触媒とする BZ 反応液を深さ 1 mm 程度に薄く広げると、金属触媒の濃度分布は図 3.4 に見られる

ような幾何学的な空間パターンとなる。時間の経過とともに同心円パターンをつくりながら空間的に伝播していつている。また、波同士が衝突すると、互いに波が消失している。普通の水面にできるような波は衝突すると波の重ね合わせや干渉が生じるが、この空間的振動化学反応ではこのような現象は見られない。これは、非線形現象に特有な性質であり、線形現象では起こり得ない非常に興味深い特徴である。

3.3 反応拡散系のモデル化

数学や物理学では自然現象のモデルを非線形の偏微分方程式で記述することが多い。同様に反応拡散系もモデルを偏微分方程式で記述することが可能である。反応拡散系では反応種が2つの比較的単純なモデルであったとしても非常に多様なパターンが形成され、これをモデル化した方程式(反応拡散方程式)は、3次元媒質中でのパターンダイナミクス、時間空間カオス、あるいは確率共鳴の問題などにおいても広く研究され、注目を集めている [3]。反応種が2つの場合の反応拡散系は以下の微分方程式

$$\begin{aligned}\frac{\partial u}{\partial t} &= F(u, v) + D_u \frac{\partial^2 u}{\partial r^2} \\ \frac{\partial v}{\partial t} &= G(u, v) + D_v \frac{\partial^2 v}{\partial r^2}\end{aligned}\tag{3.1}$$

で表される。ここで t は時間, r は空間, u, v は反応物質の濃度を表し、 D_u, D_v は u, v それぞれの拡散度合いを表すパラメータ(拡散定数)である。反応拡散方程式は反応項(右辺第1項)と拡散項(右辺第2項)に分けられる。これはある化学反応系の空間上の一点における反応物質濃度の時間変化が、2つの化学物質の反応とそれぞれの物質拡散で表されることを意味する。

まず反応項から、化学反応が時間的なリズムを生じることについて説明する。ここではブリュセレータ(Brusselator)という化学的な振動を作り出す反応のモデル [2] を用いる。

ブリュセレータで扱う化学反応は



である。ここで、物質 A, B は反応中十分供給されて一定であり、 X, Y は中間生成物質を表し、各反応の速度定数は $k_1 \sim k_4$ である。この化学反応は反応物質 A, B から出発し中間生成物質 X, Y を経て、最終的に物質 D, E が生成するような反応系となっている。これらの反応は非可逆で右向きの反応のみが進行し、逆方向の反応は起こらないとする。すなわち反応が非可逆であり、一種の非平衡状態を仮定する。

このように仮定すると物質 X, Y に対し、式 3.2 ~ 3.5 の反応式は、以下のような微分方程式

$$\dot{X} = k_1 A - k_2 B X + k_3 X^2 Y - k_4 X \quad (3.6)$$

$$\dot{Y} = k_2 B X - k_3 X^2 Y \quad (3.7)$$

で表現できる。いま $k_1 \sim k_4$ の速度定数が反応に際して一定であり、物質 A, B も一定濃度とする。

仮に (3.6) において、反応項が右辺第四項の線形項のみである場合、方程式は

$$\dot{X} = -k_4 X \quad (3.8)$$

となる。初期状態における X の物質濃度を α とすると、この解は

$$X(t) = \alpha e^{-k_4 t} \quad (3.9)$$

であり、 X が時間とともに指数関数的に減衰することがわかる。

しかし実際には (3.6), (3.7) において $k_3 X^2 Y$ という非線形項が存在する。式 (3.6) における非線形項は (3.4) で示した反応において X が生産され増加すると、より大きな

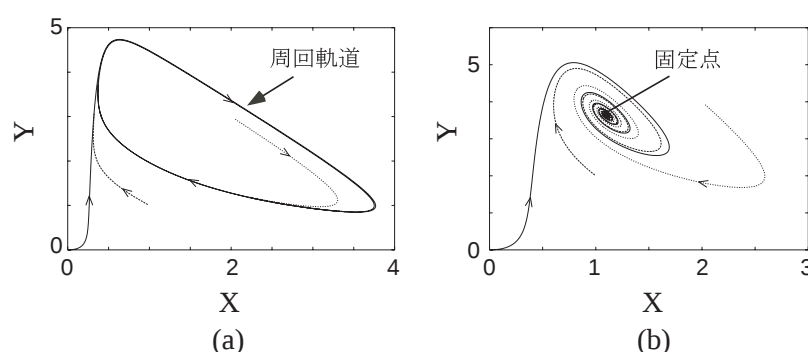


図 3.5 ブリュセレータの解軌道。時間振動解を持ち、(a) ある周回軌道に引き込まれる ($k_1A = 1, k_2B = 3, k_3 = k_4 = 1$) , (b) 固定点に収束する ($k_1A = 1, k_2B = 2, k_3 = k_4 = 1$)。

割合で X の生産が加速されるということに相当する。このような反応を自己触媒反応といい、物理学ではこのような機構を正帰還 (positive feedback) という。式 (3.6) における非線形項が自己触媒反応を表す項となっている。この自己触媒反応が進行するためには物質 X の存在だけでなく物質 Y の存在も必要であるため、 Y の濃度が低くなりすぎると、自己触媒過程はほぼ停止することになる。

いま仮に物質 X の濃度が増加したとすると、(3.6) における自己触媒過程により物質 X がさらに生産され、同時に物質 Y も生産する。また物質 Y の濃度がある程度高くなると、(3.7) より物質 Y の濃度が減少するようになる。物質 Y が減少すると (3.6) における自己触媒反応が抑えられ、物質 X が減少するようになる。物質 X の減少は物質 Y の減少を抑え、物質 Y の濃度がある程度低くなると、物質 Y は増加するようになる。こうしてブリュセレータは図 3.5 に示すような時間的に振動する解を持つ。このように自己触媒的な反応モデルでは反応物質の濃度が時間振動するようなふるまいを示す。

反応拡散系は多数の連続的に分布する非線形振動子が、拡散の効果により近接相互作用するモデルで表すことができる。図 3.6 にその模式図を示す。ここで化学振動子とは、化学物質の濃度が振動 (変化) する微小な空間領域のことを表し、反応拡散方程式における反応項を表現している。また、各振動子は物質拡散 (反応拡散方程式における拡散項) によって相互に影響を及ぼす。反応拡散系が示す挙動について、数値シ

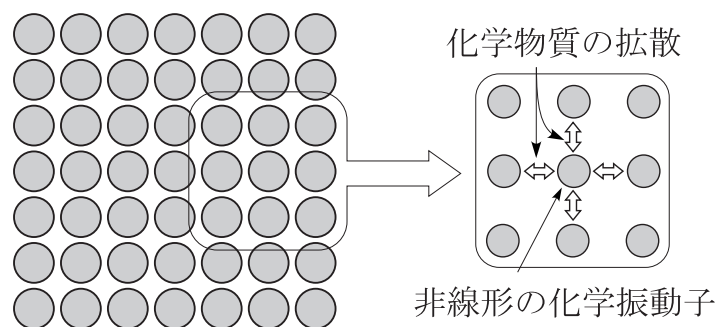


図 3.6 反応拡散系のモデル図。反応拡散系は化学振動子の集合体であり、各振動子は物質拡散を介して相互に影響を及ぼしあう。

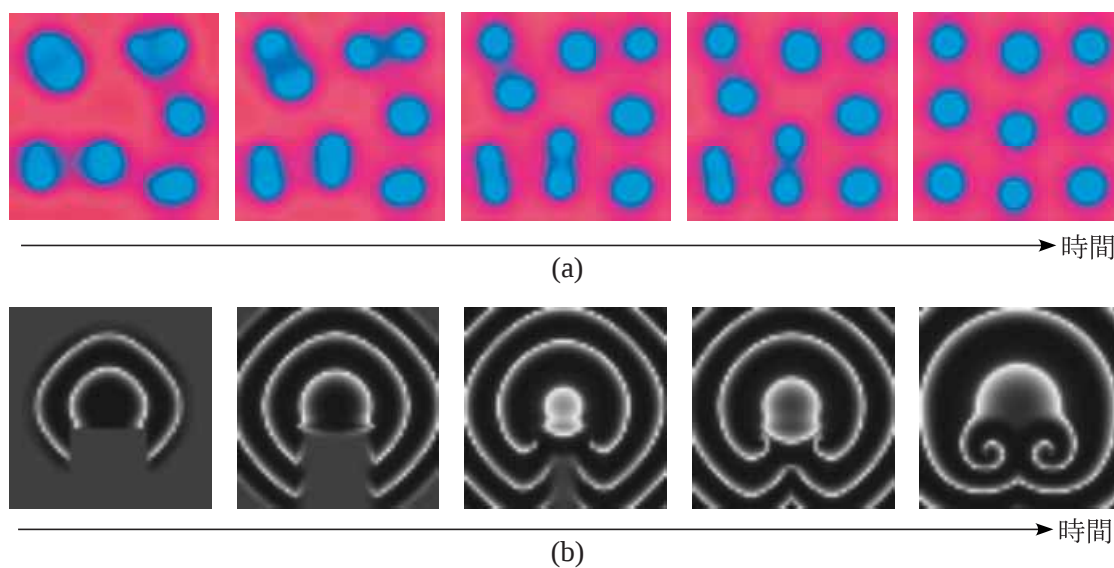


図 3.7 反応拡散系が示すダイナミクスの例。二次元の計で物質濃度を色の違いとして表現したもの：(a) 分裂増殖パターン，(b) らせんパターン

ミュレーションした結果を図 3.7 に示す。

3.4 反応拡散系を用いた情報処理

通常のコンピュータは、系の時間発展が正確に予測できるような計算があまり複雑でない問題を解くのに大いに力を発揮する。しかし系が非常に複雑な問題²を解くには不向きと言える。一方、ニューラルネットに代表される生物学的なシステムは人間の知覚活動や意思決定といった高度に複雑な処理を必要とする問題を効率的に解くことができる。反応拡散系を用いたシステム全体の挙動は、空間の各点における反応速度の非線形性と反応基質の拡散によって決定される。このようなシステムは、これを構成する媒質の任意の微小部分が一つの演算処理ユニットであると見なすことができる。

反応拡散系を用いた情報処理システムの特徴を以下に示す [4, 6, 11, 12]。

- 大規模な情報処理
- 情報を特定の方角へ伝達するための分子認識
- 自己組織化
- 複雑で非線形性の高い情報処理
- 時間変化する外部刺激への適応

このような性質をもつシステムは画像や動的パターンの認識、あるいは連想や照合などといった問題を解くのに適していると考えられている [5]。ここでは反応拡散系の応用例として化学反応を用いた論理回路、迷路問題、領域分割について紹介する。

3.4.1 化学反応を用いた論理演算器

反応拡散系に見られる波模様は興奮波と呼ばれ、興奮波は波形を一定に保ちながら伝播し衝突すると消える性質をもつ。化学反応を利用した論理演算器は化学波が衝突すると消滅する性質を利用したものである。システムに特別な構造を持ち込むと化学

²系の挙動について正確な予測ができなくなるような、生物学的あるいは社会的な系に関する問題。

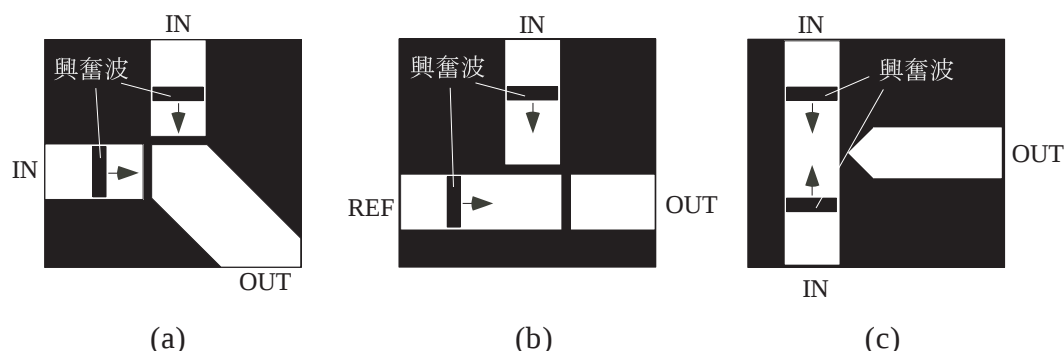


図 3.8 化学ダイオードを用いた論理演算器。(a) 論理和演算器, (b) 否定演算器, (c) 論理積演算器

ダイオード（信号伝播が方向性を持つような反応拡散系）を構成できる。さらに化学ダイオードと興奮波が衝突すると消滅する性質を組み合わせると、図 3.8 に示すような論理和（OR）、否定（NOT）、論理積（AND）といった論理回路を構成できる [13, 14]。図 3.8 (a) は論理和を出力する演算器である。どちらか一方の入力端子 (IN) に興奮波が入った場合、出力端子 (OUT) に興奮波が到達する。図 3.8 (b) は否定を出力する演算器である。入力端子 (IN) に興奮波が入力されると参照端子 (REF) から入力された興奮波と衝突して互いに打ち消しあい、出力端子に興奮波が到達しない。図 3.8 (c) は論理積を出力する演算器である。2 つの入力端子 (IN) に同時に興奮波が入った場合のみ出力端子に興奮波が到達する。

3.4.2 最短経路探索

迷路問題を解くには極めて複雑な計算処理が必要であり、従来は目的地点までのあらゆる可能な経路の中から繰り返し探索法に基づいて最適経路が求められてきた [15]。

反応拡散系を用いる方法では、原則的に 1 回だけ波が伝播することによりシステムのあらゆる地点から目的地点に行くまでの最適経路を示すマップが得られる [16, 17]。まず興奮波が伝搬することのできる平面上に迷路を用意し、その平面の任意の始点か

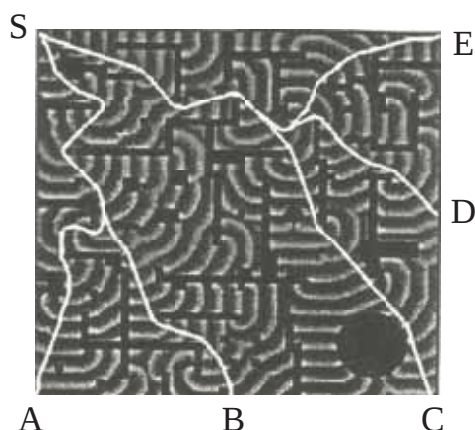


図 3.9 興奮波を用いた最適経路探索。波面の法線を辿ることでスタート地点 (S) から任意の点 (A, B, C, D, E) までの最適経路を探索できる。

ら波を作り出す。発生した波は伝播しながら分岐点ごとに枝分かれを繰り返し、やがて迷路上のあらゆる点に到達するが、袋小路に侵入した波は高分子膜の端に衝突して最後は消滅してしまう。このように反応拡散系を用いると、1 回の伝播実験から一度に、つまり並列的にデータを収集することができるので、伝播の様子を示すマップが得られれば最適経路の決定に用いることができる。最適経路の決定は初めて目的地点に到達した興奮波の波面に対して法線ベクトルを求めることによって行なう。図 3.9 に示すように目的地から法線方向を逆に辿ることによって最適経路を決定することができる。

3.4.3 領域分割

領域分割とは、ポロノイ図の構成に代表されるような情報処理を言う。ポロノイ図は、2 点間の距離を基に平面を分割する図形である (図 3.10)。平面上にいくつかの点 $g_i (i = 1, \dots, N)$ が与えられたとき、

$$V(g_i) = \{p | d(p, g_i) < d(p, g_j), \quad j = 1, \dots, N, i \neq j\} \quad (3.10)$$

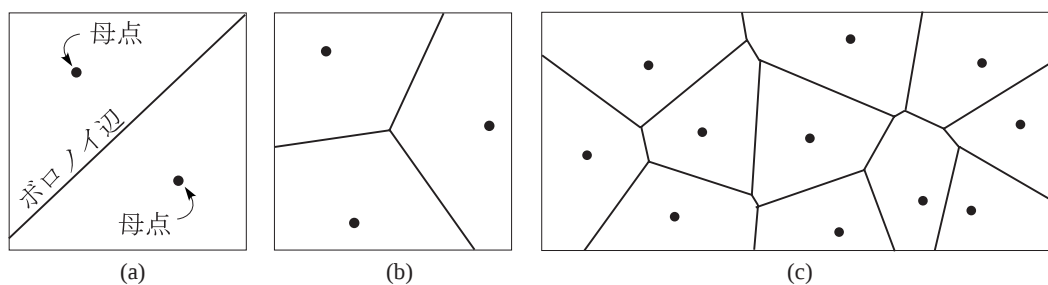


図 3.10 母点を基に構成されたボロノイ図。母点が (a) 2 点, (b) 3 点, (c) 多数の場合

を満たすような点 p の集合 $V(g_i)$ をボロノイ領域といい、 $V(g_i)$ によって領域分割された図をボロノイ図という。また、 g_i を $V(g_i)$ の母点という。 $d(p, g)$ は 2 点 (p, g) 間の距離を表す。ボロノイ領域 $V(g_i)$ は、他のどの母点より g_i に近い点全体の表す領域である。隣接するボロノイ領域の境界線（ボロノイ辺という）は、母点間の垂直二等分線の一部で構成される。ボロノイ図を構成することは、他の非線形問題（例えば巡回セールスマン問題）の求解にも役立つ。一般にボロノイ図の構成をコンピュータで行うためには、各母点から等しい距離にある点を逐次計算しなければならず、求解には時間を要する。

反応拡散系に現れる興奮波の伝搬・衝突を利用することにより、ボロノイ図を構成できる。反応拡散系の興奮波は平面上を等速で均一に伝搬する特性を持つ。そのため、ある 2 点を基点とする興奮波は、その 2 点からの距離が等しい点（垂直二等分線上の点）で衝突する。つまり、興奮波の起点を母点に一致させると、興奮波の衝突箇所はボロノイ辺に一致する。衝突箇所に痕跡を残し、かつその状態で系が静止した場合、この痕跡をボロノイ辺として利用できる。近年、シャーレにゲル状にした化学物質を母点として配置し、化学系の反応拡散システムを利用したボロノイ図の構成について報告されている [4]。この報告によると、母点から拡散した化学物質（イオン）は他の母点から拡散してきた物質と衝突する寸前にその進行を止める。化学物質の伝搬スピード（ボロノイ図の構成（情報処理）のスピード）は非常に遅いがいくつかの化学物質を用意することでマルチタスクなボロノイ図の構成も可能としている。図 3.11 に化学系

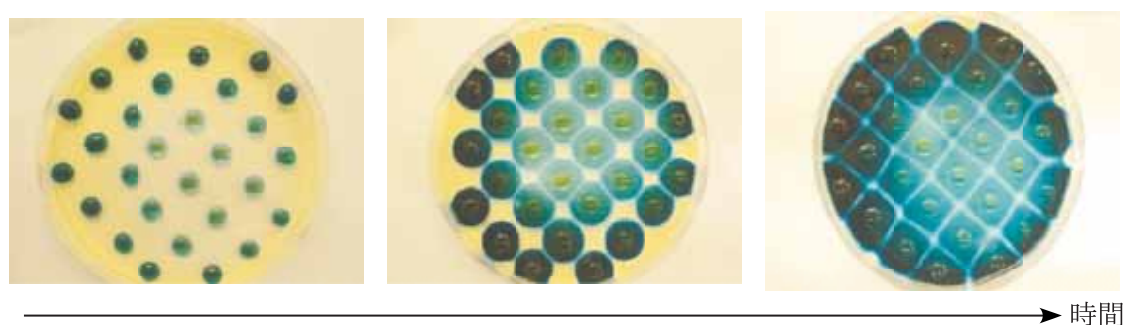


図 3.11 化学系の反応拡散現象を用いたボロノイ図の構成 [4]。

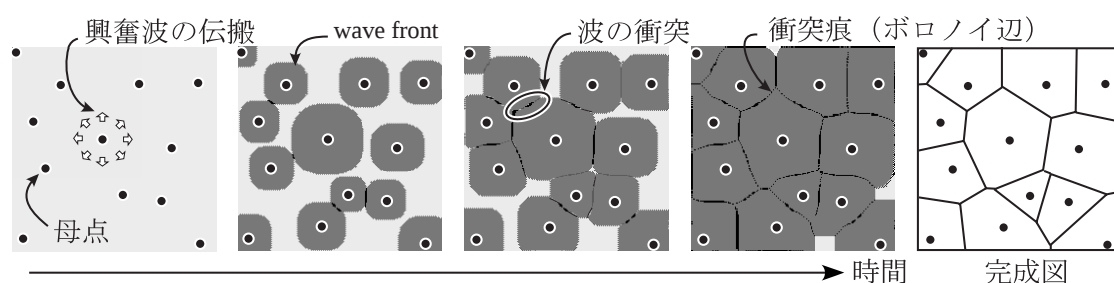


図 3.12 反応拡散系のモデルにより構成されたボロノイ図

の反応拡散現象によるボロノイ図の構成の一例を示す。

すでに述べたとおり、化学系の反応拡散現象を利用すると解を得るまでに相当な時間がかかる。電子系の反応拡散システムであれば計算時間はかなり少なくて済む。反応拡散系のモデルにより電子デバイス化を行いこの処理を行う場合、痕跡を残した状態で系が静止すればよい。一般の反応拡散系モデルにおける化学振動子は、3 状態（興奮，不応，休止）を持つが、これに沈黙という第 4 の状態を加えることによりボロノイ図の構成を実現できる。ここで沈黙とは、衝突の痕跡が残る状態を表す。振動子の状態は、興奮波が衝突したときにのみこの状態に遷移するものとする。図 3.12 に反応拡散モデルによるボロノイ図の構成を示す。この処理に要する時間は、母点の数に関わらない。

3.5 結言

反応拡散系が持つ非線形性によって発生する生き生きとした動的時間リズムや空間パターンは、化学反応や生命現象において発生するものとよく似ている。

本章では主に、本研究の基本原則である反応拡散系が空間的に非一様な構造を作り出す性質について述べた。ブリュセレータという振動子系のモデルを用いて化学反応が時間リズムを生じること、反応拡散方程式から動的時間リズムの時定数が反応項の線形項の係数、拡散定数によって決定すること、現れるパターンの多様性・複雑性は反応拡散方程式における非線形項によるものであることを示した。中でも、反応拡散系の持つ空間パターン生成機構を利用した、情報処理のためのアルゴリズム（論理ゲート、迷路探索、領域分割など）は工学的に応用価値の高いものであると言えよう。

参考文献

- [1] G. Nicolis and I. Prigogine, *Self-organization in Nonequilibrium Systems—From Dissipative Structures to Order through Fluctuations*, John Wiley & Sons, Inc., 1977.
- [2] 吉川 研一, 非線形科学—分子集合体のリズムとかたち. 学会出版センター, 東京, 1992.
- [3] 三池 秀敏, 森 義仁, 山口 智彦, 非平衡系の科学 III—反応・拡散系のダイナミクス. 講談社, 東京, 1997.
- [4] Costello B. P. J. D. L. and Adamatzky A. I., "On multitasking in parallel chemical processors: experimental findings," *Int. J. Bifurcation and Chaos*, vol. 13, No. 2, pp. 521-533, 2003.
- [5] 中林 誠一郎, Antonis Karantonis, 馬場 涼, "反応拡散系の応用分野を探る—機能的なインテリジェント情報処理デバイス—," 電気学会誌, vol. 121, No. 4, 2001.
- [6] Adamatzky A. I., *Collision-based computing*, Springer, 2002.
- [7] R. FitzHugh, "Impulses and physiological states in theoretical models of nerve membrane," *Biophys. J.*, vol. 1, pp. 445-466, 1961.
- [8] J. S. Nagumo, S. Arimoto and S. Yoshizawa., "An active pulse transmission line simulating nerve axon," *Proc. Ire.*, vol. 50, pp. 2061-2071, 1962.

- [9] 沢田 康次, 非平衡系の秩序と乱れ. 朝倉書店, 東京, 1993.
- [10] 森 義仁, 中田 聡, 非線形現象—時空間に繰り広げられるドラマ. 産業図書, 東京, 1994.
- [11] N. G. Rambidi, "Biomolecular computer : roots and promises," *BioSystems*, vol. 44, 1, 1997.
- [12] N. G. Rambidi, "Practical approach to implementation of neural nets at the molecular level," *BioSystems*, vol. 35, 195, 1995.
- [13] R. R. Aliev and A. V. Panfilov, "Multiple responses at the boundaries of the vulnerable window in the Belousov-Zhabotinsky reaction," *Phys. Rev., E*, 52, 2287, 1995.
- [14] I. Motoike and K. Yoshikawa, "Information operations with an excitable field," *Phys. Rev., E*, 59, 5354, 1995.
- [15] A. I. Adamatzky, "Computation of shortest path in cellular automata," *Mathl. Comput. Modelling*, vol. 23, 105, 1996.
- [16] A. Tóth, V. Gáspár, and K. Showalter, "Signal transmission in chemical systems : Propagation of chemical waves through capillary tubes," *J. Phys. Chem*, vol. 100, 18970, 1996.
- [17] O. Steinbock, A. Tóth and K. Showalter, "Navigating complex labyrinths : Optimal paths from chemical waves," *Science*, vol. 267, 868, 1995.
- [18] 戸谷 隆雄, 別冊数理科学 : 現代の数理物理. サイエンス社, 東京, 1989.
- [19] L. Kuhnert, K. I. Agladze, and V. I. Krinsky, "Image processing using light-sensitive chemical waves," *Nature*, vol. 337, 244, 1989.

- [20] N. G. Rambidi and A. V. Maximychev, "Molecular neural network devices based on nonlinear dynamic media: basic primitive information processing operation," *Biosystems*, vol. 36, 87, 1995.
- [21] N. G. Rambidi and A. V. Maximychev, "Towards a biomolecular computer. Information processing capabilities of biomolecular nonlinear dynamic media," *BioSystems*, vol. 41, 195, 1995.

第4章 単電子反応拡散システム

4.1 緒言

前章では反応拡散系について説明し、反応拡散系を電子デバイス化することの有用性を示した。

本章では反応拡散系の電子デバイス化のために単電子回路の利用を考える。ここでははじめに反応拡散システムの単位要素となる振動子回路(単電子振動子)について説明し、単電子振動子による反応拡散システムの構成手法について述べる(4.2節)。また、コンピュータシミュレーションにより提案デバイスが正しく動作を行うことを示す(4.3節)。さらに応用回路の検討を行い(4.4節)、デバイスの作成方針の一例を述べる(4.5節)。最後に結言とする(4.6節)。

4.2 単電子反応拡散システムの構成

3.3節で述べたように、反応拡散系は相互結合した非線形振動子の集合体であり、系全体として複雑なダイナミクス——形態形成や自己組織化などの時空間パターン——を生み出す。

反応拡散系を電子デバイスで実現するためには以下のアプローチをとればよい。すなわち、まず多数の非線形振動子を用意して配列する。次に、近接する振動子の間に「拡散現象」と類似の相互作用が生じるような工夫を設ける。一つのアプローチとしてCMOS回路やpnpnデバイスを使うことで電子的な反応拡散系を構成できる[1, 2]。しかし、既存のデバイスでは単位振動子回路一個あたりのLSI上における占有面積が大きくなるため、化学的な反応拡散系に匹敵する多数個の振動子を集積することが難しい。

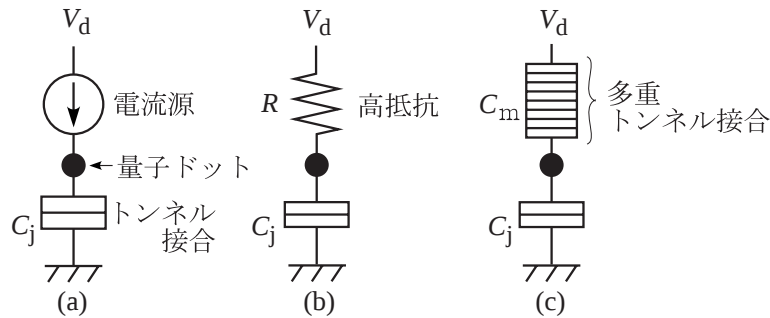


図 4.1 単電子振動子の構成

この点を解決するために、ここでは量子ドットデバイスの使用を考える。量子ドットとトンネル接合で構成される単電子回路は非線形特性を持つため、それだけで非線形素子となる。したがって複雑な回路構成を必要とせず、容易に高い集積度が得られる。

4.2.1 単電子振動子

反応拡散デバイスの単位要素となる単電子振動子の構成を図 4.1 にそれぞれ示す。図 4.1(a) は、電流源、量子ドット、トンネル接合を直列に接続した回路、図 4.1(b) は、図 4.1(a) の電流源を抵抗体に変更した回路、図 4.1(c) は、図 4.1(a) の電流源を多重接続のトンネル接合に変更した回路であり、いずれも簡単な構成の単電子回路である。この振動子はクーロンブロッケード効果がはたらく低温下で SET 振動（非線形な振動）を生じる [3]。図 4.1 の各振動子は、電流源もしくはバイアス電圧 V_d の設定次第で、自励振動を行う「振動モード」と、普段は安定状態にあり外部から擾乱が加わったときにある一定時間振動を行う「興奮モード」と呼ばれる状態に遷移可能である（図 4.2, 4.3）。振動子の状態を振動モードにするためには、電流源を理想電流源（ノードの電位に関わらず一定電流を流し続けるもの）とするか、バイアス電圧を C_j の持つしきい電圧以上に設定する必要がある。一方で、電流源の電流をノードの電位に対して変化させある電圧（しきい電圧以下）に達すると電流の流し込みを止めるものとするか、 V_d をしきい電圧以下に設定すると、振動子の状態は興奮モードとなる。

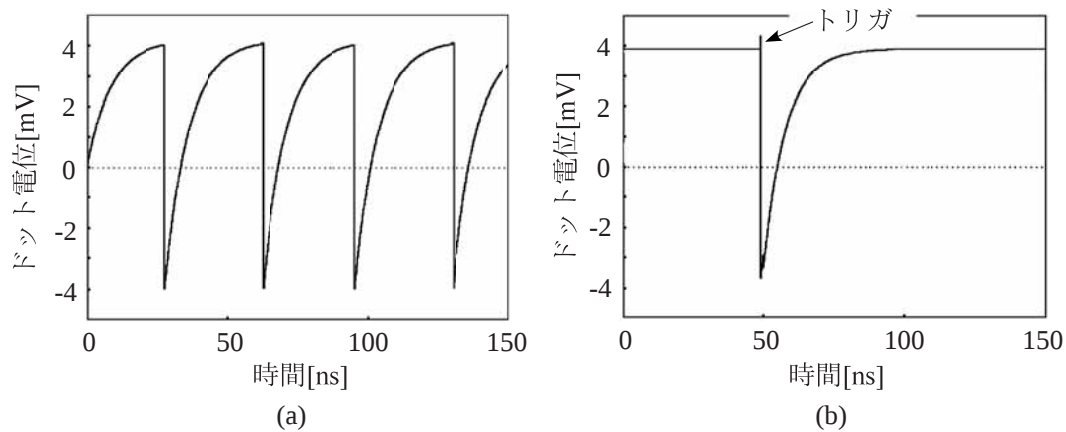


図 4.2 単電子振動子の挙動例 (図 4.1(b) のシミュレーション)。 (a) 振動モード, (b) 興奮モード。回路パラメータ: $C_j = 20$ aF, $R_j = 1$ M Ω , $R = 400$ M Ω , $V_d =$ (a) 4.2 mV, (b) 3.8 mV (トンネルしきい値 = 4 mV)

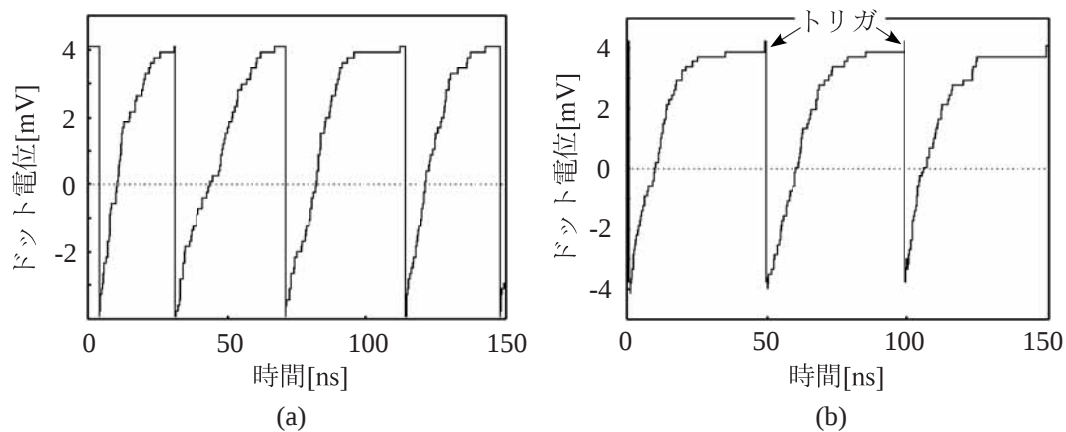


図 4.3 単電子振動子の挙動例 (図 4.1(c) のシミュレーション)。 (a) 振動モード, (b) 興奮モード。回路パラメータ: $C_j = 10$ aF, $R_j = 1$ M Ω , $C_m = 10$ aF (500 aF/50 個), $V_d =$ (a) 8.2 mV, (b) 7.8 mV

抵抗タイプの振動子において、電子トンネルが発生すると電源とドット間に電位差が生まれる。結果として電位差がなくなるまで電源から抵抗を介し電荷が流れ込むことによってトンネル接合が充電される。多重接合タイプの振動子において、電子が C_j をトンネルすると電源とドット間に電位差が生まれる。その結果、多重接合内において電子トンネルが次々に発生し¹、最終的にはドットに存在した浮遊電子をキャンセルする。

次に、振動子の連結方法について述べる。上述の単電子振動子を一次元に配置し、隣接する量子ドット間を結合容量 C で連結する。例として振動子（図 4.1(b) の振動子）を 7 個連結した結合振動子系を図 4.4 に示す。各振動子のバイアス電圧の極性は交互に反転させる。いま、ノードの電位がしきい電圧以下になるようにバイアス電圧 V_d を設定する。すると、この系は以下のような興奮モードの動作をする。まず、この結合振動子系は外部から擾乱が加わらないときは安定状態にある（この状態では各振動子のドット電位は隣接振動子の電子トンネルを抑制する極性になっている）。しかし、振動子の一つに電子トンネルが起これば、その振動子のドット電位は正負が反転する。このドット電位変化は隣接振動子の電子トンネルを誘発する極性である。この電位変化が伝わると、隣接振動子はある待ち時間の後に電子トンネルを起こす。その電子トンネルによる電位変化の影響がさらに次の振動子に伝わる。このように、ある振動子の電子トンネルによる電位変化の影響が次の振動子の電子トンネルを引き起こす、という動作が系の中で発生する。電子トンネルが時間遅れを伴って周囲に伝わっていく、という動きは反応拡散系の拡散現象に類似している（図 4.5）。

4.2.2 単電子反応拡散システムの構築方法

量子ドット振動子を多数用意してマトリクス状に配置連結すると、二次元の反応拡散デバイスをつくることができる。その構造を図 4.6 に示す。各々の量子ドット振動子

¹ ドットに蓄えられていた浮遊電子が電子トンネルによって多重接合内を通り最終的には電源に到達するようにみなすことが可能である。

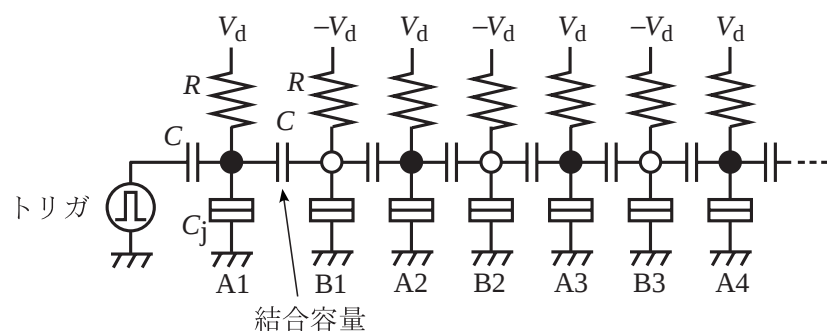


図 4.4 単電子振動子の結合

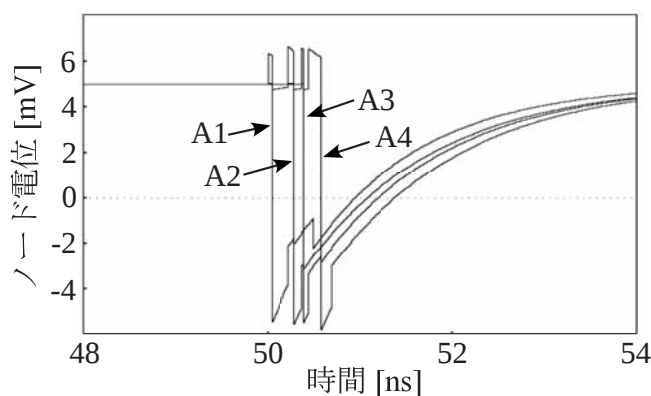


図 4.5 結合振動子系の挙動例。振動子 A1 にトリガを与えると時間遅れを伴って $A2 \rightarrow A3 \rightarrow A4$ とトンネル現象が伝搬する。回路パラメータ： $C_j = 10 \text{ aF}$, $R_j = 200 \text{ k}\Omega$, $C = 2 \text{ aF}$, $R = 77 \text{ M}\Omega$, $V_d = 5 \text{ mV}$

を隣接の量子ドット 4 個 (上下左右) と結合容量 C で連結してある。各振動子の電流源の極性は交互に反転させておく。

いま系を興奮モードに設定しておくと、外部から擾乱が加わらないときは安定状態にある。次に、外部擾乱を与えて一つまたは複数の振動子に電子トンネルを生じさせると、その振動子のドット電位の変化が周囲に伝搬して隣接振動子の電子トンネルを誘発する。これは前節 4.2.1 で述べた一次元系と同じである。しかし二次元系の場合は、ドット電位の分布形状が一次元系の場合よりもはるかに複雑になり得る。そして次節で述べるように、回路パラメータ (結合容量, 電流源 (もしくは抵抗) の特性) を変え

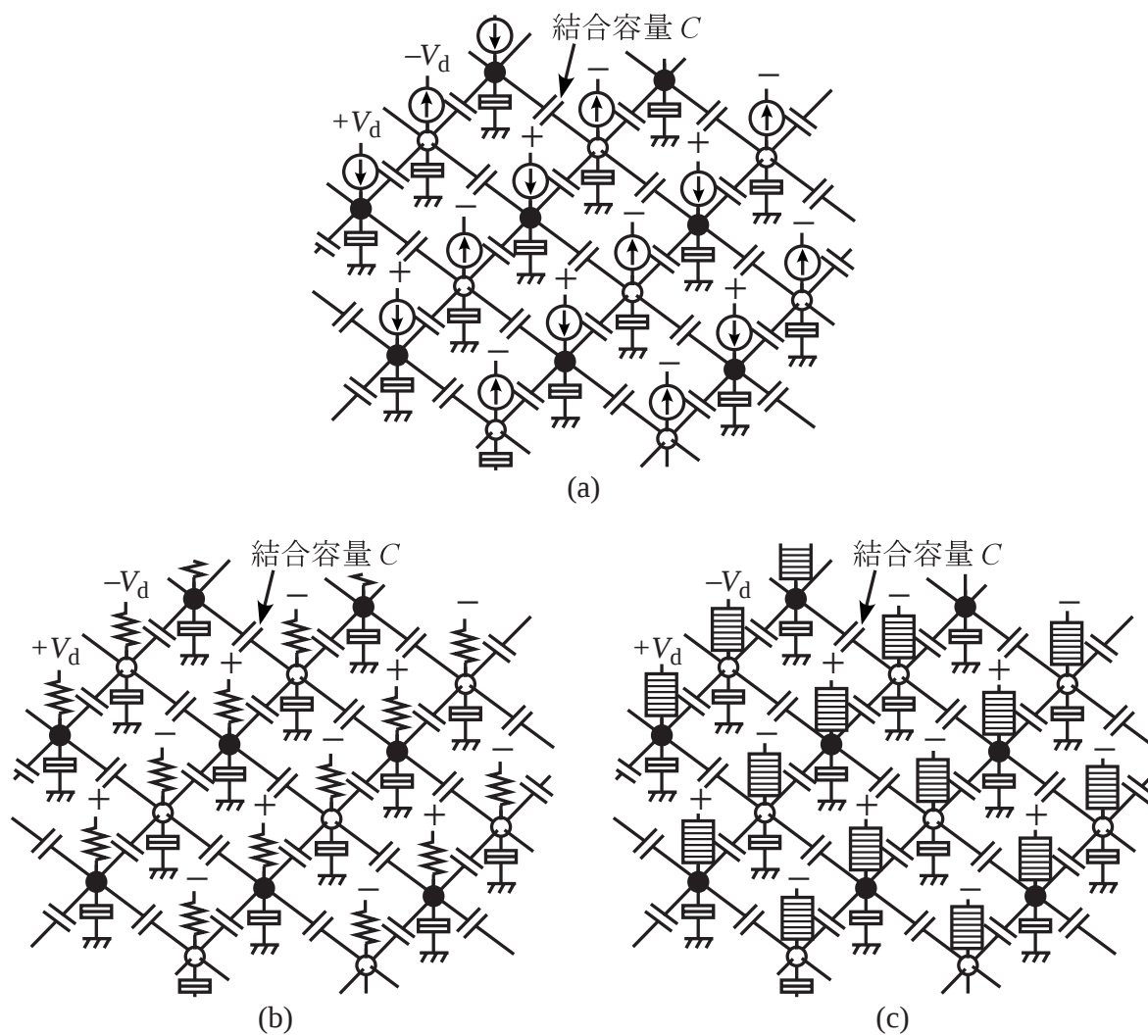


図 4.6 単電子反応拡散システムの構成。(a) 電流源タイプの振動子による，(b) 抵抗体タイプの振動子による，(c) 多重トンネル接合タイプの振動子による

ることによって、多様な時空間パターン（時間・空間的に変化するドット電位の二次元パターン）が現れる。

4.3 シミュレーション結果

コンピュータシミュレーションにより、二次元の単電子反応拡散システムに現れる時空間パターンを確認した。回路パラメータと初期条件に依存して、様々なパターンが現れる。例として、第3章において挙げた図3.7(a)と(b)に類似したパターン(分裂増殖, 螺旋)を図4.7, 4.8に示す。ここで、図4.7は図4.6(b)(抵抗体タイプの振動子系)のシミュレーションであり、図4.8は図4.6(c)(多重トンネル接合タイプの振動子系)のシミュレーションである。図示の時空間パターンは正バイアスの振動子における各ドット電位の分布を表す。各パターンを発生させる操作を以下に述べる。分裂増殖パターン発生のために各振動子のトリガ感度が低いようなパラメータ条件²にする。そのときデバイス内のある振動子にトリガを与えると、その振動子において電子トンネルが発生する。それにより振動子のノード電位が変化し、その影響が周囲の振動子にトリガとして伝わる。しかし、各振動子のトリガ感度が低いためにある振動子では電子トンネルが発生しないということが起こり得る。つまり、電位変化の波がある方向には拡散し別の方向には拡散しない、ということが生じる。結果として、一点から発生した興奮パターンが次第に分裂しながら広がるようになる。螺旋パターンを発生させる操作は以下の通りである。はじめに、左端中央の振動子にトリガを与えて電子トンネルを発生させる。周囲に電子トンネルによる電位変化が伝搬、電子トンネルの誘発が始まった後、反応拡散デバイスの下半分のノード電位をある時間だけゼロにリセットする。その後は、デバイス自身が反応・拡散の動作に従って自発的に螺旋を巻いていく。

以上のダイナミクスは、化学的な反応拡散系のダイナミクス(図3.7)、さらには生命現象の中に現れるダイナミクス(図3.1-3.2)に類似したところがある。螺旋や分裂増殖といったパターンの成長は、動作途中に外から操作を受けることなくデバイス自身が作り出すものである。これは生命現象における自己組織化などの挙動に類似している。したがって、単電子反応拡散システムは生体機能をモデルにした新しい機能デバイスへの応用が期待できる。

²具体的には、振動子のバイアス電圧を小さくするなど。

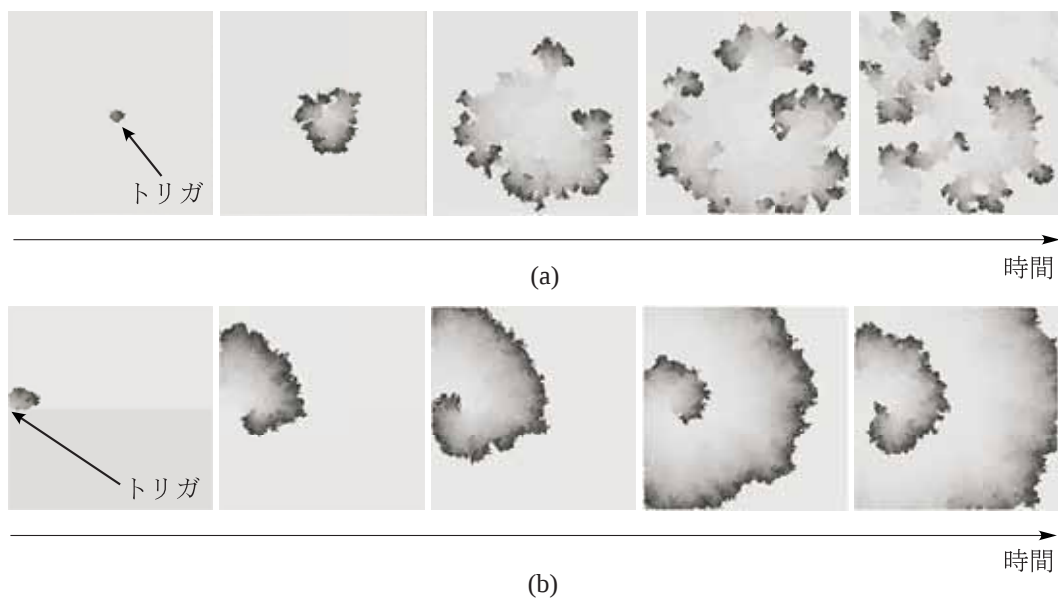


図 4.7 単電子反応拡散システム (図 4.6(b)) の挙動例。(a) 分裂増殖パターン, (b) 螺旋パターン。(電位の低い部分を黒, 高い部分を白として表現) 回路パラメータ: $C_j = 1$ aF, $R_j = 1$ M Ω , $C = 1$ aF, $R =$ (a)150.5 M Ω , (b)137.5 M Ω , $V_d =$ (a)15.8 mV, (b)16.5 mV

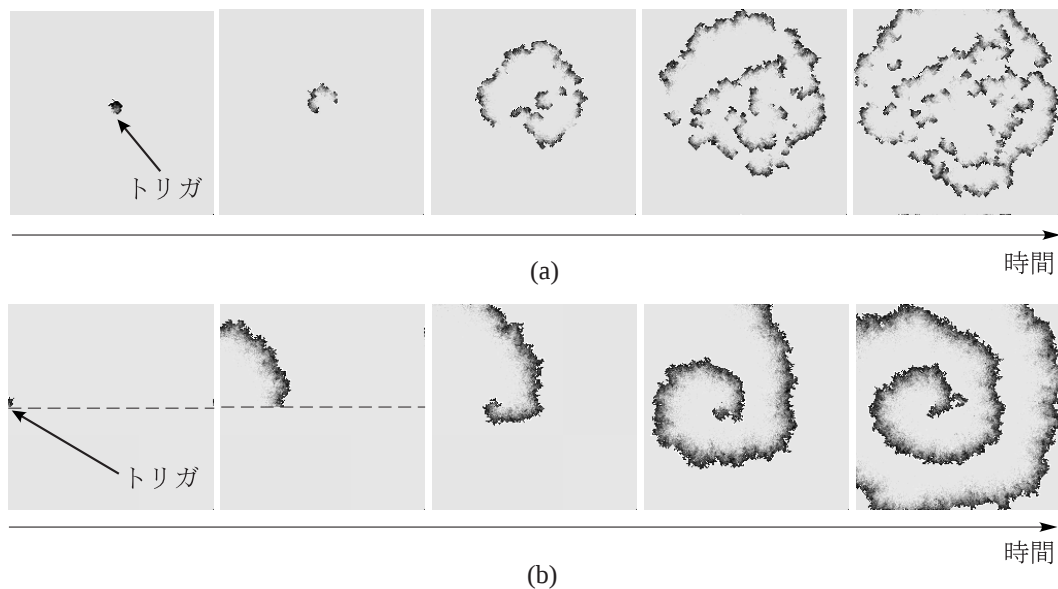


図 4.8 単電子反応拡散システム (図 4.6(c)) の挙動例。(a) 分裂増殖パターン, (b) 螺旋パターン。回路パラメータ: $C_j = 10$ aF, $R_j = 200$ k Ω , $C = 2$ aF, $C_m = 10$ aF (500 aF/50 個), $V_d =$ (a)9.7 mV, (b)9.9 mV

4.4 単電子反応拡散システムの応用

前節 4.3 で述べたように、提案の単電子反応拡散システムは化学系の反応拡散系や、数理モデルで現れるような反応拡散系特有の挙動をする。つまり単電子反応拡散システムは、ある興奮場の上を興奮波と呼ばれる波が伝搬し、また、二つ以上の波が衝突した場合、双方の波が消滅するという特性を持つ。

ここでは、3.4 節で説明した反応拡散系の応用としてすでに提案されている情報処理の手法について、単電子反応拡散システムへの適用とその実現可能性について検討する。

4.4.1 最短経路探索

経路探索とは、たとえば迷路などの道順を判断してゴールまで到達することである [4]。普通は総当りの的に探索せざるを得ないので効率が悪い。近年、この経路探索に波動情報処理 (波動の性質を用いた情報処理) を導入する方法が提案された [5]。これは「波動の伝搬」と「衝突による波動の消滅」を巧みに利用する。この方法によれば効率的に解を求められる可能性がある (図 4.9)。そこで単電子反応拡散システムにおける波動伝搬を利用して経路探索を行うことを考えた。

経路探索を実行するために、まず、与えられた迷路をデバイス上に模擬する。すな

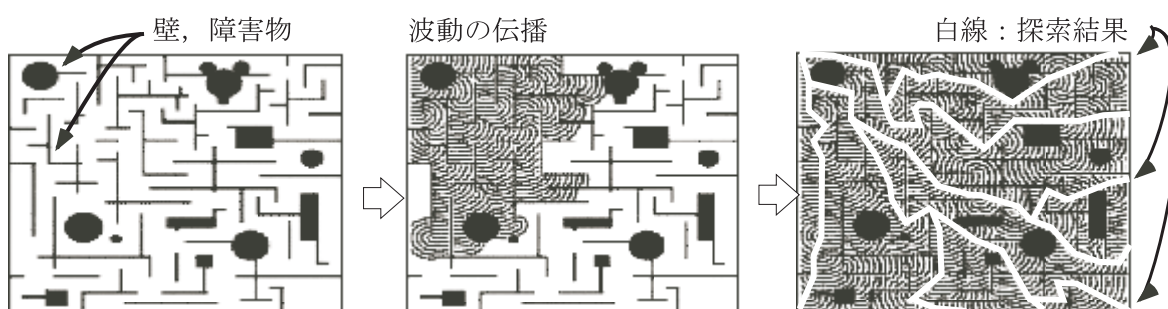


図 4.9 波動を用いた経路探索の例 (Hiratsuka, 2002)

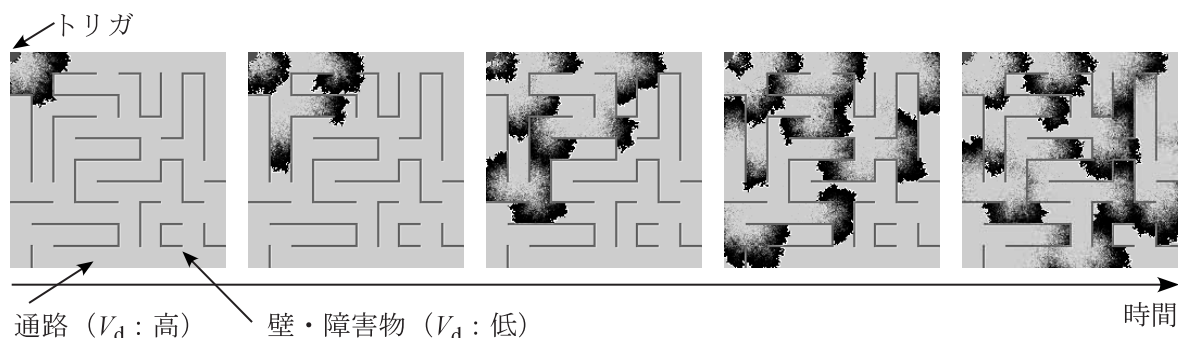


図 4.10 単電子反応拡散システムによる経路探索 (多重接合型 (図 4.6(c)) による)。回路パラメータ: $C_j = 10$ aF, $R_j = 200$ k Ω , $C_m = 10$ aF (500 aF/50 個), $C = 2$ aF, $V_d = 9.9$ mV (通路), 7 mV (壁障害物)

わち、デバイス上に迷路を描き、迷路の「壁」や「障害物」となる部分は、振動子に加えるバイアス電圧を電子トンネルが起こらない程度に低く設定する。「通路」となる部分は、振動子が興奮モードになるようなバイアス電圧³を加える。次に、スタート地点にトリガを与えて波動を発生させる。そうすると、電位変化の波動が迷路を伝播してゴールまで到達する。このシミュレーション結果を図 4.10 に示す。スタート地点からゴールまでの波動の流れを調べることで、迷路の経路を知ることができる。

4.4.2 ボロノイ図の構成

ボロノイ図の構成とは、3.4.3 節で述べたように計算幾何学における領域分割の手法である。ボロノイ図は、2 点間の距離を基に平面を分割する図形である (図 4.11)。

ボロノイ図の構成を行うために、ここでは単電子反応拡散システムの利用を考える。反応拡散系を利用してボロノイ図を構成する場合、3.4.3 節で述べたように「興奮波の等速な伝搬」と「衝突点の痕跡が残る」という性質が必要となる。本単電子反応拡散システムの性質は、「興奮波の確率を伴う伝搬 (非等速な伝搬)」、「興奮波の衝突によ

³電流源を使用する場合は通路となる部分のゼロ電圧 (電流の流し込みを止める電圧) 値をしきい電圧から数 mV 程度下げるのに相当する。

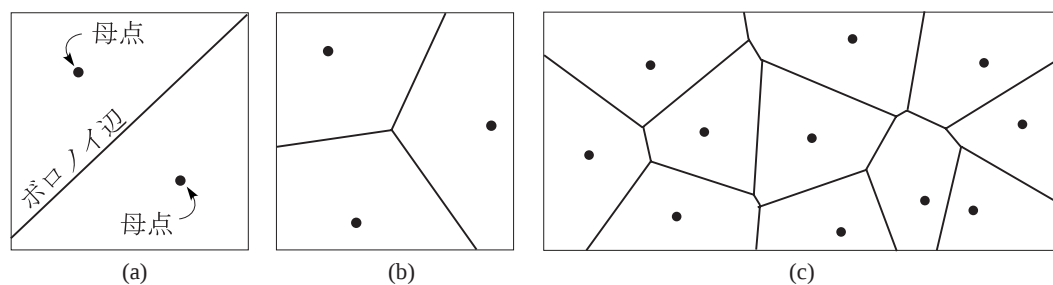


図 4.11 母点を基に構成されたボロノイ図。母点が (a) 2 点, (b) 3 点, (c) 多数の場合

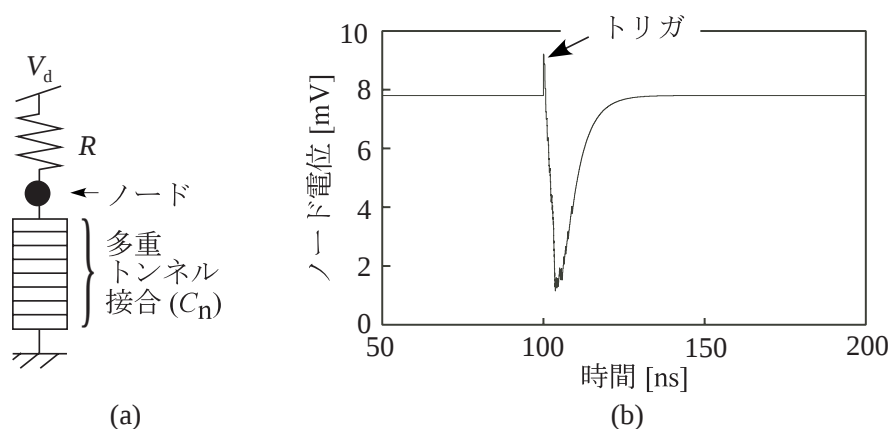


図 4.12 多重接合を持つ単電子振動子。(a) 回路構成, (b) 回路の挙動例

る波の消滅」というものであるため、そのままの形では本システムはボロノイ図の構成のための二つの条件を満たさない。そこで、上述の条件を満たすようにシステムの構成を発展させる。はじめに「興奮波の等速な伝搬」を実現するために、単電子反応拡散システムを構成する単電子振動子の動作に着目する。本システムが「興奮波の非等速な伝搬」を行う最大の要因は、各振動子で発生する電子トンネルに確率性が含まれるためである。つまり確率性が含まれるために、電位変化の伝搬がスムーズに行われない。トンネル確率を全ての振動子において同一にするのは困難であるので、振動子回路の構成を変更することで「興奮波の等速な伝搬」の実現を目指す。トンネル確率のばらつきを抑え伝播する波が等速になるように、ここでは図 4.12(a) のような構成の単位振動子を考えた。この振動子は多数 (N 個) のトンネル接合を直列接続し、そ

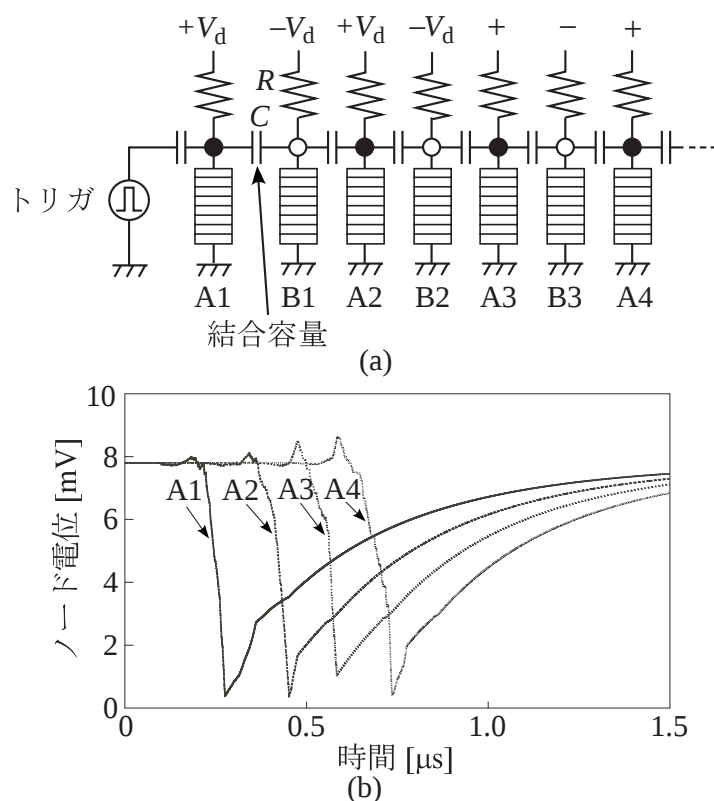


図 4.13 多重接合を持つ単電子振動子の連結。(a) 回路構成，(b) 振動子系の挙動

ここに抵抗体（もしくは電流源や抵抗体としてはたらく多重接合）を連結した構成になっている。このような構成の振動子は図 4.12(b) の挙動をする。図 4.12(b) ではこれまでに述べた単電子振動子の挙動とは違い、電子トンネルによるノードの電位変化がやや緩やかになっていることに注目されたい。このような挙動をする振動子を図 4.4 と同様に連結する（図 4.13(a)）。この振動子系では、図 4.4 と同様に電位変化は興奮波として伝搬する。しかし、この系で伝搬する興奮波の速度はほぼ等速になる（図 4.13(b)）。これは、各振動子においてトンネル接合を多重化したことにより、トンネル確率の影響が薄れたことによる⁴。したがって、この振動子を構成要素とする単電子反応拡散システム（図 4.14）を利用することで、ポロノイ図構成のための条件である「興奮波の等速な伝搬」を実現できる（図 4.15）。次に、「衝突点の痕跡を残す」手法について提案

⁴電子トンネルが発生するトンネル接合に選択性が生まれ、結果として確率性が平均化される。

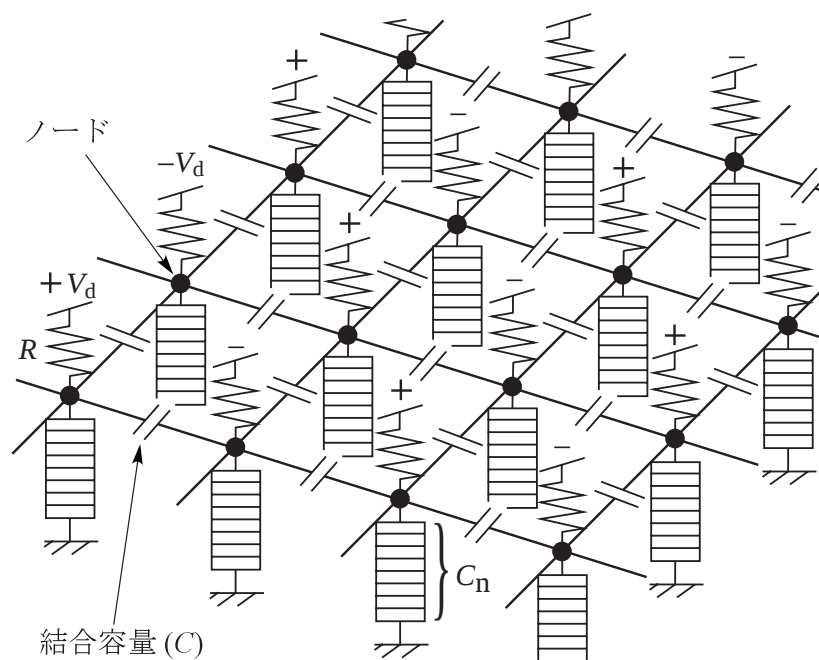


図 4.14 多重接合を持つ単電子振動子による単電子反応拡散システム

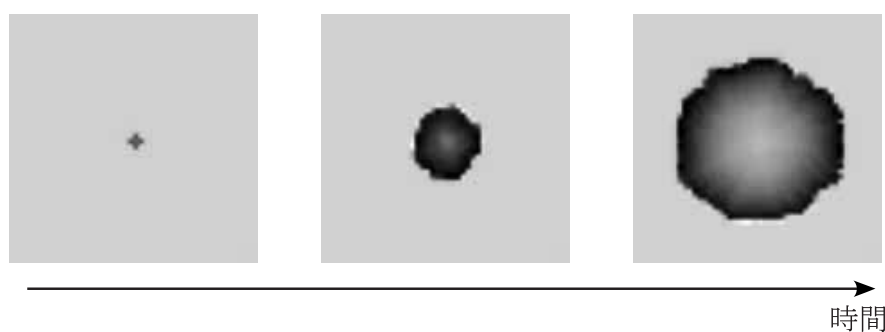


図 4.15 多重接合を持つ単電子振動子による単電子反応拡散システムの挙動

する。

ボロノイ図の構成に関してすでに提案されている手法の中で、セルオートマトンモデルを利用するものがある [6, 7]。本研究ではその手法を参考にしてシステムの構築を目指す。[6, 7] の文献によると、CA モデルにおいて近傍 8 セルと連結しているセルは近傍セルの状態に依存して自身の状態を変える。セルの状態を決定するルールは以下

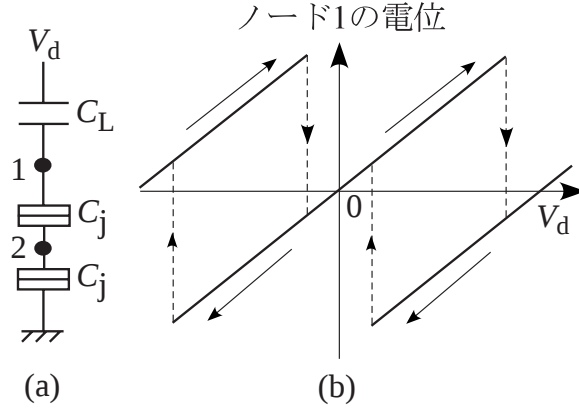


図 4.16 単電子トラップ。(a) 回路構成，(b) 回路の挙動。

の式で定義される。

$$x^{t+1} = \begin{cases} \beta, & \text{if } x^t = \bullet \text{ and } 1 \leq \sigma(x)^t \leq 4 \\ \alpha, & \text{if } x^t = \beta \text{ and } 1 \leq \sigma(x)^t \leq 4 \\ x^t, & \text{otherwise} \end{cases} \quad (4.1)$$

ここで、 x は自セルの状態を、 t は時間ステップを、 $\bullet$ は休止状態のセルを、 α 沈殿状態のセルを、 β は興奮状態のセルを、 $\sigma(x)^t$ は近傍 8 セル中の β であるセルの合計個数をそれぞれ示している。このモデルでは、衝突点が沈殿状態として保持される。

このルールを本システムに適用するために、本研究では単電子トラップをしきい判定素子として導入することを考える。単電子トラップ（単電子箱の一種）は二つのトンネル接合 C_j 、キャパシタ C_L とバイアス電圧源 V_d を直接接続して構成される（図 4.16 (a)）。この回路はバイアス電圧 V_d に対してヒステリシス特性を示す（図 4.16 (b)）。ここでは、この回路の特性を CA モデルに基づくボロノイ図の構成のためのしきい判定動作に利用する。なお、近傍 8 振動子中で β である振動子の総数をしきい値として 4.5 に設定した。つまり、近傍振動子の内 4 個以下で電子トンネルによる電位変化が生じても単電子トラップでは電子トンネルが起こらず、近傍振動子の内 5 個以上で電位変化が生じれば単電子トラップでも電子トンネルが発生する。また、この単電子トラップの状態と振動子の状態を比較することにより、衝突点を表現することが可能となる。

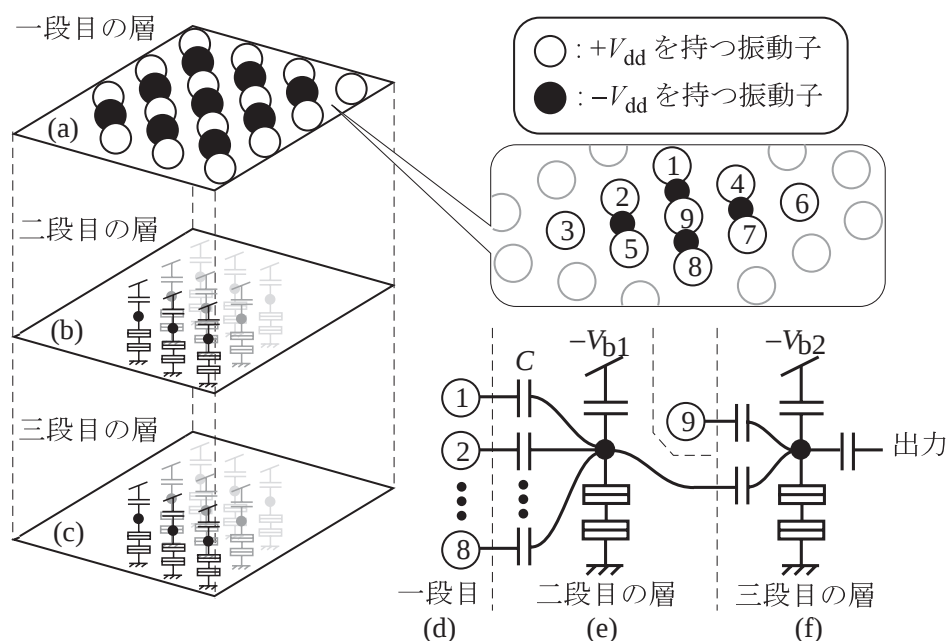


図 4.17 ポロノイ図構成のためのデバイス構成。一段目の層は図 4.14 に示したデバイス, 二段目の層は単電子トラップを用いる一つ目のしきい判定層, 三段目の層は二つ目のしきい判定層である。

その比較のために、ここではしきい値を 1.5 と設定した単電子トラップをさらに用意する。この三段目の単電子トラップでは、二段目の単電子トラップと一段目の振動子の両方で電子トンネルが起こらない時のみ、電子トンネルが発生するという挙動をする。

図 4.17 にポロノイ図の構成のために改良した提案デバイスを示す。一段目の層 (図 4.17(a)) は改良構造の単電子反応拡散システム (図 4.14) である。二段目の層 (図 4.17(b)) は単電子トラップによる一つ目のしきい判定層である。ここで、この単電子トラップは $-V_{b1}$ というバイアス電圧を与え (図 4.17(e))、 $+V_d$ が与えられている一段目の振動子の直下 (図 4.17(d) 中の振動子 9 の直下) に配置する。また、その単電子トラップと一段目の近傍 8 振動子 (図 4.17 (d) 中の振動子 1~8) と連結する。つまり、その単電子トラップは八つの入力信号を 8 振動子から受ける。三段目の層 (図 4.17(c)) は、二つ目のしきい判定層である。ここで、この層に使う単電子トラップには $-V_{b2}$ というバイアス電圧を与え (図 4.17(f))、一段目の層の振動子 9 と二段目の層の単電子トラップと連

結する (図 4.17(e))。つまり、三段目の層にある単電子トラップは一段目の層にある振動子 9 と、二段目の層にある単電子トラップからそれぞれ信号を入力される。三段目の層は出力層になる。つまり、三段目の層がボロノイ図を構成する。

コンピュータシミュレーションにより動作の確認を行った。図 4.18, 4.19, 4.20 にその結果を示す。図 4.18 は、一段目の層におけるノード電圧の分布をグレースケールとして表現したものである。図 4.19 と図 4.20 は、それぞれ二段目の層と三段目の層のノード電位分布を表したものである。図 4.19 において 'A' は一段目の層に広がる波の先頭を、'B' は二段目の層広がる波の先頭を、'C' は衝突点をそれぞれ示している。また第二層の回路パラメータは、 $C_j = 20 \text{ aF}$, $R_j = 200 \text{ k}\Omega$, $C_L = 10 \text{ aF}$, $C = 2.2 \text{ aF}$, $-V_{b1} = -26.5 \text{ mV}$, 温度 $T = 0 \text{ K}$ 、第三層の回路パラメータは $-V_{b2} = -18.5 \text{ mV}$ 以外、図 4.19 と同じである。このシミュレーションでは、ボロノイ図構成のための母点として一段目の層にある三つの振動子にトリガを与えた。一段目の層において電位変化の波が等速に広がることによって、二段目と三段目の層にそれぞれ電位変化や衝突箇所の情報をを送る。二段目の層において、上段の 8 振動子のうち五個以上の振動子のノード電位が変化したときに単電子トラップは自身のノード電位を変化させる。一段目の層を伝搬する興奮波の先頭部分には、四個以下の電子トンネルを起こした振動子が存在する。その結果として、二段目の層における興奮波の先頭 (図 4.19 中の B) は、一段目の層を伝搬する興奮波の先頭 (A) から時間的に少し遅れて伝搬する。一段目の層において興奮波 'A' が別の興奮波と衝突する時、その衝突箇所では、五個以上の振動子において電子トンネルが発生している。したがって二段目の層を伝搬する興奮波 'B' は興奮波 'A' に追いつき、まるで谷に橋が架かるかのように一気に⁵別の興奮波と衝突する (C)。三段目の層において単電子トラップは、一段目の層の振動子と二段目の層の単電子トラップのそれぞれの電位が同時に低い場合、自身のノード電位を変化させる。すなわち一段目の層にて衝突を起こしていない興奮波は三段目の層において高い電圧として記憶される。一段目の層にて興奮波が衝突を起こした時、一段目の層における衝

⁵一段目の層で衝突が起こると時間的に大差なく

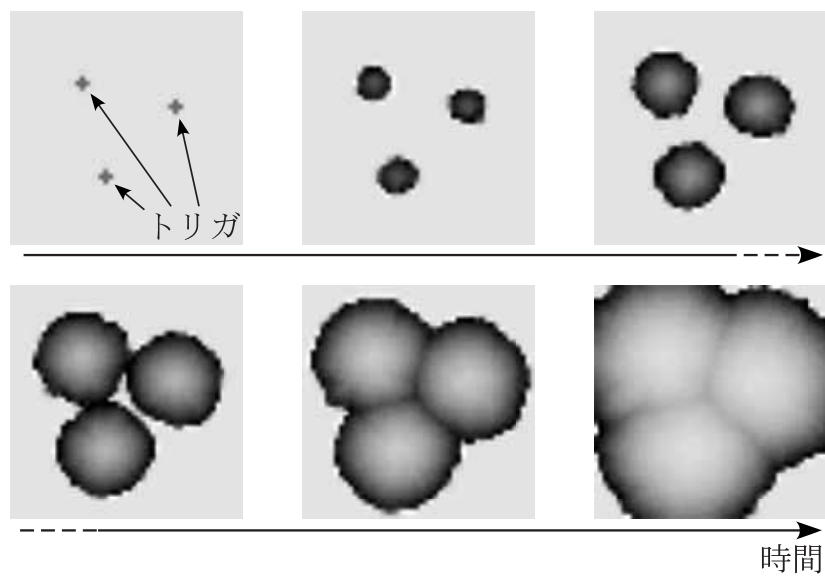


図 4.18 デバイスの一段目の層に広がる興奮波。6 ステップ分のスナップショット。

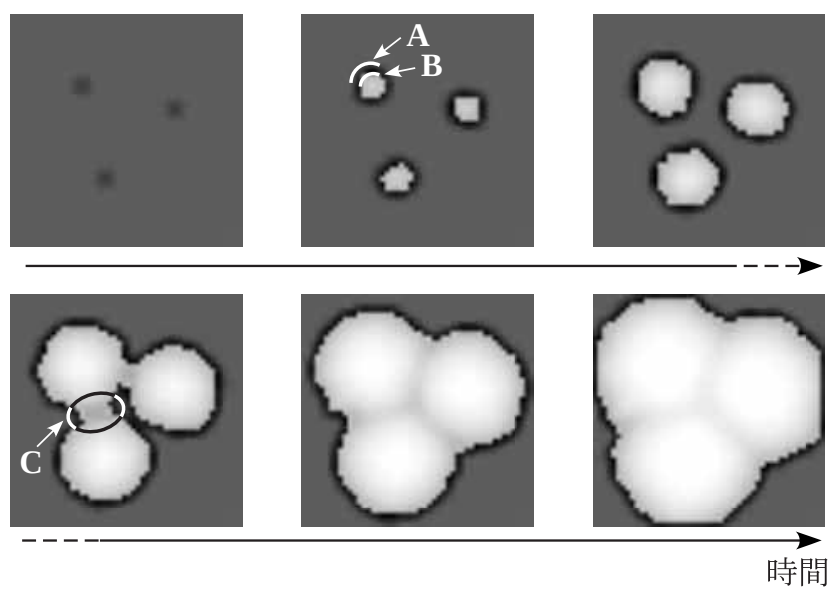


図 4.19 デバイスの二段目の層に広がる興奮波。6 ステップ分のスナップショット。

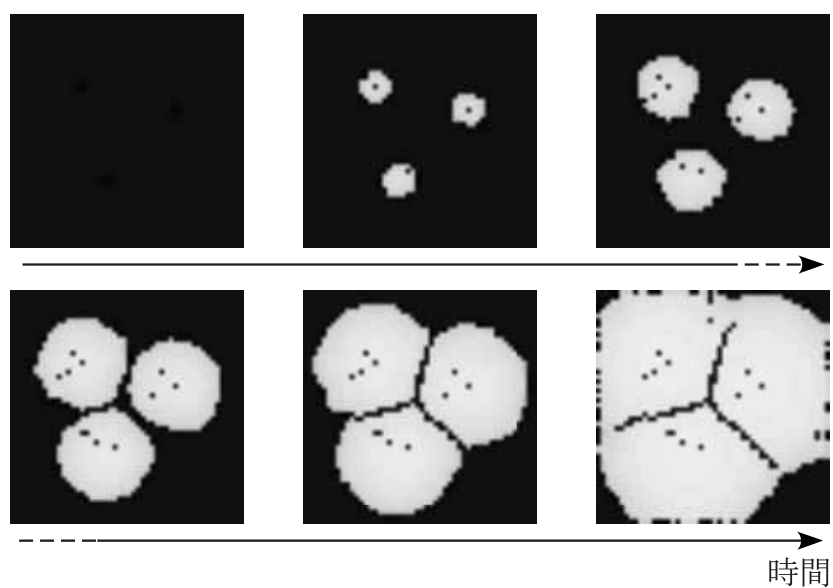


図 4.20 デバイスの三段目の層に広がる興奮波。6 ステップ分のスナップショット。

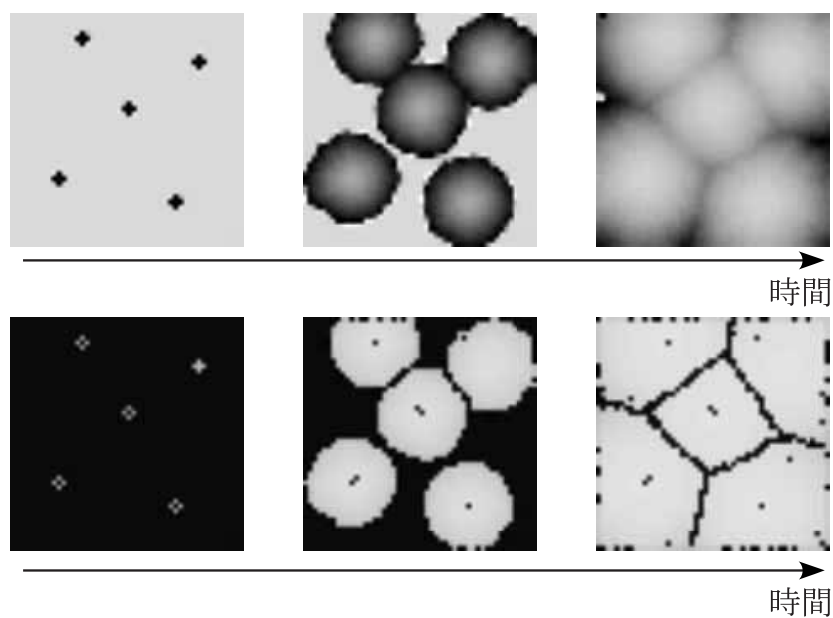


図 4.21 5 個の母点を与えたときのシミュレーション結果。上の三つのスナップショットは一段目の層の電位分布を、下の三つのスナップショットは三段目の層の電位分布を示す。

突点の電位は低く二段目の層における衝突点の電位は高い。その結果として、三段目の層における単電子箱のノード電位は低い状態に保たれる。したがって、三段目の層にポロノイ図の構成の計算結果が出力される。なお、デバイスの情報処理速度は興奮波の伝搬スピードにのみ依存するため母点の数が増加しても計算速度に変化はない。最後に母点の数を5個としたときのシミュレーション結果を図4.21に示す。

4.5 単電子反応拡散システムの作製方法

単電子反応拡散システムの実現に向けて、二次元デバイスの製作方法の一方針を述べる。本デバイスは量子ドット集積体、および量子ドットを連結するための結合容量からなる。この構成を実現するための構造例を図4.22に示す。以下に順を追って説明する。

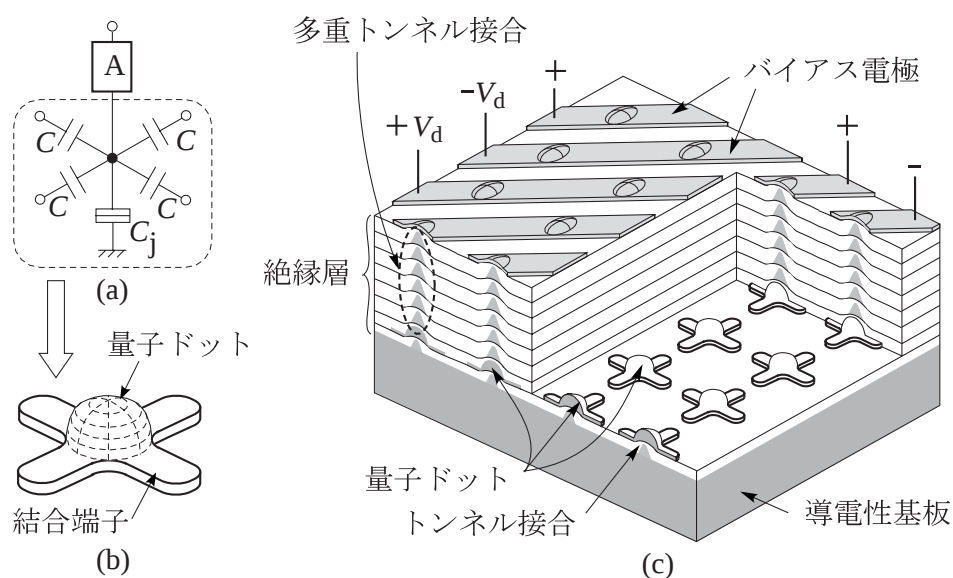


図 4.22 単電子反応拡散システムのデバイス構造 (一例)。(a) 単電子振動子の回路 (回路中 A は電流源, 抵抗体, 多重トンネル接合のいずれかの素子), (b) 四本の結合端子を持つ量子ドット, (c) デバイスの全体図と断面図

- 図 4.22(a) : 製作したい単電子振動子の回路。容量 C を介して伸びる四本の腕は、隣接振動子に電位変化を伝えるための結合端子である。
- 図 4.22(b) : 単電子振動子の核となる部分 (図 4.22(a) の点線内) を実際の構造に直したもの。中央が量子ドットでそこから四本の結合端子が伸びている。
- 図 4.22(c) : 単電子反応拡散システム (多重トンネル接合タイプの振動子系) の最終構造。単電子振動子の集積配列と各振動子の容量結合。導電性の基板の上に絶縁膜を介して量子ドットを集積する。量子ドットと基板の間にはトンネル接合を形成する。量子ドットの上部には多重トンネル接合を形成し、バイアス電極により電圧 $\pm V_d$ を与える。振動子間の容量結合は各量子ドットから伸びる結合端子を近接させることで実現する。

以上のデバイス構造は次のような工程で作成できる。

- (1) 導電性基板を用意し、量子ドットの下となる部分に導体 (または半導体) の突起を堆積する。
- (2) 基板表面に絶縁膜を堆積させる。突起の上部は絶縁膜を薄くしておく。ここにトンネル接合をつくるためである。
- (3) 絶縁膜の上に結合端子四本を持つ量子ドットを配列する。
- (4) その上から第二の絶縁膜を堆積する。
- (5) 上述の (2) ~ (4) を繰り返すことで多重トンネル接合を構成する (ただし、多重接合部には結合端子を持たない量子ドットを用いる)。電流源を用いる場合には、(4) で堆積した絶縁膜のうち量子ドット上部に存在する絶縁膜にコンタクトホールを開孔し、そこに電流源を接続する。抵抗体を用いるときも同様にして量子ドット上部に存在する絶縁膜にコンタクトホールを開孔しそこに抵抗体を接続する。

以上のようにして、図 4.6 のような単電子振動子の集積体を基板上に構成できる。

このような集積構造を実現するための有力な方法に例えば有機金属気相選択成長 (SAMOVPE) と結晶方向による成長速度の差を組み合わせたナノ構造作製法 [8] がある。この方法によれば、振動子の配列ピッチを 100 nm 程度に小さくすることが可能である。したがって、CMOS デバイスを使うよりもはるかに高い集積度の反応拡散デバイスをつくることができる。

4.6 結言

反応拡散系を人工的に模擬することができれば、既存のコンピュータが苦手とする実時間で並列情報処理を行う新しい機能デバイスを構成できる。

本章では空間規模の大きな反応拡散系を模擬する一つの手法として、量子ドット集積体を用いる方法を紹介した (単電子反応拡散システム)。反応拡散系を電子デバイス上に実装する場合、反応拡散デバイスの表現できる系の空間規模はデバイスに搭載できる反応回路 (非線形振動子) と拡散回路の大きさと数によって決定する。本章で提案したデバイス構成の場合、量子ドット一個につき一個の非線形振動子を実現することが可能であり反応拡散系での物質拡散は振動子間の容量結合で簡単に表現できる。量子ドット集積体 (たとえば [8]) を用いると、量子ドット間の距離が数十 nm ~ 数百 nm とすることが可能である。つまり、例えば 1cm^2 の量子ドット集積体には計算上約 10^{10} 個の非線形振動子を実装することが可能である。これは、電子デバイスとして反応拡散系の挙動を十分表現できる空間規模と言える。以上より単電子反応拡散システムは新しい機能デバイスの有力な候補になると考える。

参考文献

- [1] Asai T., Nishimiya Y., and Amemiya Y., “A novel reaction-diffusion system based on minority-carrier transport in solid-state CMOS devices,” *Proceedings of the International Semiconductor Device Research Symposium*, pp. 141-144, 2001.
- [2] Daikoku T., Asai T., and Amemiya Y., “An analog CMOS circuit implementing Turing’s reaction-diffusion model,” *2002 International Symposium on Nonlinear Theory and its Applications (NOLTA)*, 2002.
- [3] Gravert H. and Devoret M.H., *Single Charge Tunneling — Coulomb Blockade Phenomena in Nanostructures*, New York: Plenum, 1992.
- [4] たとえば、<http://www.informatics.tuad.ac.jp/tenji/tenji03/shiragami-lab/199970120/3.doc>
- [5] Hiratsuka M., Aoki T., and Higuchi T., “Enzyme transistor circuits for reaction-diffusion computing,” *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 46, no. 2, pp. 294-303, 1999.
- [6] Adamatzky A., “Reaction-diffusion algorithm for constructing discrete generalized Voronoi diagram,” *Neural Netw. World.*, vol. 6, pp. 635-643, 1994.
- [7] Adamatzky A., “Voronoi-like partition of lattice in cellular automata,” *Mathl. Comput. Modelling.*, vol. 23, pp. 51-66, 1996.

- [8] Kumakura K., Motohisa J., and Fukui T., “Formation and characterization of coupled quantum dots (CQDs) by selective area metalorganic vapor phase epitaxy,” *J. Crystal Growth*, vol. 170, pp. 700-704, 1997.

第5章 単電子ニューラルネットワーク

5.1 緒言

ニューラルネットワークは反応拡散系と同じように自然界（生体内）で行われている情報処理についてモデル化したものである。ニューラルネットワークを回路化することは、例えば脳のように生体で行われている高度な情報処理系の一端を実現できる。ニューロン（神経素子）を一つの情報処理デバイスと考えると、それ自体はきわめて信頼性のないものである。しかし、ニューラルネットワーク（例えば脳）システムは全体として高い信頼性と機能を実現している。このことは、温度やノイズの増加に伴って信頼性が低くなる量子デバイスでも、ニューラルネットワークの構造を模することによって、システム全体として高い信頼性と機能を実現できることを示唆している。そこで本章では単電子回路によるニューラルネットワークの構成を検討する。前章では、単電子反応拡散システムを構成するために単電子振動子を用いた。この単電子振動子の挙動（単安定振動）は、生体内のニューロンが入力信号を受けて発するスパイク信号とみなすことができる。したがって、単電子振動子を用いてニューロン回路、及びニューラルネットワークを構成することを考える。ニューラルネットワークの単電子回路化は、ニューラルネットワークが持つノイズ耐性などの獲得や応用回路への発展が期待できる。

本章では、はじめにニューラルネットワークを構成するニューロンについてその挙動を簡単に説明する（5.2節）。個々のニューロン素子はノイズや素子ばらつきに弱い。しかし複数のニューロンがネットワークを構成するとノイズや素子ばらつきが存在しても情報処理が正しく行われることが報告されている。そこで5.3節ではニューラル

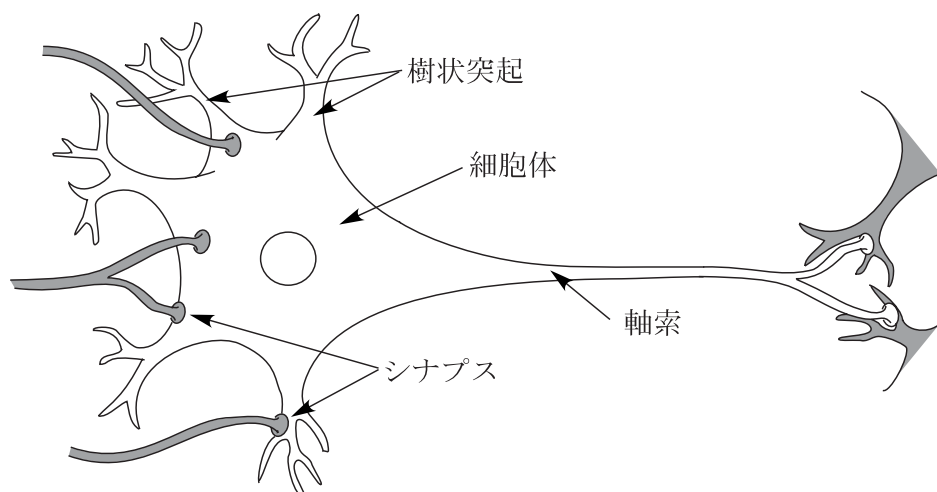


図 5.1 ニューロンの概略

ネットワークの例をいくつか紹介する。次に単電子回路によるニューロン回路の構成について述べ、様々なニューラルネットワークの構成について検討を行う (5.4 節)。最後に結言とする (5.5 節)。

5.2 ニューロンの動作

ニューラルネットワークは、生物の神経系の特徴的な機能に着目してそのモデル化を行ったものである。生物の神経系は、多数のニューロンが複雑に結合され、それぞれが並列処理を行っている。ニューロンの構造は図 5.1 に示すように、樹状突起、軸索、細胞体から成る。ここで、樹状突起は入力端子、軸索は出力端子である。各ニューロンの樹状突起は、シナプスを通して他のいくつかのニューロンからの入力信号を受け取る。ニューロン間の信号伝達は、電気パルスによって行われ、ニューロンの状態 (膜電位) が変化する。このニューロンの状態変化は、シナプス結合の種類 (興奮性や抑制性など) に依存する。興奮性のシナプスの場合には入力信号が加えられることによって、シナプス直下の細胞体の膜の電位 (シナプス後電位) が上昇する。その結果、それに隣接した膜の電位もある程度上昇する。ある場所の膜の電位上昇があるしきい値を越

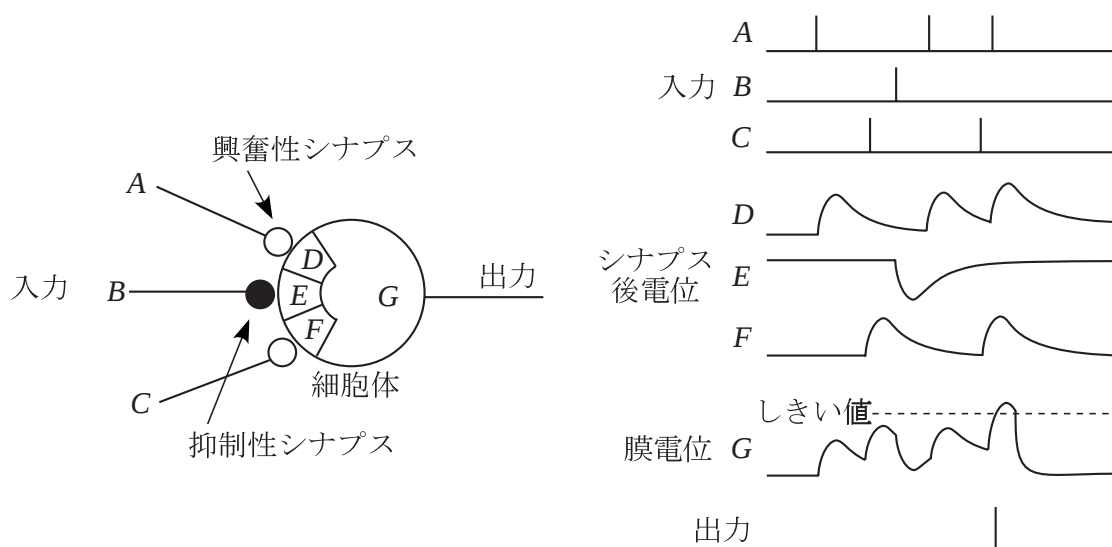


図 5.2 スパイクニューロンの挙動例 [3]。興奮性の入力を受けると細胞体の膜電位 (シナプス後電位) が上昇, 抑制性の入力を受けると細胞体の膜電位が減少する。入力を受けた結果として細胞体の膜電位があるしきい値を越えると出力パルスが発生する。

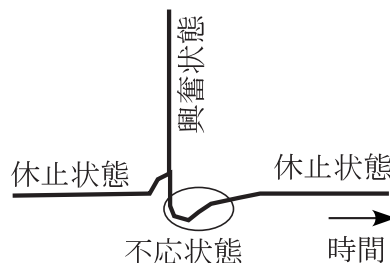


図 5.3 スパイクニューロンの出力と状態遷移。ニューロンが不応状態にある場合、入力信号を与えても発火しにくい。

えるとその部分でスパイクが発生する (興奮状態)。一度ニューロン内のある場所でスパイクが発生するとドミノ式に他の領域でもスパイクが発生・伝搬し、軸索を通じてそのパルスが他のニューロンに伝わり刺激を及ぼす。いったんスパイクが発生した場所はしばらくの間興奮できない状態になる。この期間のことを不応期という。これがあるために、発生したスパイクは元の方に戻ることなくニューロンの膜にそって一方向に進み軸索を通して出力される。不応状態の膜はある時間経過すると再び刺激

を受けることで発火することが可能になる休止状態に移る [1, 2]。図 5.2 にスパイクニューロンの挙動例を、図 5.3 に出力とニューロンの状態遷移について示す。

5.3 ノイズにロバストなニューラルネットワークの例

個々のニューロン素子はノイズや素子ばらつきに弱い。しかし、複数のニューロンがネットワークを組むとノイズや素子ばらつきがあっても情報処理は正しく行われることが古くから報告されている（例えばパーセプトロン [4]）。近年、競合ニューラルネットワーク [5] や減衰シナプスによるネットワーク [7] におけるノイズやデバイスエラーに対する冗長性などが報告されている他、ノイズに冗長だけでなくノイズの効果を積極的に利用して情報処理を行うネットワークなど [6, 10, 11] についても報告されている。

競合ニューラルネットワークは、図 5.4(a) に示すように複数のニューロンが all-to-all の抑制性結合によりネットワークを構成しているものである。あるニューロンが発火したときにその電位変化の影響が他の全てのニューロンに伝搬し、他のニューロンの発火を抑制する [8]。ニューロン間の結合重みが同じ場合、一番大きい入力を受けているニューロンのみスパイクを出力し、そのほかのニューロンはスパイクを出力しない。こ

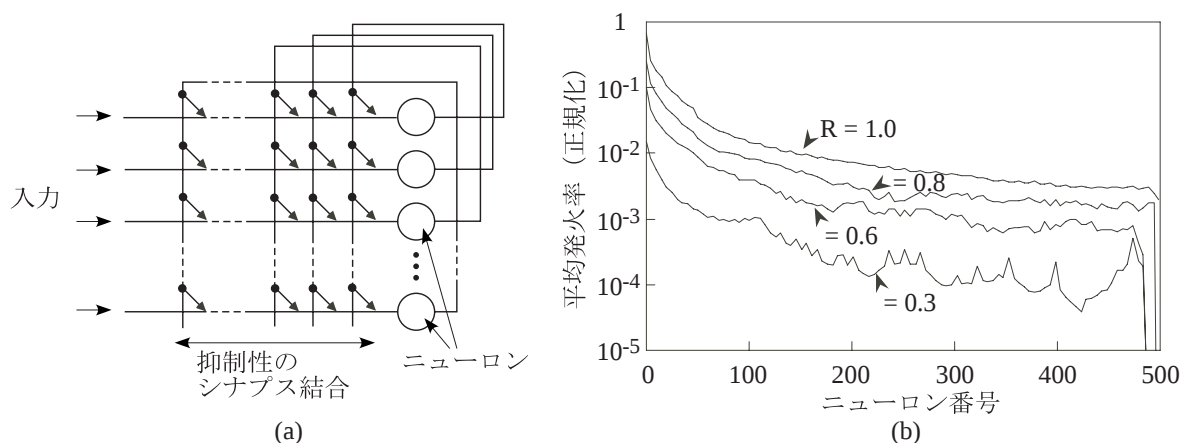


図 5.4 抑制性競合ニューラルネットワークの (a) 構成と (b) 挙動。

のように「勝者」となるニューロンが唯一つとなる競合ネットワークを winner-takes-all(WTA) 型ネットワークという。WTA 型ネットワークはノイズに対する冗長性があまり高くない。なぜならこのネットワークはノイズ下では一番大きい入力を受けているニューロンがスパイクを出力せず、本来スパイクを出力しないはずのニューロンが発火するということがある。そこで、ノイズに対する冗長性を高いものとするために「勝者となるニューロンが複数個存在する競合ネットワークとして winners-share-all(WSA) 型ネットワークが提案されている [5]。このネットワークはノイズ環境下でも正常な動作が可能となる。WSA 型ネットワーク (ニューロン数 $N = 50$) の振る舞いの例を図 5.4(b) に示す。ここで、グラフの横軸はニューロン番号、縦軸はニューロン出力の平均発火率を表す。また、各ニューロンへはニューロン番号の増加に対して信号の大きさが線形に減少するような入力を与えた。ここで、ノイズ強度を以下のように定義する。

$$x_i^{t+1} = \begin{cases} \text{状態変化なし, (if rand}[0 : 1) < R) \\ \text{興奮 (発火)} & , \text{ (else)} \end{cases}, \quad (5.1)$$

ここで、 x_i^t は i 番目のニューロンの時刻 t における状態を意味し、 R は誤発火の頻度を決めるノイズ因子である。つまり、乱数の値 (0 から 1 までの数) が R の値以上の場合、そのニューロンでは次の時刻に誤発火をするということになる。 $R = 1.0$ (ノイズなし) の結果に着目すると、最大の入力を受けているニューロン (0 番) と最小のニューロン (499 番) の出力の平均発火率は、およそ二桁異なる。ニューロン番号の増加に伴い線形に減少する入力に対して、出力の平均発火率が指数関数的に減少する。つまり、高い入力を受けているニューロンが発火し、低い入力を受けているニューロンは発火しない、というニューロン間の競合現象が起こる。この現象は、ノイズの増加 ($R \rightarrow 0$) に対しても構造的に安定である。 $R \rightarrow 0$ によって各ニューロンの誤発火頻度が増加することから各ニューロンが強く抑制され、全体の平均発火率が減少するが、それでもなお ($R = 0.3$ の場合でさえ)、高い入力を受けているニューロンのグループと低い入力を受けているグループの間で、ニューロン出力の平均発火率がおよそ二桁異なる。したがって、ノイズ環境下でも神経競合における勝者と敗者のクラスタ分類は十分に

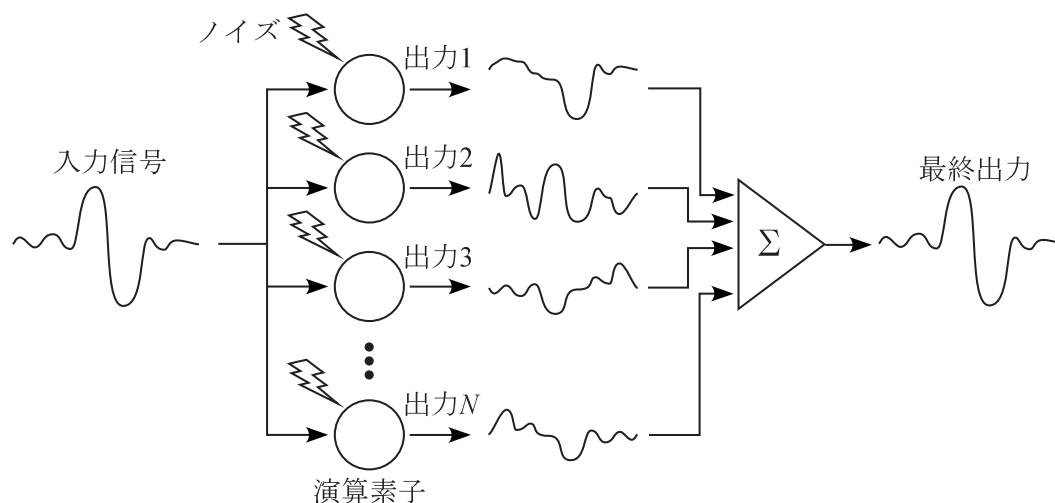


図 5.5 一般的な確率共鳴の模式図。各素子には同一の微弱信号が入力されると同時にそれぞれ独立なノイズが加わる。各素子はノイズの影響を受け不正確な動作をする。しかし、 N 個の出力信号の合計から入力信号を検出することが可能である。

可能である。

減衰シナプスを介して各ニューロンが結合しているネットワークでは、減衰シナプスを通してスパイク列をシナプス後ニューロンに与えることによって細胞集団の同期情報が検出可能となる [7]。近年、金澤らは [7] の報告を基に MOSFET による減衰シナプス回路を設計し、その動作と応用について示した [10, 11]。[11] において、減衰シナプスを含むネットワーク回路のスタティックノイズが同期情報検出のパフォーマンスを向上させることを報告した。これは、減衰シナプスの回路化およびそれを含むネットワーク回路が、ノイズの効果を積極的に利用して動作することを意味する。

また、ノイズの効果を積極的に利用する別のニューラルネットワークとして確率共鳴現象を利用するものについて報告されている。ニューラルネットワークにおける確率共鳴とは、スパイク出力のためのしきい値を越えない信号を入力として与え、そこに適当な強さの雑音が存在すると、微弱な入力であってもその信号を検出できるという非線形現象である。具体的には、図 5.5 のようなネットワークにおいてノイズ下にある各ニューロンにしきい値以下の同一周期信号を与えると、ネットワークとしての平

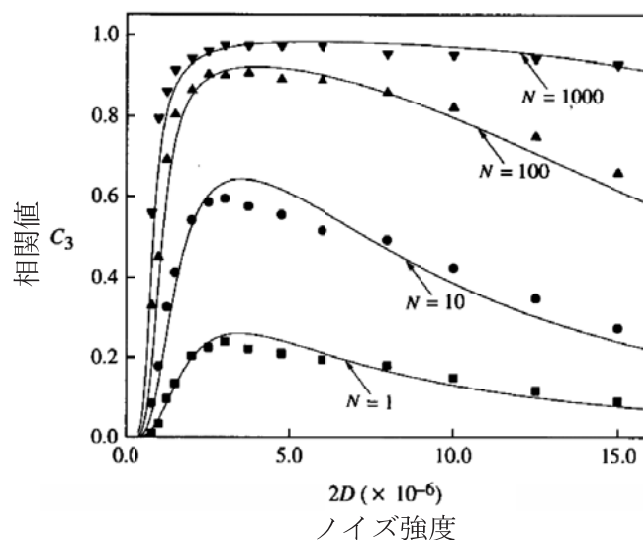


図 5.6 確率共鳴現象が発生するネットワークにおけるノイズ強度と入出力に関する相関値の関係 [9]。 N はニューロン数。

均発火率にその入力信号の効果が反映される。また、ノイズ強度の増大に対して出力と入力の相関が高くなる場合があることが報告されている (図 5.6) [9]。これは、情報処理のパフォーマンス向上のためにノイズの効果が利用されたということを意味する。

5.4 単電子ニューラルネットワークの構成

ここでは単電子回路によるニューラルネットワークの構成について述べる。はじめに単電子回路によるニューロンの構成方法について述べ (5.4.1 節)、それを用いたニューラルネットワークが 5.3 節で述べたノイズに対する冗長性を持つかどうか検討を行う (5.4.2, 5.4.3, 5.4.4 節)。

5.4.1 単電子ニューロン回路の構成

スパイクニューロン回路を構成するために、ここでは前章で用いた単電子反応拡散システムの構成要素である単電子振動子を利用する。スパイクニューロンは 5.2 節で述

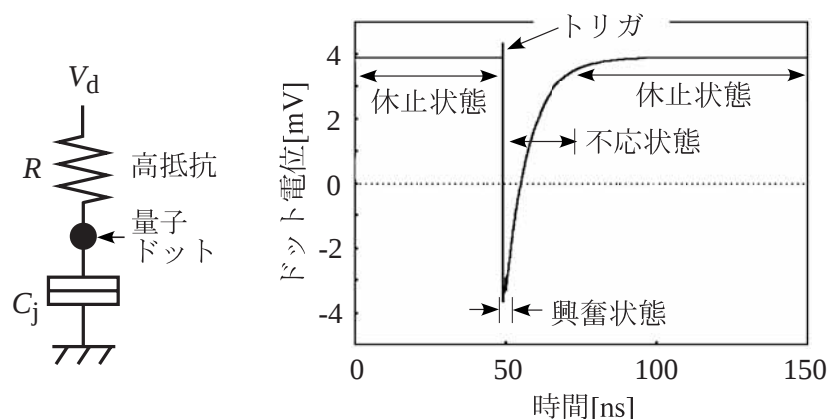


図 5.7 単電子振動子の構成と挙動。(図 4.1, 4.2 より)

べたように興奮，不応，休止の三状態を持ち、また、樹状突起 (入力端子) から細胞本体を通り軸索 (出力端子) まで信号が一方向に進む特性を持つ。単電子振動子の構成は図 4.1 (4.2.1 節) で示した構成であり、図 4.2 のような挙動をする。ここで単電子振動子が興奮モード (図 4.2(b)) であるとき、「外部からの擾乱 (入力信号) がなければ電子トンネルが発生しない」、「外部擾乱が加わると電子トンネルが発生する」、「電子トンネル直後は外部擾乱がさらに加わっても電子トンネルが発生しない」という挙動をそれぞれスパイクニューロンにおける休止，興奮，不応の三状態と対応付けることができる (図 5.7)。したがって、この挙動を生かしてスパイクニューロン回路を構成することを考える。一方で、この振動子回路は単体では入出力の区別がつけられない。つまり、そのままではスパイクニューロンの「樹状突起 (入力端子) から細胞本体を通り軸索 (出力端子) まで信号が一方向に進む特性」を模擬することができない。そこで、本研究では前章の反応拡散システムの構成と同様にいくつかの振動子を連結してスパイクニューロン回路を構成することを考える。図 5.8 に提案する単電子スパイクニューロンの構成を示す。振動子 1 は外部入力を受ける振動子、振動子 2, 3, 4 はバッファ、振動子 5 は他のニューロンへと信号を出力する振動子である。ここで、信号伝搬のために V_d は隣り合う振動子と極性が逆になるように設定する。信号の進む向きを一方向にするために、振動子 5 は電子トンネル発生のために必要な入力数が三つ以上となるよ

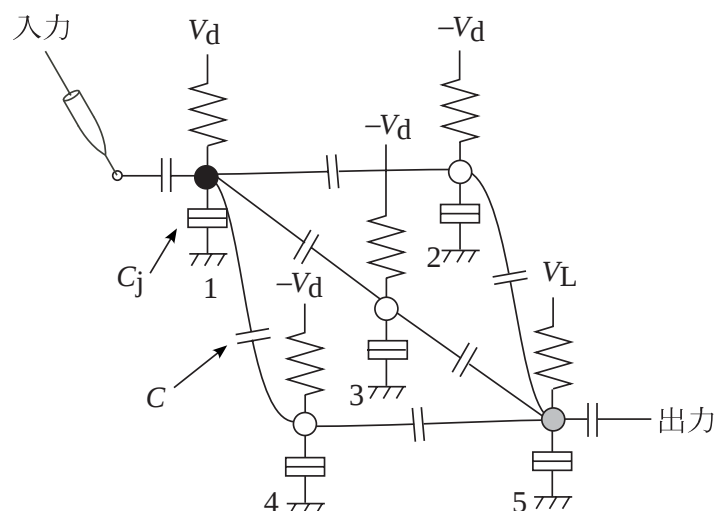


図 5.8 単電子スパイクニューロン回路の構成

うにバイアス電圧 V_L を V_d より小さくする。このニューロン回路の挙動は振動子 1 が外部入力を受けると振動子 1 が発火し、2, 3, 4 に信号を伝える。2, 3, 4 は 1 からの信号を入力としてそれぞれ発火し、それを 5 に伝える。5 は 2, 3, 4 からの三つ信号を受けることにより発火し信号を出力する。なお、5 は外部への端子が一本なので外部信号では発火しない¹。

5.4.2 単電子ニューロン回路による競合ネットワークの構成

上述の単電子ニューロン回路を用いて図 5.4(a) の競合ネットワークを構成する。ネットワーク回路の構成を図 5.9 に示す。ここで、 $\oplus$ は正バイアスの単電子振動子、 $\ominus$ は負バイアスの振動子、dendrite はニューロンの樹状突起、soma はニューロンの細胞体、axon はニューロンの軸索を意味する。図 5.9(a) で dendrite はスパイク信号を伝えるために単電子振動子を一次元配列・連結したものを、axon は簡単のために配線とする。また、図 5.9(b) では dendrite および axon は簡単のため配線とする。

¹図 5.8 ではバッファ振動子の数を三個としたが、振動子 5 が外部信号では発火しないという挙動をするためにはバッファ振動子の数が最低限二個以上あればよい。

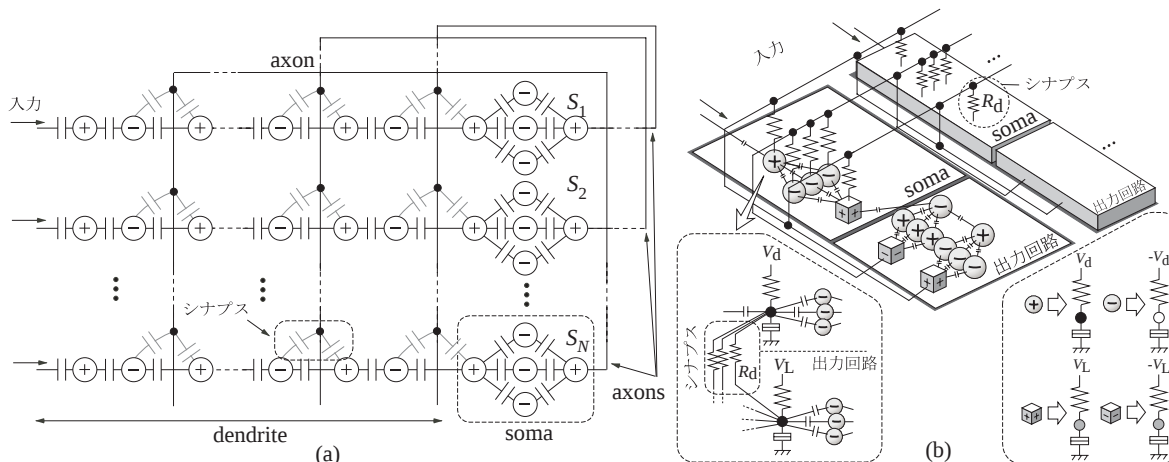


図 5.9 単電子ニューロン回路による競合ネットワーク

これらのネットワークにおいて、文献 [5] に習い多数決型情報処理のためネットワーク内でニューロンをいくつかの集団にわけ（クラスタ化）。クラスタ化および出力の多数決を取ることで、ノイズ下でも全体として正しい動作の実行を期待できる。集団の数を二つとして、各クラスタに対し入力信号をそれぞれ与える。ここで入力の種類は、i) 各ニューロン集団に入力する信号の周波数は同じだが、入力のタイミングがずれているもの、ii) 入力する信号の周波数がニューロン集団によって異なるものとする。以下に図 5.9(a) のネットワーク（ネットワーク A）に入力 i) を適用したもの、図 5.9(b) のネットワーク（ネットワーク B）に入力 ii) を適用したものについて、ネットワーク動作を示す。

・ネットワーク A

図 5.9(a) の構成を用いて、入力タイミングに依存するネットワーク動作を実行する。これを行うために各クラスタに対して次のような入力信号を用意する。まず、入力の周波数は同じで各クラスタへの入力タイミングが違うものとする。また、ここでは各クラスタが持つニューロン数（クラスタサイズ）を $M = 10, 20, 30$ とする。シナプス結合としてキャパシタを用い、興奮性シナプスと抑制性のシナプスを用意する。図 5.9(a) のネットワークにおいて $\oplus - \ominus$ の結合が興奮性のシナプス結合、 $\oplus - \oplus$ の結合が抑制性の

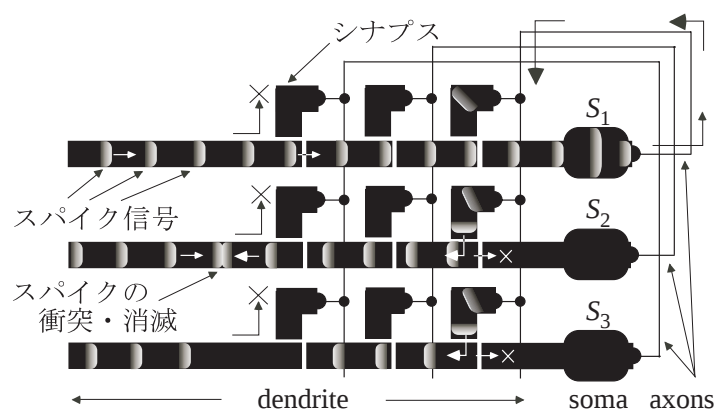


図 5.10 ネットワーク上を伝わるスパイク信号のイメージ (ネットワーク A)

シナプス結合を意味する。このネットワークの挙動を以下に示す。スパイク信号が入力されると、それが dendrite 回路を伝わり soma に到達する。スパイク信号が soma に到達すると、soma はスパイクを出力し axon, シナプスを介してすべてのニューロンの dendrite に抑制信号を伝える。このとき、入力タイミングが早いニューロンは、すでに入力信号が伝わった後なので抑制信号の影響は受けない。一方で、入力タイミングが遅いニューロンは、入力信号が soma に伝わる前に抑制信号によって打ち消されてしまう。したがって、入力タイミングが遅いニューロンは信号を出力できない。一連の挙動をイメージとして図 5.10 に示す。ここで、 S_1 のニューロンには入力タイミングが早いスパイク信号が、 S_2, S_3 のニューロンには入力タイミングが遅いスパイク信号がそれぞれ入力されているものとする。コンピュータシミュレーションによって、入力タイミング依存型のネットワーク動作を確認した。シミュレーション結果を図 5.11 に示す (クラスタ数 2、クラスタサイズ $M = 10$ 、温度 $T = 0 \text{ K}$)。入力 1 と入力 2 は二つのクラスタにそれぞれ入力されるスパイク列を示している。各入力とも周波数は 20 MHz であり、入力 2 は入力 1 が入力されてから 10 ns 遅れて入力される。シミュレーション結果から「勝者」のクラスタの出力平均発火数は「敗者」のクラスタの出力平均発火数を上回っていることがわかる。ここから、このネットワークでは入力信号のタイミングが早いクラスタは生き残り、他のものは出力が抑制されているといえる。表 5.1 に

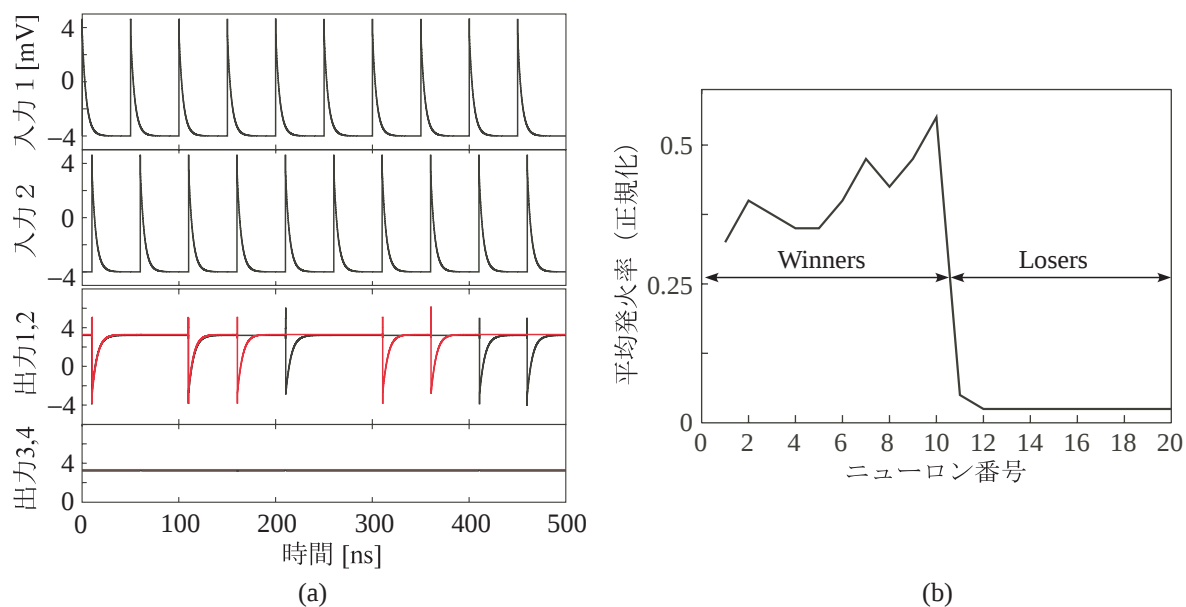


図 5.11 ネットワーク A のシミュレーション結果 (一例)。(a) 入力と出力の関係。入力タイミングの早いものを入力 1, そうでないものを入力 2 として表示し、入力 1 に対する出力を 1,2, 入力 2 に対する出力を 3,4 として表示している。(b) ニューロン番号に対する平均発火率。

	評価関数 I		
温度	$M = 10$	$M = 20$	$M = 30$
0 K	0.94	0.89	0.81
0.01 K	0.92	0.81	0.7
0.1 K	0.92	0.81	0.72
1 K	0.5	0.5	0.51

表 5.1 ネットワーク A におけるクラスサイズ, 温度と評価関数値の関係

シミュレーション結果をまとめる。ここで評価関数 I は

$$I = \frac{f_W}{f_W + f_L} \quad (5.2)$$

で与えられる。ここで、 f_W は「勝者」クラスタの平均発火率であり、 f_L は「敗者」クラスタの平均発火率である。表 5.1 から次のことがいえる。温度 0 K においてはクラスタサイズに関わらず競合現象が強く現れる。熱雑音が存在する場合においても、1 K 未満の温度で競合現象を確認できる。これはクラスタ内の各ニューロン単体が担う責任がニューロン単体の場合と比べて減少するため、それが冗長性につながったと考えられる。図 5.4(b) ほど勝者と敗者の違いに差は現れていないが、熱雑音に対する冗長性を得たといえる。一方で 1 K の温度を越えるとパフォーマンスが急落する。例えば $M = 10$ のとき、 $I = 0.5$ である。これは勝者と敗者の平均発火率が同じことを意味している。つまり、競合現象が見られないということである。原因としては、dendrite 上での誤発火の影響などが考えられる。

・ネットワーク B

次に図 5.9(b) の構成を用いて、入力周波数依存型のネットワークを実行する。このネットワークにおける単体のニューロンは、単電子ニューロン回路 (soma) に出力回路を接続する構成である。各ニューロンは各出力回路とシナプスを介して結合している。今回、シナプスとして高抵抗 (R_d) による結合を用いる。soma 回路内の正バイアス振動子は出力回路の正バイアス振動子と、soma 回路内の負バイアス振動子は出力回路の負バイアス振動子とそれぞれ抵抗接続している。この抵抗接続について以下のことがいえる。ニューロン回路は入力信号を受けたとき、出力側にスパイクを伝える。ニューロン回路から出力された信号は、出力回路に伝搬し最終的には R_d が接続された最終段の振動子に到達する。すると、その振動子ではスパイク (電子トンネル) が発生し、ノードの電位が反転する。 R_d で接続された振動子はスパイクがない状態で同じ値のノード電位を持つ。したがって、一方でスパイクが発生し電位が変化すると R_d の両端に電位差が生まれる。このため生じた電位差によりニューロン内の振動子と出力回路の振動子との間で電流が流れる。出力回路とニューロンとの間で電流が流れると、ニューロ

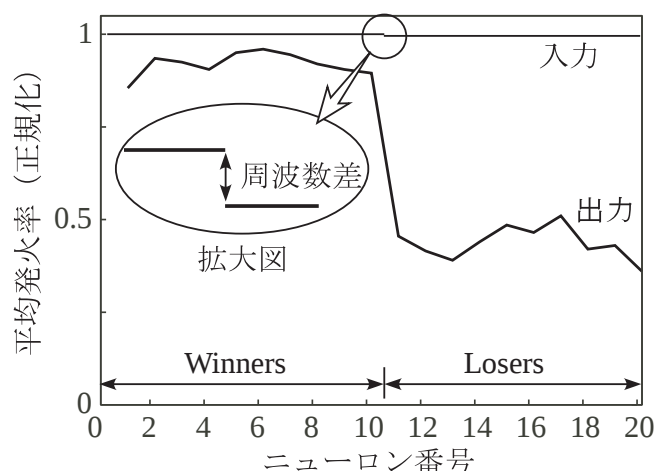


図 5.12 ネットワーク B のシミュレーション結果 (一例)

ン内の振動子は電子トンネルに必要な電荷が奪われる。つまり、その振動子では電子トンネルが発生しにくい状態となる。つまりニューロンが抑制される。したがって、このネットワークで R_d は抑制性シナプスのはたらきをする。

コンピュータシミュレーションによって、入力周波数依存型のネットワーク動作を確認した。シミュレーション結果を図 5.12 に示す (クラスタ数 2、クラスタサイズ $M = 10$ 、温度 $T = 0 \text{ K}$)。このシミュレーションでは入力信号として周波数が異なるものを二種類用意し、各クラスタにそれぞれ与えた。シミュレーション結果から前節のネットワークと同様に、「勝者」のクラスタの出力平均発火率が「敗者」のクラスタの出力平均発火率を上回っていることがわかる。この結果から、このネットワークでもニューロンクラスタ間の競合現象が確認できる。そこから得たデータについて、集計したものを表 5.2 に示す。ここで、故障率とは、soma 回路において熱によって素子が故障したと仮定して、soma 回路全体が持っている振動子の数に対する soma 回路内の故障した振動子の割合として表現している。例として、ニューロン数 10 のネットワークで故障率が 0.1、ニューロン単体が持つ振動子の数 5 (図 5.8 による) のとき、正常動作をしない振動子の数は $10 \times 0.1 \times 5 = 5$ 個となる。表 5.2 から次のことがいえる。各クラスタサイズのネットワークで、故障率の増加に伴いパフォーマンスは減少する。故障率が 0.2

	評価関数 I		
故障率	$M = 10$	$M = 20$	$M = 30$
0	0.68	0.76	0.74
0.1	0.63	0.51	0.57
0.2	0.54	0.53	0.62

表 5.2 ネットワーク B におけるクラスタサイズ, 故障率と評価関数値の関係

の場合を比較するとクラスタサイズが大きいほどパフォーマンスが向上する傾向にある。これは前節のネットワークと同様に、クラスタサイズの増加に伴いクラスタ内の各ニューロン単体が担う責任が減少するためと考えられる。このネットワークにおいても、図 5.4(b) ほど勝者と敗者の違いに差は現れないが、それでもなおクラスタサイズが大きいほど熱雑音に冗長なネットワーク回路の実現が期待できる。

5.4.3 単電子減衰シナプス回路を含むネットワークの構成

本節では、ノイズ冗長性の獲得のために前節で述べた競合ニューラルネットワークの構成とは別の構成 (減衰シナプスを含むネットワークの構成) を考える。本研究では、「スパイクニューロンが持つ不応特性は、スパイク信号にとって減衰特性である」と考え、??節で用いた単電子ニューロン回路の構成を応用する。つまり、単電子ニューロンを構成する振動子に連続スパイクを入力すると、振動子が持つ不応期の影響で、結果として減衰したスパイク列が出力されることを利用する。これは、単電子振動子がニューロン回路の構成だけではなく、減衰シナプスの構成にも利用できることを意味する。

図 5.13 に提案する減衰シナプス回路を示す。これは、単電子振動子を複数個用意し各ノードを結合容量 (C) でそれぞれ連結する構成である。振動子の連結により、入力スパイクは各振動子を伝搬する。なお不応状態の期間は振動子のコンダクタンス g の

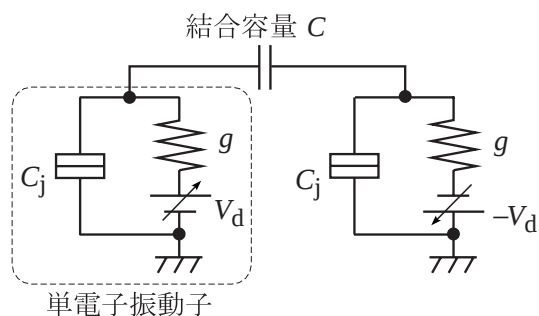


図 5.13 単電子振動子を用いた減衰シナプスの構成

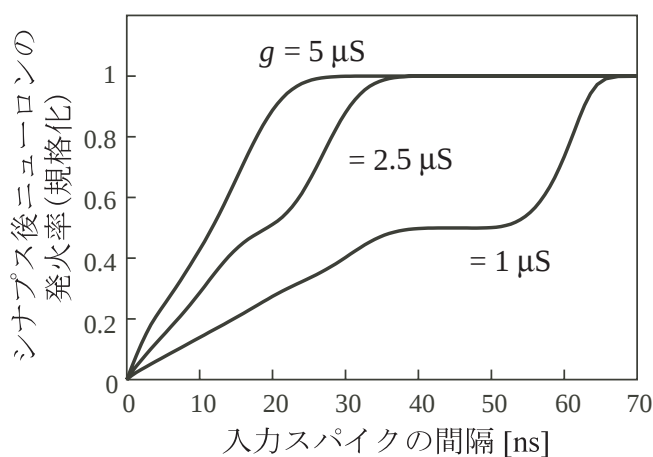


図 5.14 入力スパイクのスパイク間隔に対する減衰シナプスを介したシナプス後ニューロンの発火率の変化

大きさに依存する。この回路に連続スパイクを入力すると、各振動子の不応期の影響で振動子単体の場合と同様に、伝搬し出力されるスパイク列は減衰したものとなる。

提案の単電子減衰シナプス回路単体について動作シミュレーションを行い、減衰特性を調べた。ここでは $g = 5 \mu\text{S}$, $2.5 \mu\text{S}$, $1 \mu\text{S}$ とした。図 5.14 に結果を示す。入力スパイクの間隔の増加に伴い、コンダクタンス (入力に対するシナプス後ニューロンの発火率) が増加する。これは、各シナプス回路が入力スパイクの間隔の拡大に伴い不応状態 (減衰期間) から休止状態に戻り、連続入力のスパイクに追従できるためである。

次に、提案回路によるネットワークについて動作確認を行った。ここで、先に述べ

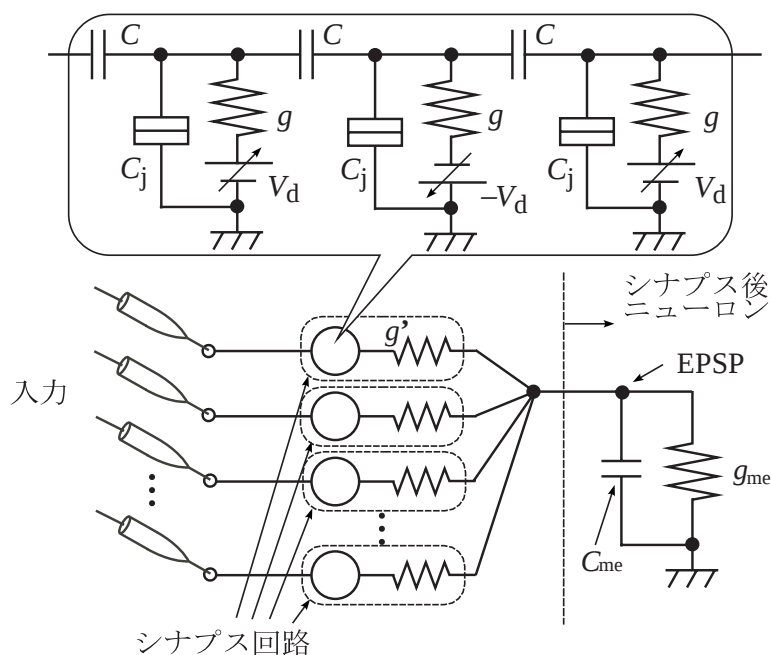


図 5.15 シナプス後ニューロンと減衰シナプスからなるネットワークの構成

た金澤らの報告にあるネットワーク（ノイズが同期検出のパフォーマンスを向上させるようなネットワーク）[10, 11]を導入する。このネットワークは、減衰シナプスを介しシナプス後ニューロンにスパイク列を送ることにより、ニューロン間の同期情報検出ができる。さらに、ノイズの増大に対してネットワークの同期検出パフォーマンスが向上する。ここでは、提案の減衰シナプス回路を用いてネットワークを構成し、その動作について調べる。

ここで用いるネットワーク回路は、図 5.15 に示す簡単な構造である。図中の右部はシナプス後ニューロンを、左部は提案の減衰シナプスが連結されている樹状突起をそれぞれ表す。ここで、シナプス後ニューロンの回路を簡単のために膜の容量 (C_{me}) とコンダクタンス (g_{me}) で表す。また、シナプス後ニューロンと接続する本減衰シナプスは、基本要素として抵抗（そのコンダクタンス g' ）を用いる。図 5.13 の回路は、減衰シナプスの入力部であり前段で情報処理を行う部分とみなし g' に接続する。ここでは、シナプス後ニューロン回路の電位変化についてのみ議論するため、シナプス後ニュー

ロンの発火を考えないものとする。シナプス後ニューロンは減衰シナプスを介して興奮状態のニューロンからスパイク入力を受ける。スパイクが入力されるとシナプスから g' を介してニューロンに電流が流れるので、シナプス後ニューロンの電位 (EPSP) の値は入力の大きさに従って増加し、入力がなくなると EPSP は元の状態に戻る。仮に、しきい判定まで行うシナプス後ニューロン回路を用いれば、 $|\text{EPSP}| > |V_{\text{th}}|$ の条件を満たしたときに、回路はスパイクを出力する。

このシナプス後ニューロン回路において入力を受ける EPSP の平均値は、入力スパイクの数に比例して増加する。つまり、スパイクを出力するシナプス前ニューロンの数に応じて EPSP の値は変化する。したがって、このネットワーク回路に適当なしきい値 V_{th} を設定すると、ネットワークはスパイクを出力しているシナプス前ニューロンの数を判別することができる。一方で、EPSP の平均値はシナプス前ニューロンの発火率にも比例して増加する。したがって仮に発火率が一定値ではない場合、興奮状態にあるシナプス前ニューロンの数を判別するパフォーマンスは大きく悪化する。バーストスパイクを入力した時、減衰シナプス回路の出力電流は g' を介して流れる。

図 5.16 (a) は各シナプスに与えるバースト入力を、(b) は非減衰シナプスに (a) の信号を与えたときの EPSP の応答を、(c) は減衰シナプスに (a) の信号を与えたときの EPSP の応答をそれぞれ示す。ここで文献 [7] と結果を比較するために、本稿は図 5.16 (b) と (c) の間で一回のバースト入力に対する EPSP の応答 (消費パワー) が同じになるように回路パラメータを設定した。具体的には、回路パラメータの中で g は、図 5.16 (b) で $5 \mu\text{S}$ 、(c) で $1 \mu\text{S}$ 、 g' をそれぞれ $0.4 \mu\text{S}$ 、 $1 \mu\text{S}$ とした。この結果は、Senn らの報告 [7] と同様に、EPSP が非減衰シナプスの回路と比べて減衰シナプスを用いた回路はバースト入力の開始に対して大きな応答を持つ。つまり、減衰シナプスを接続したシナプス後ニューロンは、小さい消費エネルギーで大きなピーク値を示す。これは、減衰シナプスが消費するエネルギーに対して効率よくニューロンを発火させる能力を持つことを意味する。

ここで、応用としてこの減衰シナプス回路がバースト同期情報を検出できることを

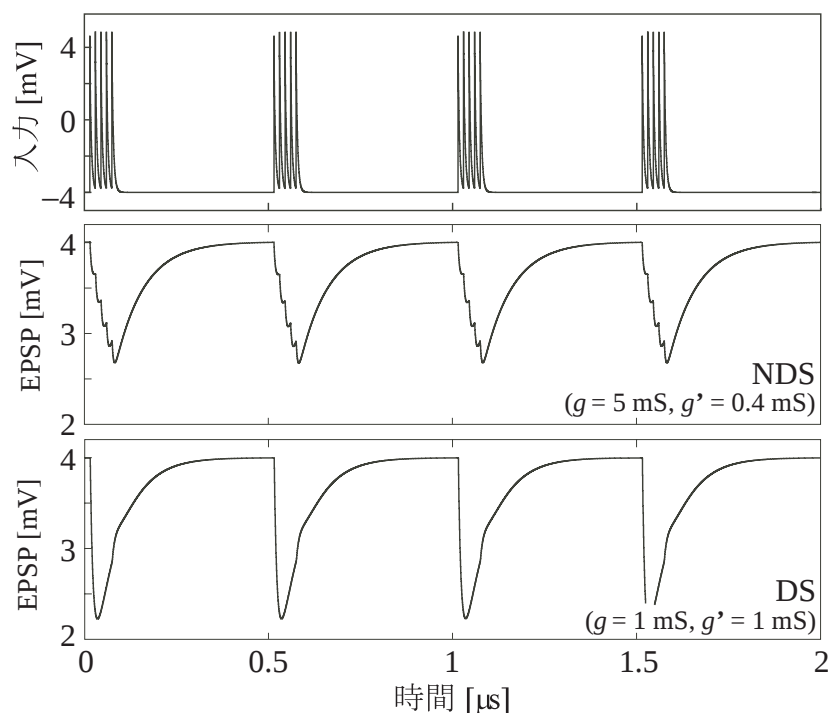


図 5.16 EPSP の応答。(a) 入力バースト信号、(b) 非減衰シナプスを介して入力を与えたときの EPSP 応答、(c) 減衰シナプスを介したときの EPSP 応答

示す。ここでは、シナプス後ニューロンの入力として二つのバーストスパイクを用いる。このシナプス後ニューロンは減衰もしくは非減衰シナプスを介してバースト入力を受ける。図 5.17 にシミュレーション結果を示す。図 5.15 のネットワークの入力として二つのバーストスパイクを非同期 (図 5.17 (a) および (b)) に与えるとき、非減衰シナプスを介して入力を受ける EPSP (図 5.17 (c)) と減衰シナプスを介して入力を受ける EPSP (図 5.17 (d)) は、図 5.16 と同様に消費するエネルギーが同じになるように回路パラメータを操作しているのでほぼ同じピーク値を示す。しかし、二つのバーストスパイクが同期して (図 5.17 (e) および (f)) 与えられるとき、減衰シナプスを介して入力を受ける EPSP (図 5.17 (h)) は入力の開始に対して大きな応答を示す。したがって、シナプス後ニューロンのしきい値 V_{th} として適当な値 (例えば $V_{th} = 1.5 \text{ mV}$) を設定すれば、減衰シナプスを介したシナプス後ニューロンは複数のバースト信号が同期して入力さ

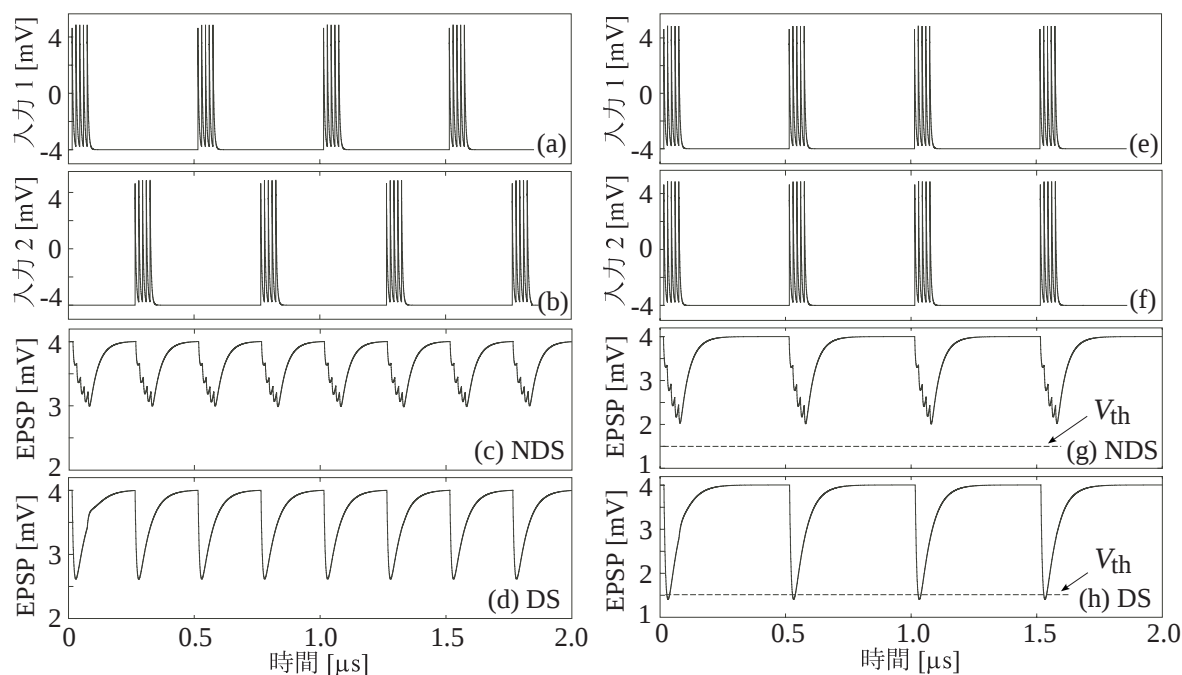


図 5.17 EPSP の応答。(a, b) 非同期のバースト入力、(c) 非減衰シナプスを介した EPSP の非同期入力に対する応答、(d) 減衰シナプスを介した EPSP の非同期入力に対する応答、(e, f) 同期入力するバーストスパイク、(g) 非減衰シナプスを介した EPSP の同期入力に対する応答、(h) 減衰シナプスを介した EPSP の同期入力に対する応答

れた時に発火する。

次に、ランダムスパイク列を出力する 100 個のシナプス前ニューロンを持つネットワークについてシミュレーションを行った (図 5.18)。Senn らはサルの一次聴覚皮質 (AI) ニューロンをモデル化し、入力信号として音 (トーン) を与えそれに対する AI ニューロンの応答を報告した。それによると、AI ニューロンはトーン入力中にバーストスパイクを出力し、入力がないときにはランダムスパイクを出力する [7]。100 個のニューロンを持つネットワークに入力信号が与えられているとき、ニューロンのバースト出力は 70 個程度が同期する。

動作シミュレーションを行うため、提案ネットワーク回路に入力としてシナプス前

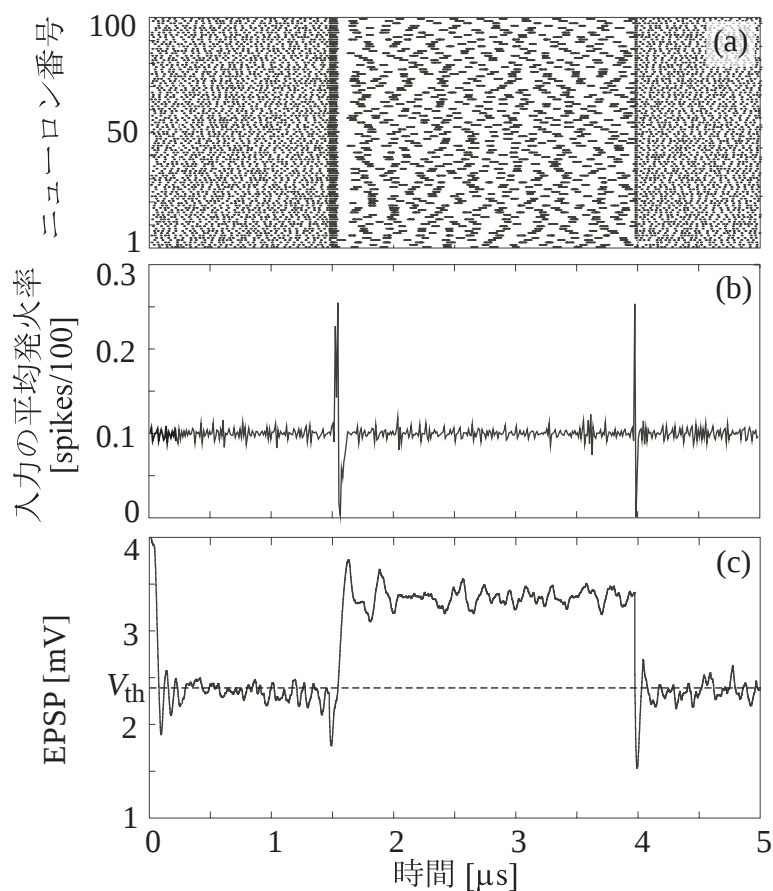


図 5.18 100 個のニューロンを持つネットワークの動作シミュレーション。各ニューロンは提案の減衰シナプス回路を介してシナプス後ニューロンにランダムスパイク列を送る

ニューロン (AI ニューロン) の出力スパイク列を入力した²。その結果、ネットワーク全体の平均発火率は入力前後で変わらないにも関わらず、EPSP の応答は大きな差を生じた (図 5.18 (c))。

提案回路によるネットワークのノイズ冗長性を調べるために、本研究では 100 個のニューロンを持つネットワークについて動作シミュレーションを行った。ノイズ冗長性を評価するために、バースト入力を受ける EPSP の平均値としきい値 V_{th} の差、および

²図 5.18 の 1.5 ~ 4.0 μs の期間：シナプス前ニューロンはバーストスパイク列を出力する。それ以外の期間：ランダムスパイク列を出力する。

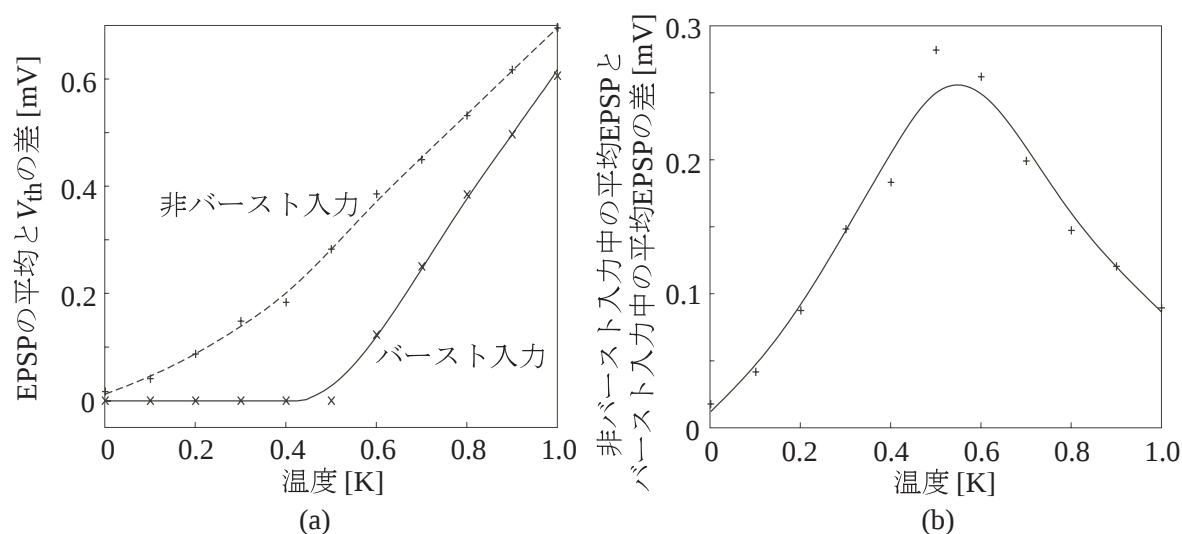


図 5.19 温度に対する (a)EPSP の平均値としきい値と V_{th} との差の推移と、(b) バースト入力を受ける EPSP の平均値と非バースト入力を受ける EPSP の平均値との差

非バースト入力を受ける EPSP の平均値としきい値 V_{th} の差を算出した (図 5.19(a))³。なお、ここでは図 5.18 (c) 中のしきい値は $V_{th} = 2.4$ mV とした。非バースト入力を受ける EPSP の平均値としきい値 V_{th} の差は温度の上昇に伴い増加する。一方で、バースト入力を受ける EPSP と V_{th} の差は温度が $T > 0.5$ K になってから増加し始める⁴。バースト入力を受ける EPSP と非バースト入力を受ける EPSP の差を同期情報検出のパフォーマンス (ダイナミックレンジ) と定義すれば、 $T < 0.5$ K の範囲で提案回路は温度が上昇するほどパフォーマンスの向上 (ダイナミックレンジの増大) を示す。図 5.19(b) は温度に対する同期情報検出のダイナミックレンジの変化を示す。ここで、動作特性が温度の上昇に対して非単調に変化することは興味深い。今回のシミュレーションでは、EPSP の差が 1 mV となった。

上述の結果から、金澤らの報告 [10, 11] と今回提案した回路の挙動 (図 5.18) には違いが認められる。これは、バースト入力を受けたときにしきい値を越えるか、非バースト

³ $V_{th} - \overline{\text{EPSP}} < 0$ のときはその値を 0 とした。

⁴理想的には、バースト同期情報検出のためにシナプス後ニューロンは非バースト入力の期間では発火せず、バースト入力の期間でのみ発火するのが望ましい。

ストを受けているときにしきい値を越えるかの違いである。一方で、図 5.19(b) の結果は 0.5 K までの温度上昇に対してはパフォーマンスが向上することを示す。これは金澤らの報告と同じ現象である。5.4.2 節で提案した単電子競合ニューラルネットは温度の上限が 0.1 K であった。室温での動作にはさらなる検討を要するが、上記の温度上昇に対して非単調に動作特性が向上するという現象は物理的に重要な意味を持つ。

5.4.4 単電子ニューラルネットワークにおける確率共鳴現象

本節では、文献 [9] の報告にあるスパイクニューロンのアンサンブルにおける確率共鳴現象に着目する。これは、ノイズの効果を積極的に情報処理に利用するというものであり、例えば競合ニューラルネットワークのようにノイズの影響を抑制しつつ情報処理を行うものとは異質のものである。ノイズ (特に熱雑音) に弱い単電子デバイスにとって、この確率共鳴現象を取り入れることは非常に意味があると考ええる。

ここでは簡単のために単電子回路の基本回路の一つである単電子箱をニューロン回路として見なす。単電子箱とは、トンネル接合 C_j とバイアスカパシタ C からなる簡単な回路である (図 5.20(a)) [12]。これにバイアス電圧 V_d を加えると、電子が接地点からノード A に向けて接合 C_j をトンネルし、ノード A に浮遊電子として溜まる。

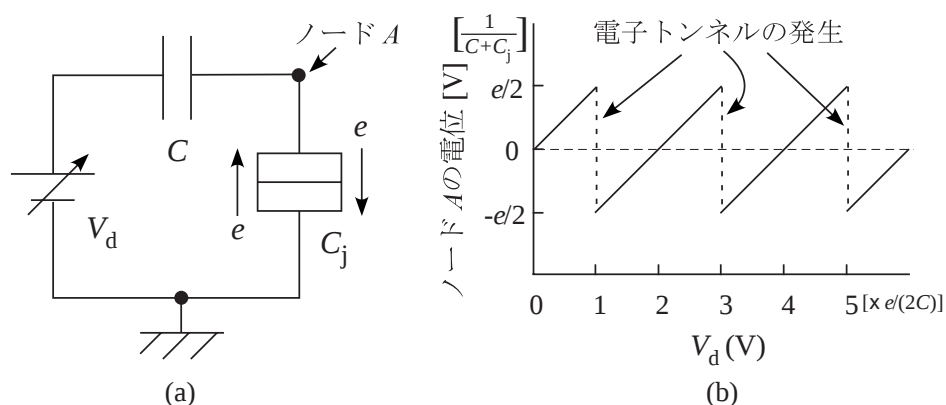
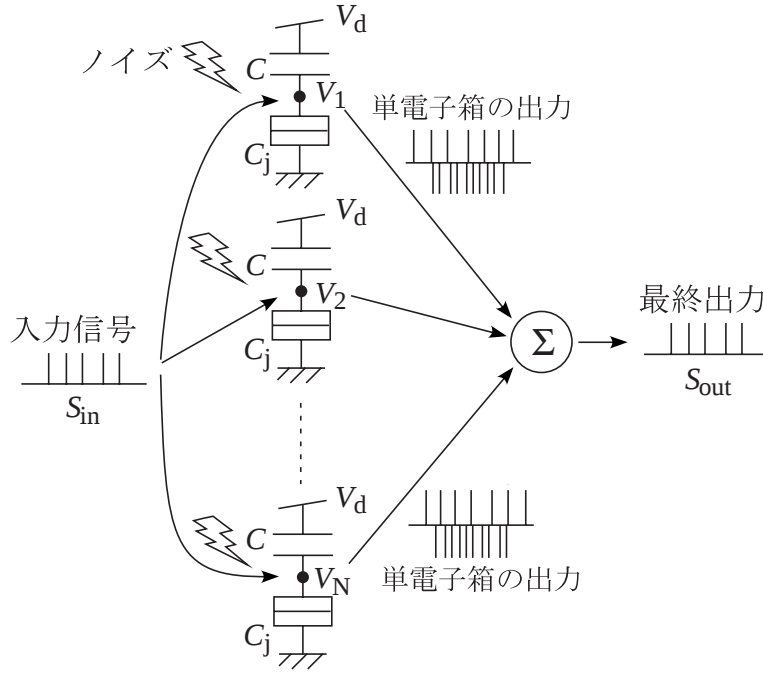


図 5.20 単電子箱。(a) 回路構成と (b) 動作特性

図 5.21 N 個の単電子箱の加算ネットワーク。

クーロンブロッケード効果が支配的な低温下では、回路の自由エネルギーが最小となるような個数の電子がノード A に蓄積される。この蓄積電子数 n は、加えたバイアス電圧 V_d に対して階段関数となり、以下の条件

$$V_d = \frac{(n \pm 1)e}{2C}, \quad (5.3)$$

が成り立つところで不連続に変化する (e は素電荷量を表す)。この電子数の変化に対応して、ノード A の電位は図 5.20(b) のようにのこぎり刃状の変化を示す。

ここで、図 5.21 に示すような N 個の単電子箱の確率共鳴を考える。各単電子箱が独立して存在する場合、電子箱の各接合の電子トンネルは独立におこる。文献 [9] に習って、全ての単電子箱に共通の入力を与え、その出力の総和をとる。ここでは簡単のため、周波数 f のスパイク列 S_{in} を全ての単電子箱に共通に与える。また、出力の総和を計算する具体的な単電子回路は考えないものとする⁵。入力スパイクは、各単電子箱の

⁵総和回路を設けると、各単電子箱で発生する電子トンネルが他の単電子箱に対して影響を与えるため各接合におけるトンネル事象は非独立となる。

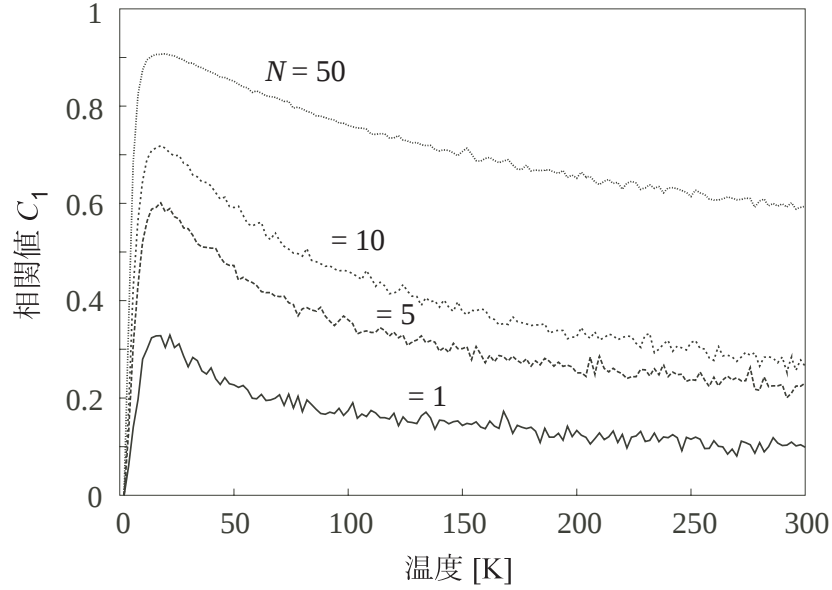


図 5.22 単電子箱のアンサンブルにおける確率共鳴現象。

ノード電圧 V_i を増加させるが、それによって電子が接地点からノードに向けてトンネルしない程度の低い振幅を持つとする⁶。このような環境下で温度を増加させると、トンネル頻度が増加して、低温ではトンネル（発火）を起こすに至らなかった入力スパイクが（熱雑音によって）トンネルを引き起こすようになる。

図 5.22 に、 $N = 1, 5, 10, 50$ の単電子箱からなるアンサンブルの動作シミュレーション結果を示す。ここで、 $f = 100$ MHz, $C = C_j = 10$ aF、トンネル抵抗 R_j は 1 M Ω とした。温度を絶対零度から室温（ 300 K）まで変化させ、入力スパイクと総和出力の相関値

$$C_1 = \frac{\langle S_{\text{in}} \cdot S_{\text{out}} \rangle - \langle S_{\text{in}} \rangle \langle S_{\text{out}} \rangle}{\sqrt{\langle S_{\text{in}}^2 \rangle - \langle S_{\text{in}} \rangle^2} \sqrt{\langle S_{\text{out}}^2 \rangle - \langle S_{\text{out}} \rangle^2}}, \quad (5.4)$$

を計算した。ここで、 $S_{\text{out}} = \sum_i^N V_i(t)$ である。全ての N において、温度の増加とともに相関値が急激に増加し、その後滑らかに減衰するような確率共鳴現象を確認した。相関値がピークになる温度は、全ての N においておよそ 20 K であった。また、 N の

⁶このことは、各単電子箱のトンネル事象をニューロンのスパイク発生事象ととらえれば、ニューロンをしきい値以下の入力で刺激し続けることに相当する。

増加に伴って相関値が増加することを確認した。

5.5 結言

本章では、前章で述べた反応拡散システムの構造や挙動に動機付けられて単電子回路でニューラルネットワークを構成することを検討した。ニューラルネットワークを単電子回路化することは、反応拡散システムを単電子回路化することと同様に自然界で行われている情報処理をアーキテクチャとして電子デバイスに導入することを意味する。ニューラルネットワーク（例えば生体の脳）は、ノイズ環境下であっても正常に情報処理を行うことが可能であり、たとえネットワークの構成要素の一部に故障が生じたとしてもネットワーク全体としては問題なく動作を行うことを可能としている。したがって、ニューラルネットワークを単電子回路に導入することは、ノイズ（熱雑音）に弱いという回路の問題を解決する可能性があると考ええる。

単電子回路によるスパイクニューロン（ニューラルネットワークを構成するニューロン）は前章の単電子反応拡散システムで用いた単電子振動子で構成される。本研究では非常に少ない素子（振動子回路）数でニューロンを構成し、その動作を確認した。また、そのニューロン回路を用いて競合ニューラルネットワークを構成しそのノイズに対する冗長性を調べた。さらに、減衰シナプス回路を含むネットワークについての検討や確率共鳴現象を示すネットワークについても検討を行った。いずれの単電子ニューラルネットワークにおいてもノイズに対する冗長性を獲得できる見通しを得た。

参考文献

- [1] 松村 道一, “ニューロサイエンス入門,” (株)サイエンス社, 1995.
- [2] 馬場 則夫, 小島 史男, 小澤 誠一, “ニューラルネットの基礎と応用,” 共立出版(株), 1994.
- [3] たとえば、<http://www.brain.kyutech.ac.jp/~morie/Topics/spiking.html>
- [4] Rosenblatt F., “The Perceptron: A Probabilistic Model for Information Storage and Organization in the Brain,” *Psychological Review*, Vol. 65, No. 6, pp. 386-408, 1958.
- [5] Asai T., Ohtani M., and Yonezu H., “Analog integrated circuits for the Lotka-Volterra competitive neural networks,” *IEEE Trans. Neural Networks*, Vol. 10, No. 5, pp. 1222-1231, 1999.
- [6] 下澤 楯夫, “熱雑音を手なずけた昆虫の機械感覚器,” 日本神経回路学会誌, Vol. 6, No. 4, pp. 155-166, 1999.
- [7] Senn W., Segev I., and Tsodyks M., “Reading neuronal synchrony with depressing synapses,” *Neural Computation*, Vol. 10, pp. 815-819, 1998.
- [8] Cohen M. A. and Grossberg S., “Absolute stability of global pattern formation and parallel memory storage by competitive neural networks,” *IEEE Trans. Systems, Man, and Cybern.*, Vol. SMC-13, pp. 815-826, 1983.

- [9] Collins J. J., Chow C. C., and Imhoff T. T., “Stochastic Resonance without tuning,” *Nature*, Vol. 376, pp. 236-238, 1995.
- [10] Kanazawa Y., Asai T., Ikebe M., and Amemiya Y., “A novel CMOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection,” *Int. J. Robotics and Automation*, Vol. 19, No. 4, pp. 206-212, 2004.
- [11] Asai T., Kanazawa Y., Hirose T., and Amemiya Y., “A MOS circuit for depressing synapse and its application to contrast-invariant pattern classification and synchrony detection,” *2004 Int. Joint Conf. Neural Networks*, W107, 2004.
- [12] Gravert H. and Devoret M.H., *Single Charge Tunneling — Coulomb Blockade Phenomena in Nanostructures*, New York: Plenum, 1992.

第6章 単電子多数決論理ゲート

6.1 緒言

前章では単電子ニューラルネットワークを構成するためにニューロン回路を考えた。スパイクニューロンはしきい値素子と考えることができる。また、4.4.2節において出力を判断するためのものとして単電子トラップをしきい判定素子として用いた。これを基に、本章ではしきい判定素子の一つである多数決論理ゲートの単電子回路を用いた構成を考える。単電子回路のしきい判定性を利用することによって高集積な単電子LSIの開発を実現できる。電子回路(単電子回路含む)による多数決論理ゲートの構成についてはこれまでにいくつか提案されている[1–3]が、ここで提案する構成はそれらよりさらにシンプルなものにできる。

本章では、はじめに多数決論理について説明する(6.2節)。次に単電子回路による多数決論理ゲートの構成方法を述べる(6.3節)。コンピュータシミュレーションにより、提案の単電子多数決ゲートが正しく動作することを述べる(6.4節)。さらに、応用回路の検討を行い(6.5節)、最後に結言とする(6.6節)。

6.2 多数決論理

現在のデジタル情報処理はノイマン形アーキテクチャのブール代数論理による演算方式が用いられている。これは、CMOSトランジスタの動作と基本的に一致するためである。多数決論理はデジタル演算方法の一つであり、ブール代数論理の基本的な動作であるANDやORの論理などを一つのゲートで実現できるほか、多数決論理そ

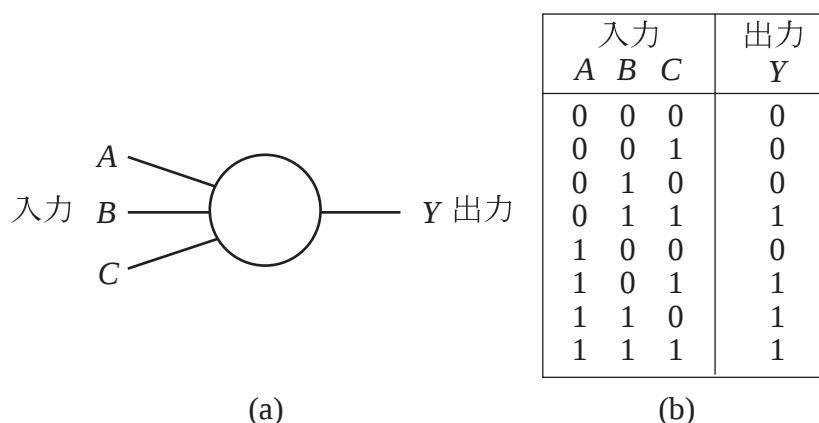


図 6.1 三入力の多数決論理ゲート。(a) ゲートの記号, (b) 論理動作

のものが機能の高い論理となっている。ここでは、多数決論理とその応用性について述べる。

6.2.1 多数決論理とは

多数決論理は、「複数入力の多数決によって出力を決める」という動作を行う論理である。多数決論理の構成要素である多数決ゲートは奇数個のデジタル入力と一つのデジタル出力を持つ。この論理は、論理1の入力が論理0の入力より多いときは出力が1。逆に、論理0の入力が論理1の入力より多いときは出力が0となる [4]。例として、3入力多数決ゲートの記号と動作を図 6.1 に示す。たとえば、入力が (1, 0, 0) のときは出力が0、入力が (0, 1, 1) のときは出力が1となる。また、どれか一つの入力が0のとき、このゲートは2入力の AND として動作する。一方で、どれか一つの入力が1のとき、このゲートは2入力の OR として動作する。多数決論理がこのような動作を行うのは、多数決論理がしきい値論理だからである。つまり、 N 個の入力に対し $N/2$ の値をしきい値として設定し入力の総和がこれを越えるか越えないかで論理を決定する。入力総和がしきい値を越えた場合は論理が1、越えない場合は論理が0の出力となる。上述の例を用いると次のように言える。3入力ではしきい値は1.5となる。この状

入力			出力	
A	B	C_{in}	S_o	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

図 6.2 全加算器の動作（真理値表）

態で入力が $(1, 0, 0)$ のときは入力総和が 1 であり、しきい値以下なので出力は 0。入力が $(0, 1, 1)$ のときは入力総和が 2 であり、しきい値以上なので出力が 1 という動作につながる。

多数決ゲートはインバータと組み合わせることによってどのようなデジタル論理でも構成できる [4, 5]。次節では、多数決論理の応用性について述べる。

6.2.2 多数決論理の応用性

多数決論理ゲートは、インバータと組み合わせることによってどのようなデジタル論理でも構成できる。多数決ゲートを用いた応用回路の例として全加算器やコンパレータ、乗算器などが挙げられる。全加算器を例に取り多数決ゲートと通常のブール代数論理ゲートとを比較する。図 6.2 に全加算器の動作を示す真理値表を示す。ここで、 (A, B, C_{in}) は入力、 (S_o, C_o) はそれぞれ和と桁上げ信号の出力を表している。この真理値表を元に構成した全加算器を次に述べる。図 6.3 では多数決ゲートとインバータで構成したものと、通常のブール代数論理ゲートで構成したものの一例を示した。多数決論理を用いると、全加算器は 3 つの多数決ゲートと 2 つのインバータで構成できる。これは、ブール代数論理で構成した場合と比較してゲートの数は半分以下でよいということを示している。また、図 6.4 では、多数決ゲートを用いた全加算器を連結するこ

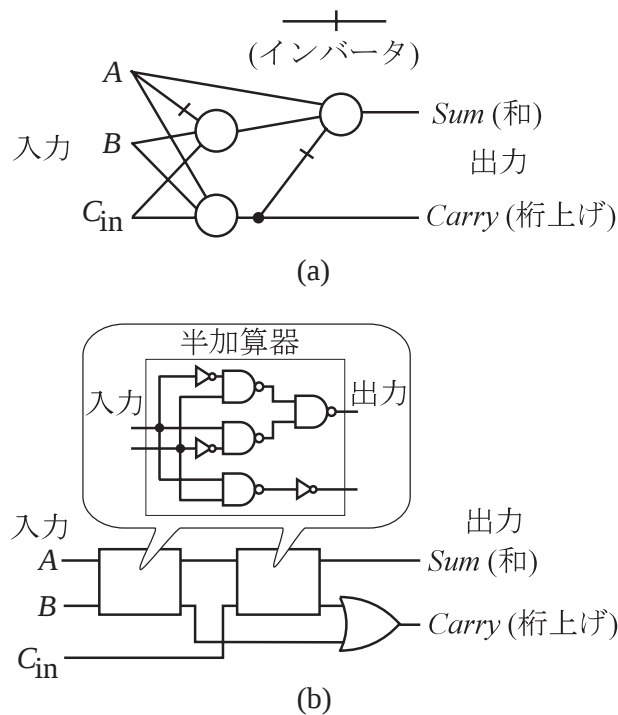


図 6.3 全加算器の構成。(a) 多数決ゲートによる全加算器，(b) ブール代数論理による全加算器

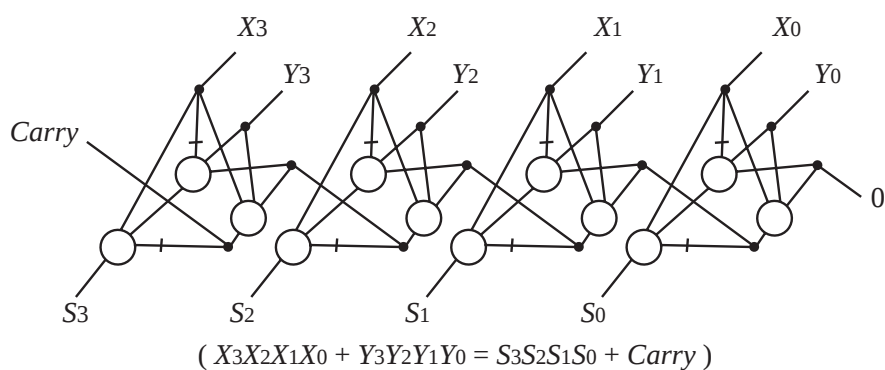


図 6.4 多数決ゲートによる全加算器を用いた 4bit 加算器

とによって多ビットの加算器を構成することができるということを示している（図 6.4 では 4 ビットの加算器）。

このことから、多数決ゲートを電子デバイス化し集積化することによって、既存のデバイスと同程度の機能を持つ回路をよりコンパクトに作成することが可能であるといえる。さらにコンパクトになった結果として余るスペースに更なる回路を追加することによって、おなじデバイスのサイズでもより高機能な情報処理デバイスを実現することができる。

6.3 単電子多数決論理ゲートの構成

単電子回路による多数決論理ゲート構築のために、4.4.2 節や??節において利用した単電子箱及び単電子トラップについて考える。ここでは、トンネル接合を一つだけ含む単電子箱による構成と、トンネル接合を二つ以上含む単電子箱（単電子トラップ）による構成の二種類について検討を行う。

6.3.1 単電子箱対による多数決論理ゲート

5.4.4 節で利用した単電子箱は、バイアス電圧 V_d を決めると浮遊電子数 n (内部状態) もただ一つに決まる [6]。したがって、このままではバイナリ動作に使用することができない。そこで多数決論理ゲート回路を構築するために、二つの単電子箱を図 6.5(a) のように結合して双安定デバイスを構成する。以下、これを「単電子箱対」と呼ぶ。この回路は、先に述べた単電子箱が二つと各単電子箱のノードを接合容量 C_0 で結合した簡単な構造になっている。

単電子箱対はノード 1 とノード 2 の島を持っている。島にそれぞれ蓄えられる浮遊電子数を n_1, n_2 とすると、対回路の内部状態は (n_1, n_2) と表現できる。バイアス電圧 V_d に対する内部状態の変化を図 6.5(b) に示す。バイアス電圧 V_d が 0 の時、内部状態は $(0, 0)$ になる。 V_d が増加してあるしきい電圧 V_{th1} に達したとき、電子が接地か

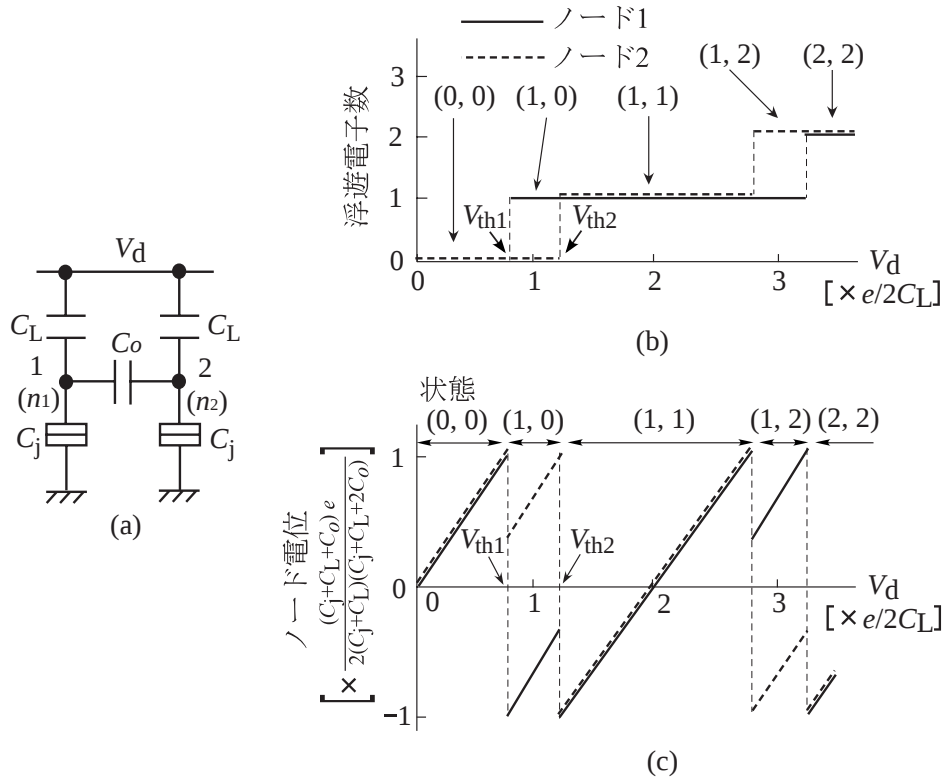


図 6.5 単電子箱対。(a) 回路構成，(b) V_d に対する電子数の変化，(c) V_d に対するノード電位の変化

らノード1かノード2のいずれか一方にトンネルし保持される（どちらで先にトンネルが起こるかは確率で決まる）。図6.5(b)は、ノード1に電子がトンネルしたと仮定しているものであり、内部状態の変化は $(0, 0)$ から $(1, 0)$ になったと表現する。逆に、ノード2へ電子が先にトンネルした場合は、内部状態が $(0, 0)$ から $(0, 1)$ に変化したと表現する。一方のノードに電子トンネルが生じるともう一方のノードへの電子トンネルが抑制される。これは、ノード1とノード2が容量結合されていて、一方で発生した電子トンネルによる電位変化が他方のノードにおけるトンネルしきい電圧を引き上げるためである。そのため、バイアス電圧 V_d が次のしきい電圧 V_{th2} に達するまでそのままの状態が保持される（つまり、 $(1, 0)$ か $(0, 1)$ の内部状態が保持される）。

したがって、単電子箱対は次の条件下で双安定性を持つ。

$$V_{th1} < V_d < V_{th2} \quad (6.1)$$

この条件に従い V_d を決定することによってバイナリ動作を得て多数決論理動作を実行する。なお、しきい電圧 V_{th1} と V_{th2} は回路パラメータを用いて次のように表現できる。

$$V_{th1} = \frac{C_j + C_L + C_0}{2C_L(C_j + C_L + 2C_0)}e \quad (6.2)$$

$$V_{th2} = \frac{C_j + C_L + 3C_0}{2C_L(C_j + C_L + 2C_0)}e \quad (6.3)$$

上式で e は素電荷量を示す。バイアス電圧 V_d をしきい電圧 V_{th2} より大きくすると双安定状態が崩れる。そのときの内部状態は、 $(1, 0)$ (もしくは $(0, 1)$) から $(1, 1)$ へと変化し、さらに V_d を増加させると次のしきい電圧に到達することにより内部状態が $(1, 1)$ から $(2, 1)$ (もしくは $(1, 2)$) へと変化する。バイアス電圧 V_d に対するノード 1 とノード 2 の電位変化は、図 6.5(c) に示すようにのこぎり刃状に変化する。 V_d の増加にともなってノード 1 と 2 の電位が増加し V_d がしきい電圧に到達する直前にノードの電位は最大値 V_{max} になっている。そして、 V_d がしきい電圧に到達しどちらかのノードに電子トンネルが発生した直後のノード電位 (トンネルが発生したノードの電位) は最小値 V_{min} になる。この電位変化は電子トンネルに起因する。ノード電位の最大値と最小値を、回路のパラメータを用いて表現すると以下ようになる。

$$V_{max} = \frac{C_j + C_L + C_0}{2(C_j + C_L)(C_j + C_L + 2C_0)}e \quad (6.4)$$

$$V_{min} = -\frac{C_j + C_L + C_0}{2(C_j + C_L)(C_j + C_L + 2C_0)}e \quad (6.5)$$

(6.1) 式の条件下でノード 1 とノード 2 は片方が正の電位、他方は負の電位をとる。この特性をデジタル論理の論理 0 と論理 1 として、多数決論理ゲート回路に利用する。

単電子箱対による多数決ゲート回路は図 6.6 のようになる。ここでは 3 入力 3 出力のゲート回路を示す。その構造は単電子箱対の各ノード (ノード 1 とノード 2) にそれぞれ

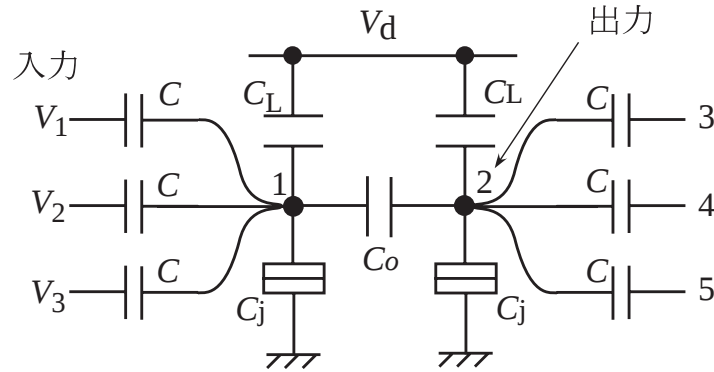


図 6.6 単電子箱対による多数決ゲートの構成

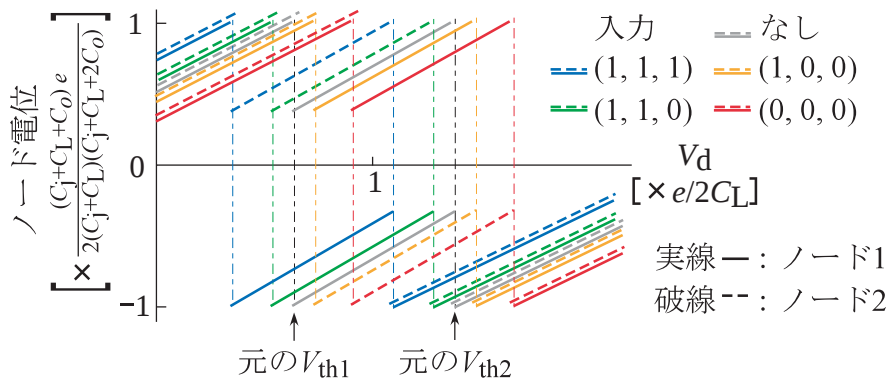


図 6.7 しきい電圧の移動

れキャパシタ C が三本ずつ連結されているというものである。後述のように、ノード2側に多数決論理動作の出力が現れる。そして、出力キャパシタと出力端子3, 4, 5を通して次段の多数決ゲートに信号を伝える。入力電圧として (V_1, V_2, V_3) が入力されたとき、ノード1には入力キャパシタ C を介してこの合計電圧が入力として与えられる。このとき、図6.5(c)で示したしきい電圧は図6.7のように変化する。これは入力 (V_1, V_2, V_3) が $(V_{in+}, V_{in+}, V_{in+})$ と $(V_{in+}, V_{in+}, V_{in-})$ のとき、浮遊電子はノード1へトンネルし、一方 (V_1, V_2, V_3) が $(V_{in-}, V_{in-}, V_{in-})$ と $(V_{in+}, V_{in-}, V_{in-})$ のとき、浮遊電子はノード2へトンネルすることを意味している。入力 (V_1, V_2, V_3) が $(0, 0, 0)$ のとき、前節で示した式6.2と6.3は入出力キャパシタの値も導入して次のように表現さ

れる。

$$V_{th1}' = \frac{C_j + C_L + C_0 + 3C}{2C_L(C_j + C_L + 2C_0 + 3C)}e \quad (6.6)$$

$$V_{th2}' = \frac{C_j + C_L + 3C_0 + 3C}{2C_L(C_j + C_L + 2C_0 + 3C)}e \quad (6.7)$$

ここで、入力電圧 V_{in+} と V_{in-} は回路パラメータを用い次のように表現される。

$$V_{in+} = \frac{e}{2(C_j + C_L + 2C_0 + 3C)} \quad (6.8)$$

$$V_{in-} = -\frac{e}{2(C_j + C_L + 2C_0 + 3C)} \quad (6.9)$$

上式 6.8 , 6.9 は、回路が双安定状態 ($V_{th1} < V_d < V_{th2}$) において三つの入力電圧が 0 でバイアス電圧 $V_d = e/2C_L$ (V_{th1} と V_{th2} の中間電位) を与えたときのノード 1 とノード 2 の電圧振幅からきている。なお、 $V_d = e/2C_L$ のときのノード 1 とノード 2 の電位振幅の絶対値は等しくなる。本ゲートでは、この振幅が等しい正負の電圧をディジタル論理の論理 1(正電圧) と論理 0(負電圧) に対応づける。上式から導かれる値を入力電圧とする理由は、ゲート回路の出力であるノード電位は、ゲート素子を多段連結したときに次段のゲート回路の入力となるからである。

図 6.6 の回路を多数決論理ゲートとして動作させるにあたり重要となるポイントは、入力電圧の総和とゲート回路に与えるバイアス電圧 V_d (式 6.6) の大きさである。はじめに、入力の総和によってゲート回路が前節で述べたような特性を持つ理由を以下に示す。入力電圧としてノード 1 に与えられる電圧総和が正のとき、ノード 1 側の単電子箱でトンネルが発生するためのしきい電圧は入力総和が 0 の時の V_{th1} より低くなる。すなわち、ノード 1 側とノード 2 側のトンネルしきい電圧を比較するとノード 1 側が低いためにノード 1 で先にトンネルが発生しやすくなる。したがって、入力 (V_1, V_2, V_3) が ($V_{in+}, V_{in+}, V_{in+}$) と ($V_{in+}, V_{in+}, V_{in-}$) のときはノード 1 でトンネルが発生する。一方入力電圧としてノード 1 に与えられる電圧総和が負のとき、ノード 1 側の単電子箱でトンネルが発生するためのしきい電圧は入力総和が 0 の時の V_{th1} より高くな

る。すなわち、ノード1側とノード2側のトンネルしきい電圧を比較するとノード1側が高いためにノード2側の方が先にトンネルしやすくなる。したがって、入力 (V_1, V_2, V_3) が ($V_{in-}, V_{in-}, V_{in-}$) と ($V_{in+}, V_{in-}, V_{in-}$) のときはノード2でトンネルが発生する。これらはノード2側(出力側)に着目してみると、入力として ($V_{in+}, V_{in+}, V_{in+}$) または ($V_{in+}, V_{in+}, V_{in-}$) が与えられ、回路が双安定状態になったとき出力は正の電圧(論理1)を示し、($V_{in-}, V_{in-}, V_{in-}$) または ($V_{in+}, V_{in-}, V_{in-}$) が入力され、双安定状態になると出力は負の電圧(論理0)を示すことになる。これは入力の多数決で出力を決定するという多数決論理の動作を実現している。多数決論理ゲートを動作させるには次のような手順を取る。

1. バイアス電圧 V_d と入力電圧 (V_1, V_2, V_3) を0にする。
2. 出力端子を接地する。
3. 入力電圧 (V_1, V_2, V_3) を与える。このとき、単電子箱対の内部状態は (0, 0) である (バイアス電圧 V_d が0のため)。
4. バイアス電圧 V_d を徐々に上げて、単電子箱対を双安定状態 ($V_{th1} < V_d < V_{th2}$) にする (V_d は最大 $e/2C_L$ まで上げる)。このとき、内部状態はどちらか一方のノードに電子がトンネル移動して (1, 0) か (0, 1) になる (どちらになるかは入力の総和で決まる)。

シミュレーションによる動作確認については6.4節で述べる。

6.3.2 多重接合をもつ単電子箱による多数決論理ゲート

4.4.2節で利用した単電子トラップ(多重接合をもつ単電子箱)(図6.8)は、あるバイアス電圧 V_d 条件下ではヒステリシス特性を持つ。このヒステリシス特性は、単電子箱のトンネル接合部分を二重接合(または複数のトンネル接合)を直列に接続した多重接合に置き換えることで出現する [6]。これにより、バイアス電圧の状態で二つの安

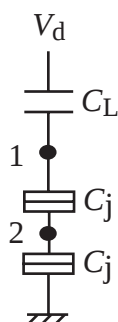


図 6.8 単電子箱対

定状態（双安定状態）を実現できるため、この二重接合の単電子箱をバイナリ動作に使用することができる。本章ではこの二重接合の単電子箱を用いて多数決論理ゲート回路を構成することを考える。

二重接合の単電子箱はノード1とノード2の二つの島を持っている。この単電子箱ではどちらかのトンネル接合で電子トンネルが発生すると、直ちにもう一つのトンネル接合に電子トンネルが発生し、結果として電子はノード1にのみ浮遊電子として蓄積される。これは、どちらか一つの接合にトンネルが発生した場合の回路の静電エネルギーがもう一方のトンネル接合にとって電子トンネルを発生させるに十分な大きさがあるためである。これを回路の解析式で表現すると次のようになる。

1. 接地からノード2への電子トンネルが先に発生する場合

(電子数: $0 \rightarrow 1$)

(a) 接地からノード2へトンネルするのに必要なバイアス電圧

$$V_d > \frac{C_j + C_L}{2C_j C_L} e \quad (6.10)$$

(b) (a) のトンネルが起こったあとにノード2からノード1へのトンネルが発生するのに必要なバイアス電圧

$$V_d > \frac{C_j - C_L}{2C_j C_L} e \quad (6.11)$$

以上より、接地からノード2へトンネルが発生するために必要なバイアス電圧の大きさと、そこからさらにノード1へトンネルするのに必要なバイアス電圧の大きさの関係から、接地からノード2へトンネルしたときは直ちにノード1へとトンネルが起こることがわかる。

2. ノード2からノード1への電子トンネルが先に発生する場合

(a) ノード2からノード1へトンネルするのに必要なバイアス電圧

$$V_d > \frac{C_j + C_L}{2C_j C_L} e \quad (6.12)$$

(b) (a) のトンネルが起こったあとに接地からノード2へのトンネルが発生するのに必要なバイアス電圧

$$V_d > \frac{C_j - C_L}{2C_j C_L} e \quad (6.13)$$

以上より、ノード2からノード1へトンネルが発生するために必要なバイアス電圧の大きさと、それを受けて接地からノード2へトンネルするのに必要なバイアス電圧の大きさの関係から、ノード2からノード1へトンネルしたときは直ちに接地からノード2へとトンネルが起こることがわかる。

6.10式と6.12式を比較すると同じ条件式になっている。1. と2. のどちらが先に発生するかは確率的に決まる。また、どちらのトンネル接合でトンネルが発生すれば直ちにもう片方のトンネル接合にもトンネルが発生するといえる。

上で述べたとおり、二重接合（もしくは多重接合）の単電子箱はヒステリシス特性を持つ。バイアス電圧 V_d に対するノード1の内部状態（浮遊電子数 n ）の変化を図6.9(a)に示す。バイアス電圧 V_d が0の時、内部状態は0になる。 V_d が増加してあるしきい値 V_{th2} に達したとき、電子は接地からノード2へ、そして直ちにノード1へトンネルし内部状態が1として保持される（またはノード2からノード1へトンネルし、直ちに接地からノード2へトンネルし保持される）。この状態で逆に V_d が減少してあるしきい値 V_{th1} に達したとき、電子はノード1からノード2へトンネルし、そして直ちに接地へと

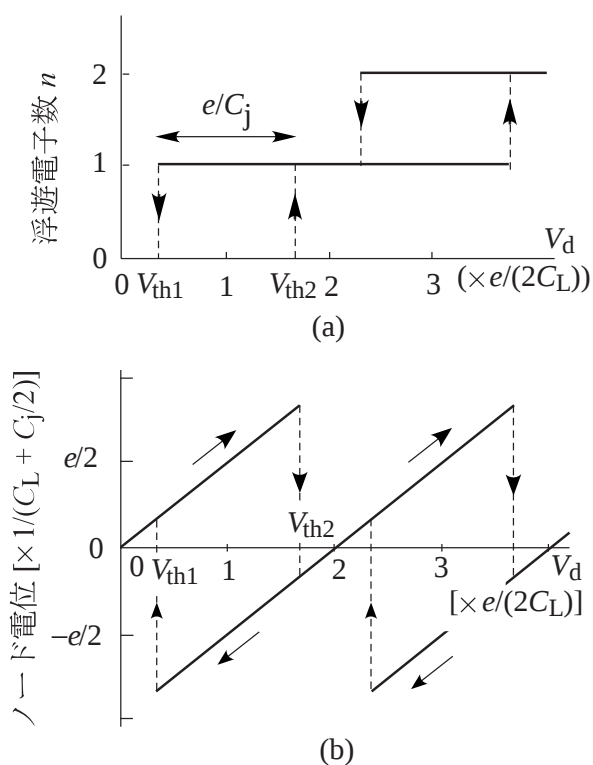


図 6.9 二重接合を持つ単電子箱の動作

トンネルし内部状態は0になる（または、ノード2から接地へトンネルし、直ちにノード1からノード2へトンネルする）。ここで、 V_{th1} と V_{th2} は以下のように表現できる。

$$V_{th1} > \frac{1 - C_L/C_j}{2C_L} e \quad (6.14)$$

$$V_{th2} > \frac{1 + C_L/C_j}{2C_L} e \quad (6.15)$$

つまり、二重接合の単電子箱において以下の条件のときバイナリ動作を実行できる。

$$V_{th1} < V_d < V_{th2} \quad (6.16)$$

また、バイアス電圧 V_d に対するノード1の電位変化は、図6.9(b)に示すようにのこぎり刃状に変化し、ヒステリシスの特性が現れる。 V_d の増加にともなってノードの電位が増加し V_d がしきい電圧 V_{th2} に到達すると上述の（ノード1への）電子トンネルが発

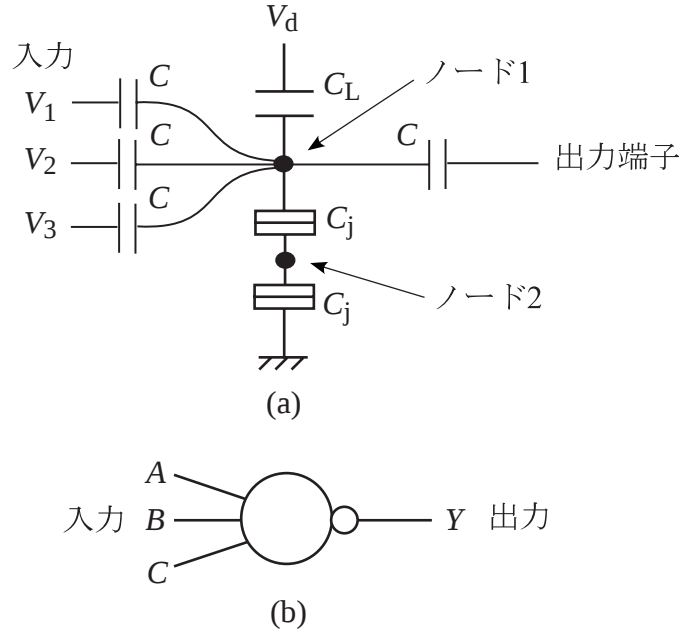


図 6.10 反転論理の動作を行う多数決論理ゲート回路。(a) 二重接合の単電子箱を用いた多数決ゲート回路の構成, (b) 記号表現

生し電位が変化する。逆に V_d が減少するとノードの電位も現象し V_d がしきい電圧 V_{th1} に到達すると上述の（接地への）電子トンネルが発生し電位が変化する。6.16 式の条件下でノード 1 の電位は浮遊電子の有無により正の電位か負の電位になる。この特性をデジタル論理の論理 0 と論理 1 として、多数決論理ゲート回路に利用する。

なお、二重接合の単電子箱と同様に N 個のトンネル接合を用いた多重接合の単電子箱を用いても同じようなヒステリシス特性を得られるため、それを用いても多数決論理ゲートを構成することができる。その場合、しきい電圧 V_{th1} と V_{th2} は以下のように表現できる。

$$V_{th1} > \frac{1 - (N - 1)C_L/C_j}{2C_L} e \quad (6.17)$$

$$V_{th2} > \frac{1 + (N - 1)C_L/C_j}{2C_L} e \quad (6.18)$$

二重接合の単電子箱による多数決ゲート回路を図 6.10(a) に示す。ここでは三入力一出力のゲート回路を示す。なお、記号として表現すると図 6.10(b) のように表現する。

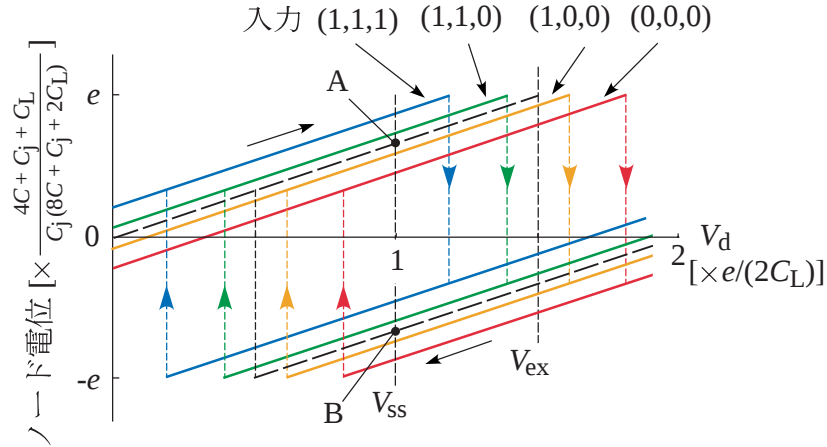


図 6.11 しきい電圧の移動

その構造は二重接合の単電子箱のノード1に入力用のキャパシタ C が三本と出力用のキャパシタ C が一本連結されているというものである。後述のように、このゲート回路は多数決の反転を出力する。そして、出力キャパシタを通して次段の多数決ゲートに信号を伝える。入力電圧として (V_1, V_2, V_3) が入力されたとき、ノード1には入力キャパシタ C を介してこの合計電圧が入力として与えられる。このとき、図 6.9(b) で示したしきい電圧は図 6.11 のように変化する。これは入力の電圧総和によってトンネルするしきい値が移動するということを意味している。たとえば、バイアス電圧を図 6.11 中の V_{ex} に設定したとすると、入力が $(V_{in+}, V_{in+}, V_{in+})$ と $(V_{in+}, V_{in+}, V_{in-})$ のとき、浮遊電子はノード1へトンネルする。一方 (V_1, V_2, V_3) が $(V_{in-}, V_{in-}, V_{in-})$ と $(V_{in+}, V_{in-}, V_{in-})$ のとき、浮遊電子はトンネルしないことを意味している。ここで V_{in+} は論理1として正電圧を、 V_{in-} は論理0として負電圧を示している。入力 (V_1, V_2, V_3) が $(0, 0, 0)$ のとき、前節で示した式 6.14 と 6.15 は入出力キャパシタの値も導入して次のように表現される。

$$V_{th1}' > \frac{1 - (C_L + 4C)/C_j}{2C_L} e \quad (6.19)$$

$$V_{th2}' > \frac{1 + (C_L + 4C)/C_j}{2C_L} e \quad (6.20)$$

ここで、入力電圧 V_{in+} と V_{in-} は回路パラメータを用いて次のように表現できる。

$$V_{in+} = \frac{e}{2C_L + 8C + C_j} \quad (6.21)$$

$$V_{in-} = -\frac{e}{2C_L + 8C + C_j} \quad (6.22)$$

上式 6.21, 6.22 は、回路が双安定状態 ($V_{th1} < V_d < V_{th2}$) において三つの入力電圧が 0 でバイアス電圧 $V_d = e/2C_L$ (V_{th1} と V_{th2} の中間電位) を与えたときのノード 1 の電圧振幅に由来する。なお、 $V_d = e/2C_L$ のときの電位振幅の絶対値は等しくなる。本ゲートでは、この振幅が等しい正負の電圧をデジタル論理の論理 1(正電圧) と論理 0(負電圧) に対応づける。上式から導かれる値を入力電圧とする理由は、ゲート回路の出力であるノード電位は、ゲート素子を多段連結したときに次段のゲート回路の入力となるからである。

二重接合 (もしくは多重接合) の単電子箱を多数決論理ゲートとして動作させるためには、バイアス電圧 V_d に工夫が必要となる。前節の単電子箱対による多数決論理ゲートでは、バイアス電圧を台形のクロック波形とし、徐々にバイアス電圧を上げ、対になっている単電子箱のどちらが先に電子トンネルによって電位が変わるかということを用いて論理動作を行っていた。二重接合の単電子箱を用いて論理動作を行うためには、後述のように、はじめ (図 6.11 中の) V_{ex} まで V_d を上げ出力を決定させ、次に V_d を V_{ss} に設定し出力を保持するという二段バイアスクロックを用いる。出力を決定する V_{ex} と入力電圧の総和の関係によって本ゲート回路は多数決論理の動作を実行することができる。その理由を以下に示す。本ゲートは入力電圧の総和によって電子トンネルが発生するしきい値が変化する (図 6.11)。ここで、多数決論理がしきい論理であることを考えるとゲート回路には入力が (1, 1, 0) と (1, 0, 0) の間に論理判定 (出力が論理 1 になるか論理 0 になるかの判定) を行えるようにすればよいと考えられる。つまり、本ゲートではその論理判定をバイアス電圧 V_d が V_{ex} になることで実行している。図 6.11 を用いて説明すると以下ようになる。入力が (1, 1, 1) と (1, 1, 0) の場合、バイアス電圧 V_d を V_{ex} に引き上げたとき電子トンネルが発生するのに必要なバイアス電圧が V_{ex} 以

下であるため本ゲートは電子トンネルを起こし出力が正から負の電圧に転じる。一方入力が $(1, 0, 0)$ と $(0, 0, 0)$ の場合、バイアス電圧 V_d を V_{ex} に引き上げたとき電子トンネルが発生するのに必要なバイアス電圧が V_{ex} 以上であるため本ゲートは電子トンネルを発生せず、結果として出力は正の電圧となる。このようにして出力論理を決定した後、バイアス電圧 V_d を V_{ss} に下げて出力を保持する。この保持電圧 V_{ss} は、前段からの入力がなくなったときに自ゲートの出力電圧振幅が正負で同じになる（絶対値が同じ振幅になる）バイアス電圧の値である。このときの出力電圧は正電圧のとき図 6.11 中の A の電圧、負電圧のとき図 6.11 中の B の電圧となる。保持期間中の出力電圧は次段ゲートの入力になる。なお、論理判定するための電圧（励起電圧） V_{ex} と保持電圧 V_{ss} 、A 点の出力電圧（ V_A ）と B 点の出力電圧（ V_B ）は回路パラメータを用いてそれぞれ次のように表現される。

$$V_{ex} > \frac{1 + (C_L + 4C)/C_j}{2C_L} e, \quad (6.23)$$

$$V_{ss} > \frac{e}{2C_L}, \quad (6.24)$$

$$V_A = \frac{e}{2C_L + 8C + C_j}, \quad (6.25)$$

$$V_B = -\frac{e}{2C_L + 8C + C_j}, \quad (6.26)$$

ここで、本ゲートは入力電圧の総和が正のとき電子トンネルを起こし出力が負電圧に、入力電圧の総和が負のとき電子トンネルが起こらず出力が正電圧になる。したがって、本ゲートは多数決論理の反転の動作を行うことになる。反転動作の多数決論理でも通常の多数決論理と同様に様々なデジタル論理を実行することができる。

本ゲートにおいて、多数決論理動作を実行するためには次のような手順を取る。

1. バイアス電圧 V_d と入力電圧（ V_1, V_2, V_3 ）を 0 にする。
2. 出力端子を接地する。
3. 入力電圧（ V_1, V_2, V_3 ）を与える。このとき、二重接合の単電子箱の内部状態は 0 である（バイアス電圧 V_d が 0 のため）。
4. バイアス電圧 V_d を V_{ex} まで上昇させ、二重接合の単電子箱に論理判定を行わせる。

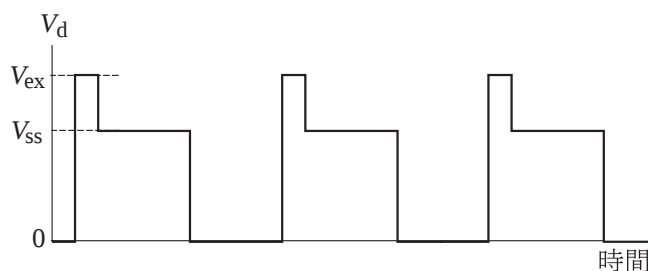


図 6.12 二段ステップクロックの波形

このとき、内部状態は入力電圧の総和が正のときノード 1 まで電子がトンネル移動して 1 になり、総和が負の時は電子トンネルが発生しないので 0 のままになる。

5. 論理判定が完了したあとは、バイアス電圧 V_d を V_{ss} に固定し出力電圧を保持する。

上述 4. と 5. の動作を行うためにバイアス電圧 V_d を図 6.12 に示すような二段ステップのクロック波形にする必要がある。また、二段ステップクロックの V_{ex} の期間は、二重接合の単電子箱で発生する電子トンネルの待ち時間より長い必要がある。

6.4 シミュレーション結果

コンピュータシミュレーションにより、単電子箱対の多数決論理ゲート回路および、多重接合をもつ単電子箱による多数決論理ゲート回路の動作確認を行った。その結果をそれぞれ図 6.13 および図 6.14 に示す。ここで、図 6.13 のシミュレーションではパラメータ値を $C_L = C_j = C_0 = 10$ aF, $C = 2$ aF, トンネル抵抗 $R_j = 1$ M Ω , 温度 = 0 K とし、入力としては (0, 1, 1) と (1, 0, 0) の二種類を与え、図 6.14 のシミュレーションではパラメータ値を $C_j = 20$ aF, $C_L = C = 2$ aF, トンネル抵抗 $R_j = 200$ k Ω , 温度 = 0 K とし、入力を順に四種類与えた。いずれの場合においても、論理動作が完了しゲート回路が保持状態に移行すれば、保持電圧の効果で入力電圧が 0 になっても出力はそのまま保持される。なお、いずれのシミュレーションにおいても協同トンネル現

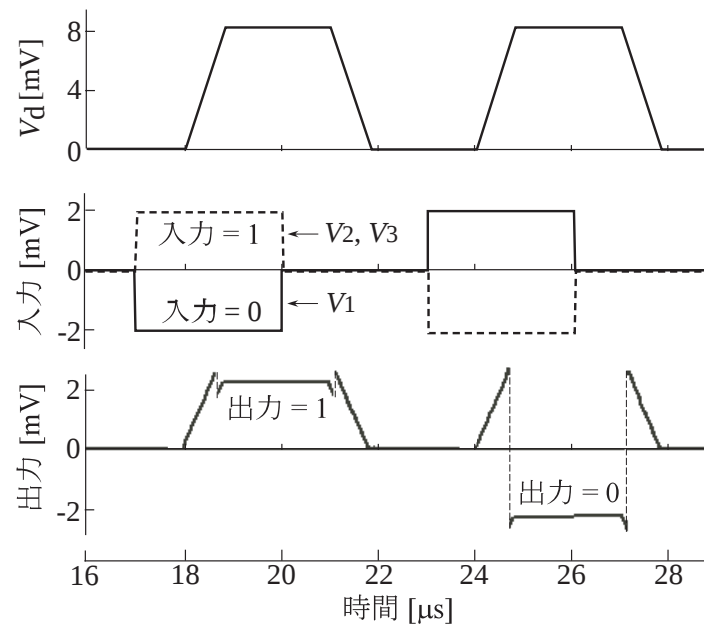


図 6.13 単電子箱対による多数決論理ゲートの論理動作 (シミュレーション)

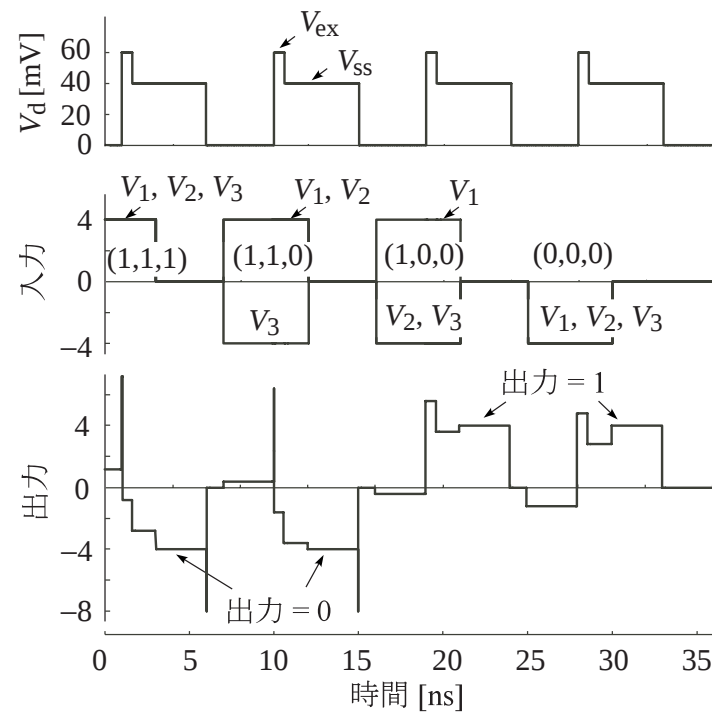


図 6.14 多重接合の単電子箱による多数決論理ゲートの論理動作 (シミュレーション)

象は起こらないものとしている。図 6.14 において設定したパラメータにおいて、 V_{ex} , V_{ss} , V_A , V_B はそれぞれ、60 mV, 40 mV, 4 mV, -4 mV となる。

6.5 応用回路

ここでは、提案の単電子多数決論理ゲート (単電子箱対型と二重接合の単電子箱型) の応用回路として 6.2.2 節で述べた全加算器の構成について考える。全加算器はデジタル論理 LSI を構成する上で非常に重要な回路である。はじめに単電子箱対型の多数決ゲートによる全加算器の構成を図 6.15 に示す。

各ゲートを駆動するために三相バイアスクロックを用意する。クロック波形の位相 (ϕ_1, ϕ_2, ϕ_3) を図中の各ゲート上部に記す。この構成において核¹をなすゲート回路はゲート 5, 6, 7 である。すなわち、核をなす三つのゲート回路において加算の動作が実

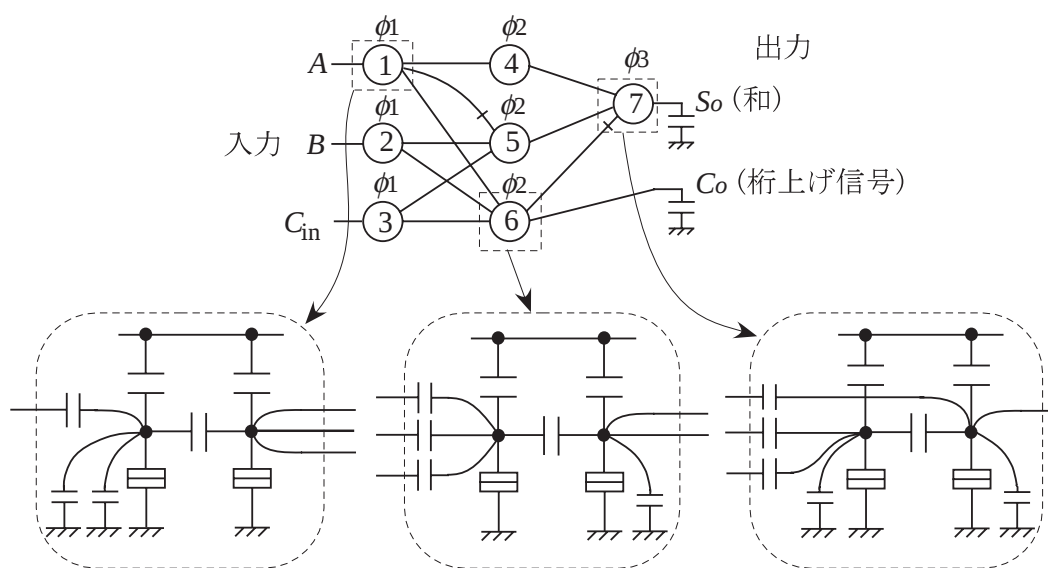


図 6.15 単電子箱対型の多数決ゲート回路による全加算器。

¹6.2.2 節で述べた全加算器そのもの。

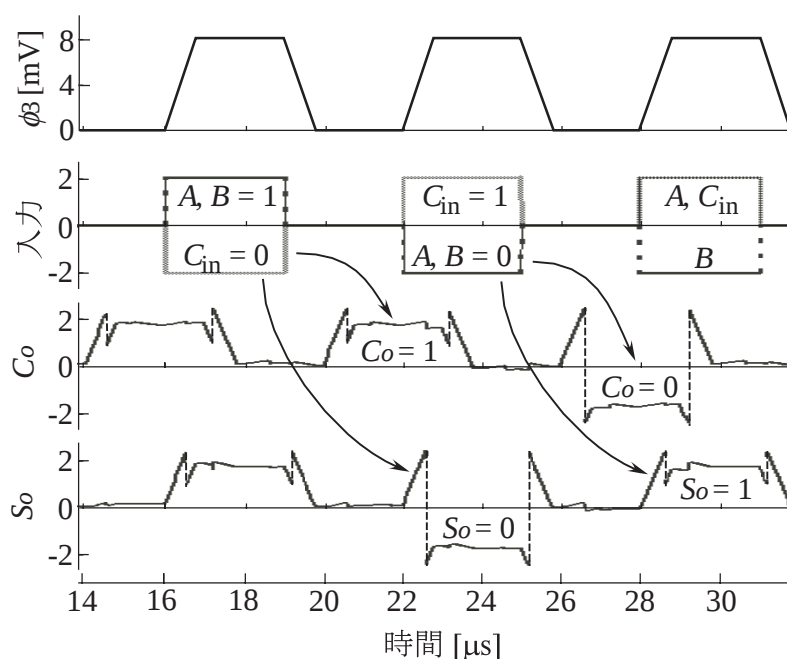


図 6.16 全加算器の動作 (シミュレーション)。

行される。ここで、ゲート 1, 2, 3 は入力バッファである²。ゲート 4 は遅延バッファであり、ゲート 1 から信号を正しいタイミングでゲート 7 に伝える役割を持つ。また、ゲート 5 と 7 はインバータを介した入力を受けているが、本ゲートにおいては出力端子の結合容量に与えることで反転入力を実現できる。

全加算器への入力、被加算数 A と加算数 B 及び下位からの桁上げ信号 C_{in} の三つである。出力は、和の信号 S_o と上位への桁上げ信号 C_o である。この全加算器の動作を以下に示す。はじめにクロック ϕ_3 の立ち上がりに合わせて入力 (A, B, C_{in}) を加える。そうすると三相バイアスクロックの $\phi_1 \rightarrow \phi_2 \rightarrow \phi_3$ という流れに従い論理動作を行う。桁上げ信号 C_o はクロック ϕ_2 が立ち上がる時に出力される。また、和の信号 S_o はクロック ϕ_3 が再び立ち上がる時に出力される。

入力信号の全ての組み合わせについて、加算動作をシミュレーションにより確認した。図 6.16 にその結果の一部を示す。入力 $(A, B, C_{in}) = (1, 1, 0)$ のとき出力 $(C_o, S_o) = (1, 0)$,

²矩形波の入力信号を回路信号としての自然な波形に直すために挿入したものであり加算動作には関係しない。

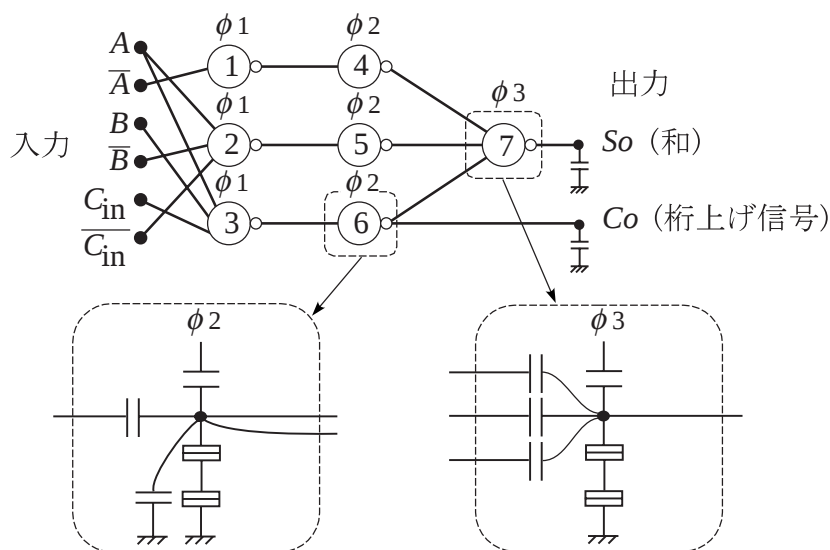


図 6.17 二重接合型の多数決ゲート回路による全加算器。

入力 $(A, B, C_{in}) = (0, 0, 1)$ のとき出力 $(C_o, S_o) = (0, 1)$ となる様子が示されている。

次に二重接合型の多数決ゲートによる全加算器の構成を図 6.17 に示す。単電子箱対型と同様に、各ゲートを駆動するための三相バイアスクロックを用意する。クロック波形の位相を図中の各ゲート上部に記す。この構成において全加算器の核となるゲート回路はゲート 2, 3, 7 である。ゲート 1, 4, 5 は遅延バッファ³である。ゲート 6 は遅延と分岐の役割を持つバッファであり、ゲート 3 からの信号を正しいタイミングでゲート 7 に伝えると同時に C_o へ信号を出力する役割を持つ。

全加算器への入力、被加算数 A と加算数 B 及び下位からの桁上げ信号 C_{in} の三つとそれぞれの反転入力 $(\bar{A}, \bar{B}, \bar{C}_{in})$ である。出力は、和の信号 S_o と上位への桁上げ信号 C_o である。この全加算器の動作を以下に示す。はじめにクロック ϕ_3 の立ち上がりに合わせて入力 $(A, B, C_{in}, \bar{A}, \bar{B}, \bar{C}_{in})$ を加える。そうすると三相二段ステップバイアスクロックの $\phi_1 \rightarrow \phi_2 \rightarrow \phi_3$ という流れに従い論理動作を行う。桁上げ信号 C_o はクロック ϕ_2 が立ち上がるときに出力される。また、和の信号 S_o はクロック ϕ_3 が再び立ち上がるときに出力される。

³前段の信号を後段のゲートに正しいタイミングで伝える役割を持つ。

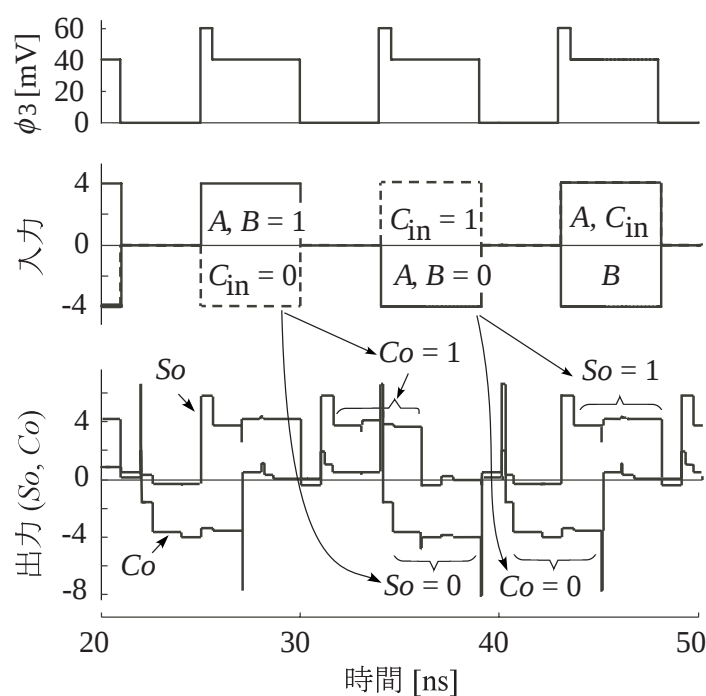


図 6.18 二重接合型の多数決ゲート回路による全加算器。

入力信号の全ての組み合わせについて、加算動作をシミュレーションにより確認した。図 6.18 にその結果の一部を示す。先に述べた単電子箱対型の全加算器と同様に、入力 $(A, B, C_{in}) = (1, 1, 0)$ のとき出力 $(C_o, S_o) = (1, 0)$ ，入力 $(A, B, C_{in}) = (0, 0, 1)$ のとき出力 $(C_o, S_o) = (0, 1)$ となる様子が示されている。以上から単電子多数決ゲートを用いた応用回路の実現性が示せたと考える。

6.6 結言

本章では、単電子回路によるロジックデバイスの検討として多数決論理ゲートの構築について検討した。多数決論理はしきい値論理の一種であり前章で述べたスパイクニューロンと似ている。ここでは多数決論理ゲートを構成するものとして単電子箱を用いた。単電子箱はトンネル接合とキャパシタを直列に接続した構成であり、トンネル接合の数が一つか二つ以上で挙動が変わる。トンネル接合を一つだけ持つ単電子箱

はバイアス電圧に対して出力電圧がのこぎり刃状の挙動を示す。本研究ではこの単電子回路を用いて多数決ゲートを構成するために二つの単電子箱を連結し対回路とした。これにより、バイアス電圧、入力電圧に対してバイナリ動作を可能とした。一方で、二つ以上の接合を持つ単電子箱はバイアス電圧に対して出力電圧がヒステリシス特性を示す。したがって、ゲート回路の構成には多重接合を持つ単電子箱単体を用いた。ただし、この構成の場合多数決ゲートの出力は反転論理を示す。

単電子箱対型の多数決ゲート回路と多重接合型の多数決ゲート回路についてシミュレーションによりその動作を確認し、また応用回路についても検討を行った。これにより、単電子多数決ゲートデバイスの有用性を示せたと考える。

参考文献

- [1] Loe K.F. and Goto E., “Analysis of flux input and output Josephson pair device,” *IEEE Transactions on Magnetics*, Vol. 21, pp. 884-887, 1985.
- [2] Lent C.S., Tougaw P.D., Porod W., and Bernstein G.H., “Quantum cellular automata,” *Nanotechnology*, Vol. 4, pp. 49-57, 1993.
- [3] Iwamura H., Akazawa M., and Amemiya Y., “Single-electron majority logic circuits,” *IEICE Transactions on Electronics*, Vol. E81-C, No. 1, pp. 42-48, 1998.
- [4] たとえば、川又 晃，川島 健一郎，佐座 弘毅，大島 弘至，“解説電子技術 デジタル回路，” (株) オーム社，1963.
- [5] Amarel S., Cooke G., and Winder R.O., “Majority gate network,” *IEEE Transactions on Electronic Computers*, Vol. 13, pp. 4-13, 1964.
- [6] Gravert H. and Devoret M.H., *Single Charge Tunneling — Coulomb Blockade Phenomena in Nanostructures*, New York: Plenum, 1992.

第7章 まとめ

本論文では自然界 (特に生体内) で行われている情報処理の手法を取り入れた機能デバイスの開拓として、化学系である反応拡散系のアルゴリズムを量子ドット集積体 (単電子デバイス) に導入することについて提案した。反応拡散系は、非平衡 - 開放系であり複雑な挙動を示す。また、この系を解析することは生命が行っている情報処理の一端を解き明かす手段になり得ると考えられている。工学的に見ると情報処理を行う素子に相当する化学振動子が二次元上に多数配列しそれらがお互いに影響を及ぼしあっている構造である。これは本質的に並列処理を行っていると考えられる。

単電子反応拡散システムを構成するために、本研究では簡単な構造の振動子回路を考え、それを集積配列し振動子同士が影響を及ぼしあうような構成を考えた。具体的には、単電子振動子をトンネル接合と抵抗体 (もしくは電流源や多重接合) の直列接続というシンプルな構成に、その振動子を集積配列し各ノードを結合容量で結び単電子反応拡散システムの構成とした。また、コンピュータシミュレーションにより提案システムが実際の反応拡散系のような挙動を示すことについて確認した。さらに、反応拡散システムの応用として迷路探索や領域分割への適用を検討し、その実現可能性を見出した。

単電子反応拡散システムの構成には上述の通り単電子振動子を用いる。この単電子振動子の挙動は、ニューラルネットワークにおけるスパイクニューロンの挙動に似ている。ニューラルネットワークは生体の脳などで行われている情報処理をモデル化したものであり、反応拡散系と通じるものがある。ニューラルネットワークを電子デバイス化することは、ニューラルネットワークが持つノイズ冗長性をデバイスに導入可能であることを意味する。本研究では単電子反応拡散システムの構造を生かした応用デバ

イスとして単電子回路によるニューラルネットワークの構成について考えた。ニューラルネットワークを構成するものとして、反応拡散システムと同様に単電子振動子を用いた。このニューロン回路についてシミュレーションにより動作確認を行った。また、そのニューロン回路を用い競合ニューラルネットワークを構成、シミュレーションによる動作確認をした。さらに、減衰シナプスを含むネットワークや、確率共鳴現象が現れるネットワークについても合わせて検討を行った。本研究で調査した競合ネットワーク、減衰シナプスを含むネットワーク、確率共鳴現象が現れるネットワークのいずれにおいても生体内のニューラルネットワークに見られるようなノイズに対する冗長性が認められた。これは単電子回路が熱雑音に弱いという問題を解決する一つの手法になると考える。

単電子反応拡散システムの応用回路や、単電子ニューラルネットワークでは単電子振動子のほかに単電子箱というシンプルな構成の単電子回路の利用についても考えた。単電子箱はトンネル接合とキャパシタを直列接続しただけの単純な構成であり、しきい判定性を持つ。したがって、単電子箱をロジックゲートデバイスとして利用することを考えた。具体的には、単電子箱による多数決論理ゲートの構成手法を提案した。本論文で提案した多数決ゲートは構成要素(単電子箱)の数が一個(もしくは二個)と非常にコンパクトなものである。このゲートを集積回路化することは、既存の情報処理デバイスをさらにコンパクトなものにできる可能性があることを意味する。その単電子多数決ゲートについてシミュレーションにより動作確認を行い、さらに応用回路についても検討を行った。

単電子反応拡散システム(単電子ニューラルネットワーク、単電子多数決ゲートデバイス)は、量子ドット一個につき一つの単位回路を持たせることができる。量子ドット集積体[例えば、Kumakura K. et al., *J. Crystal Growth*, **170**, 700, 1997.]を構成する量子ドットの大きさが例えば100 nmの場合、単位素子を 1 cm^2 のチップに 10^{10} 個搭載可能である。単電子反応拡散システムについて検討事項は依然存在するが、今後の研究によってさらにその実用性、有用性が高められ次世代の情報処理集積デバイスと

して近い将来に利用されはじめることを期待する。

謝辞

本研究は、北海道大学工学研究科電子情報工学専攻において2002年から2004年まで、および北海道大学情報科学研究科情報エレクトロニクス専攻において2004年から現在に至るまでの4年間に行った研究をまとめたものである。

本研究を遂行するにあたり、終始懇切な御指導を賜った北海道大学情報科学研究科情報エレクトロニクス専攻 雨宮好仁教授に心より厚く御礼申し上げます。また、ニューラルネットワークと関連分野に関して御指導いただいた北海道大学情報科学研究科情報エレクトロニクス専攻 浅井哲也助教授に厚く感謝いたします。さらに、有益なご討論をして頂いた北海道大学大学院情報科学研究科情報エレクトロニクス専攻 福井孝志教授、高橋庸夫教授に厚く御礼申し上げます。

また、北海道大学大学院情報科学研究科情報エレクトロニクス専攻 廣瀬哲也助手、さらに加賀谷亮氏をはじめとする研究室の皆様方には有意義な議論をして頂きました。以上の方々に感謝します。この他にも多くの先生方、先輩・後輩方から御助言や御支援頂きました。謹んで感謝の意を表します。

最後に、研究活動を進めるに際して物心両面にわたり支え励ましあたたかく見守ってくれた両親に感謝いたします。

本研究に関する発表論文・業績

1. 発表論文 (主著)

1. Oya T., Asai T., Fukui T., and Amemiya Y., "A majority-logic nanodevice using a balanced pair of single-electron boxes," *Journal of Nanoscience and Nanotechnology*, vol. 2, no. 3/4, pp. 333-342 (2002).
2. Oya T., Asai T., Fukui T., and Amemiya Y., "A majority-logic device using an irreversible single-electron box," *IEEE Transactions on Nanotechnology*, vol. 2, no. 1, pp. 15-22 (2003).
3. Oya T., Takahashi Y., Ikebe M., Asai T., and Amemiya Y., "Single-electron circuit as a discrete dynamical system," *Superlattices and Microstructures*, vol. 34, no. 3-6, pp. 253-258 (2003).
4. Oya T., Asai T., Fukui T., and Amemiya Y., "Reaction-diffusion systems consisting of single-electron circuits," *International Journal of Unconventional Computing*, vol. 1, no. 2, pp. 177-194 (2005).
5. Oya T., Asai T., Kagaya R., Hirose T., and Amemiya Y., "Neuronal synchrony detection on single-electron neural network," *Chaos, Solitons & Fractals*, vol. 27, no. 4, pp. 887-894 (2006).
6. Oya T., Asai T., and Amemiya Y., "A single-electron reaction-diffusion device for computation of a Voronoi diagram," *International Journal of Unconventional Computing*, vol. 2, no. 3 & 4, (2006), in press.

7. Oya T., Asai T., and Amemiya Y., "Stochastic resonance in an ensemble of single-electron neuromorphic devices and its application to competitive neural networks," Chaos, Solitons & Fractals, (2006), in press.

2. 発表レター論文 (主著)

1. Oya T., Asai T., and Amemiya Y., "Single electron logic device with simple structure," Electronics Letters, vol. 39, no. 13, pp. 965-967 (2003).
2. Oya T., Schmid A., Asai T., Leblebici Y., and Amemiya Y., "On the fault tolerance of a clustered single-electron neural network for differential enhancement," IEICE Electronics Express, vol. 2, no. 3, pp. 76-80 (2005).

3. 著書

1. Oya T., Asai T., and Amemiya Y., "A single-electron reaction-diffusion device for computation of a Voronoi diagram," Unconventional Computing 2005: From Cellular Automata to Wetware, Teuscher C. and Adamatzky A., Eds., Luniver Press, U.K., (2005).
2. Oya T., Asai T., Kagaya R., Kasai S., and Amemiya Y., "Stochastic resonance among single-electron neurons on Schottky wrap-gate devices," Brain-Inspired IT 2005, International Congress Series, vol. 1291, Elsevier, Netherlands, (2006), in press.

4. セミナー発表 (共著)

1. Asai T. and Oya T., "Reaction-diffusion systems on excitable semiconductor medium," Faculty Seminar in Microelectronic Systems Laboratory and Institute of Microelectronics and Microsystems, Ecole Polytechnique Federale De Lausanne (EPFL), Switzerland (Dec. 8, 2003).

5. 国際会議発表論文 (主著)

1. Oya T., Asai T., Fukui Y., and Amemiya Y., "A majority-logic device using a single-electron box," Proceedings of the 2002 Silicon Nanoelectronics Workshop, pp. 79-80, Honolulu, USA (Jun. 9-10, 2002).
2. Oya T., Ueno T., Asai T., and Amemiya Y., "Reaction-diffusion systems using single-electron oscillators," Abstract of the 2003 Silicon Nanoelectronics Workshop, pp. 82-83, Kyoto, Japan (Jun. 8-9, 2003).
3. Oya T., Kanazawa Y., Takahashi Y., Asai T., and Amemiya Y., "Single-electron device imitating reaction-diffusion systems," 6th International Conference on New Phenomena in Mesoscopic Systems and 4th International Conference on Surfaces and Interfaces in Mesoscopic Devices, P2.27, Hawaii, USA (Nov. 30-Dec. 5, 2003).
4. Oya T., Asai T., and Amemiya Y., "Single-electron device for nonlinear analog computation," 2004 RCIQE International Seminar for 21st Century COE Program: Quantum Nanoelectronics for Meme-Media-Based Information Technologies (II), Sapporo, Japan (Feb. 9-11, 2004).
5. Oya T., Asai T., and Amemiya Y., "A single-electron device for an analog computation," Proceedings of the 2004 Silicon Nanoelectronics Workshop, pp. 123-124, Honolulu, USA (Jun. 13-14, 2004).
6. Oya T., Asai T., and Amemiya Y., "Discrete dynamical behavior of a coupled SET

- oscillator," Satellite Session on Quantum Nano Electronics for Meme-Media-Based Information Technologies; the 7th Hokkaido University - Seoul National University Joint Symposium, Sapporo, Japan (Jul. 8-9, 2004).
7. Oya T., Asai T., Kagaya R., Hirose T. and Amemiya Y., "A competitive neural network with neuromorphic single-electron circuits," The 5th International Conference on Biological Physics, B09-342, Gothenburg, Sweden (Aug. 23-27, 2004).
 8. Oya T., Asai T., Kagaya R., Hirose T., and Amemiya Y., "Neuromorphic single-electron circuit and its application to temporal-domain neural competition," Proceedings of the 2004 International Symposium on Nonlinear Theory and its Application, pp. 235-239, Fukuoka, Japan (Nov. 29-Dec. 3, 2004).
 9. Oya T., Asai T., Kagaya R., Hirose T., and Amemiya Y., "Application of the competitive neural-network architecture to single-electron circuit systems," Proceedings of the 2005 RCIQE International Seminar for 21st Century COE Program: Quantum Nanoelectronics for Meme-Media-Based Information Technologies (III), pp. 148-149, Sapporo, Japan (Feb. 8-10, 2005).
 10. Oya T., Asai T., Kagaya R., Hirose T., and Amemiya Y., "Depressing properties of a hardware synapse on a single-layer nanodot array," Proceedings of the 2005 RISP International Workshop on Nonlinear Circuits and Signal Processing, pp. 159-162, Hawaii, USA (Mar. 4-6, 2005).
 11. Oya T., Asai T., Kagaya R., and Amemiya Y., "Single-electron synaptic depression," Proceedings of the 9th International Conference on Cognitive and Neural Systems, II-#27, Boston, USA (May 18-21, 2005).
 12. Oya T., Schmid A., Asai T., Leblebici Y., and Amemiya Y., "Single-electron circuit for inhibitory spiking neural network with fault-tolerant architecture," Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 2535-2538, Kobe, Japan (May 23-26, 2005).

13. Oya T., Asai T., and Amemiya Y., "A single-electron device for computational geometry – constructing the Voronoi diagram by means of single-electron circuits," Proceedings of the 2005 Silicon Nanoelectronics Workshop, pp. 128-129, Kyoto, Japan (Jun. 12-13, 2005).
14. Oya T., Asai T., Kagaya R., and Amemiya Y., "Noise performance of single-electron depressing synapses for neuronal synchrony detection," Proceedings of the International Joint Conference on Neural Networks 2005, pp. 2849-2854, Montreal, Canada (Jul. 31-Aug. 4, 2005).
15. Oya T., Asai T., and Amemiya Y., "A single-electron reaction-diffusion device for computation of a Voronoi diagram," Proceedings of the VIIIth European Conference on Artificial Life, pp. 23-34, Kent, U.K. (Sep. 5-9, 2005).
16. Oya T., Motoike I.N., and Asai T., "Single-electron circuits performing dendritic pattern formation with nature-inspired cellular automata," Proceedings of the 13th International IEEE Workshop on Nonlinear Dynamics of Electronic Systems, Potsdam, Germany (Sep. 18-22, 2005).
17. Oya T., Asai T., Kagaya R., Kasai S., and Amemiya Y., "Stochastic resonance among single-electron neurons on Schottky wrap-gate devices," Proceedings of the The 2nd International Conference of Brain-inspired Information Technology, p. 78, Kita-kyushu, Japan (Oct. 7-9, 2005).
18. Oya T., Asai T., and Amemiya Y., "Single-electron devices for reaction-diffusion computing," Proceedings of the 2006 RCIQE International Seminar for 21st Century COE Program: "Quantum Nanoelectronics for Meme-Media-Based Information Technologies (IV), Sapporo, Japan (Feb. 9-10, 2006).
19. Oya T., Asai T., and Amemiya Y., "Single-electron reaction-diffusion systems and their application to analog computation," Proceedings of the 3rd International Symposium on Ubiquitous Knowledge Network Environment, Sapporo, Japan

(Feb. 28-Mar. 1, 2006).

6. 国際会議発表論文 (共著)

1. Takahashi Y., Oya T., Asai T., and Amemiya Y., "A single-electron oscillator with a multiple tunneling junction," Abstract of the 2003 Silicon Nanoelectronics Workshop, pp. 98-99, Kyoto, Japan (June 8-9, 2003).
2. Takahashi Y., Oya T., Asai T., and Amemiya Y., "Single-electron circuit as a discrete dynamical system," 6th International Conference on New Phenomena in Mesoscopic Systems and 4th International Conference on Surfaces and Interfaces in Mesoscopic Devices, P2.29, Hawaii, USA (Nov. 30-Dec. 5, 2003).
3. Takahashi M., Oya T., Hirose T., Asai T., and Amemiya Y., "A CMOS reaction-diffusion device using minority-carrier diffusion in semiconductors," Proceedings of the 2004 International Symposium on Nonlinear Theory and its Application, pp. 601-605, Fukuoka, Japan (Nov. 29-Dec. 3, 2004).
4. Kagaya R., Oya T., Asai T., and Amemiya Y., "Stochastic resonance in an ensemble of single-electron neuromorphic devices," Proceedings of the 9th International Conference on Cognitive and Neural Systems, II-#28, Boston, USA (May 18-21, 2005).
5. Kaizawa T., Oya T., Arita M., and Takahashi Y., "Multifunctional device by using a quantum dot array," Extended Abstracts of the 2005 International Conference on Solid State Devices and Materials, pp. 168-169, Kobe, Japan (Sep. 12-15, 2005).
6. Kikombo. K.A., Oya T., Asai T., and Amemiya Y., "Discrete dynamical systems consisting of single-electron circuits," Proceedings of the 13th International IEEE Workshop on Nonlinear Dynamics of Electronic Systems, Potsdam, Germany (Sep.

18-22, 2005).

7. Kagaya R., Oya T., Asai T., and Amemiya Y., "Stochastic resonance in an ensemble of single-electron neuromorphic devices and its application to competitive neural networks," Proceedings of the 2005 International Symposium on Nonlinear Theory and its Applications, pp. 329-332, Bruges, Belgium (Oct. 18-21, 2005).
8. Kikombo A.K., Oya T., Asai T., and Amemiya Y., "Single-electron discrete dynamical systems," Proceedings of the 3rd International Symposium on Ubiquitous Knowledge Network Environment, Sapporo, Japan (Feb. 28-Mar. 1, 2006).

7. 学術関係の受賞 (主著)

1. Oya T., Asai T., Fukui T., and Amemiya Y., "Reaction-diffusion systems consisting of single-electron oscillators," IEEE Sapporo Section - The 2004 Student Paper Contest Award, Dec. 2004.
2. Oya T., Asai T., Kagaya R., Hirose T., and Amemiya Y., "Depressing properties of a hardware synapse on a single-layer nanodot array," The Research Institute of Signal Processing - NSCP'05 Student Paper Award, Mar. 2005.
3. Oya T., Asai T., and Amemiya Y., "A single-electron reaction-diffusion device for computation of a Voronoi diagram," Best Paper Award: Workshop on Unconventional Computing ECAL 2005, Sep. 2005.

8. 国内学会・研究会発表論文 (主著)

1. 大矢 剛嗣, 浅井 哲也, 福井 孝志, 雨宮 好仁, "単電子回路による多数決論理デバイス," 電子情報通信学会 電子デバイス/シリコン材料・デバイス研究会, ED2001-245, (札幌), 2002 年 1 月.

2. 大矢 剛嗣, 浅井 哲也, 福井 孝志, 雨宮 好仁, ”単電子回路による多数決論理デバイス,” 応用物理学会春季大会, (神奈川), 2002 年 3 月.
3. 大矢 剛嗣, 浅井 哲也, 福井 孝志, 雨宮 好仁, ”単電子箱を用いた多数決論理デバイス,” 応用物理学会秋季大会, (新潟), 2002 年 9 月.
4. 大矢 剛嗣, 山田 崇史, 浅井 哲也, 雨宮 好仁, ”単電子回路による多値ホップフィールドネットワーク,” 電子情報通信学会 ニューロコンピューティング研究会, (札幌), 2003 年 2 月.
5. 大矢 剛嗣, 上野 友邦, 浅井 哲也, 雨宮 好仁, ”量子ドット集積体による反応拡散系,” 電子情報通信学会 シリコン材料・デバイス研究会, (札幌), 2003 年 2 月.
6. 大矢 剛嗣, 上野 友邦, 浅井 哲也, 雨宮 好仁, ”量子ドットによる反応拡散系の構成,” 応用物理学会春季大会, (神奈川), 2003 年 3 月.
7. 大矢 剛嗣, 上野 友邦, 浅井 哲也, 雨宮 好仁, ”量子ドット集積体を用いた反応拡散デバイス,” 応用物理学会秋季大会, (福岡), 2003 年 9 月.
8. 大矢 剛嗣, 高橋 良幸, 浅井 哲也, 雨宮 好仁, ”単電子回路を用いた反応拡散デバイスとその応用,” 電子情報通信学会総合大会シンポジウム講演 (新概念 VLSI -先進アーキテクチャ, 新回路・デバイス技術-), (東京), 2004 年 3 月.
9. 大矢 剛嗣, 高橋 良幸, 浅井 哲也, 雨宮 好仁, ”量子ドット反応拡散デバイスを利用した経路検索,” 応用物理学会春季大会, (東京), 2004 年 3 月.
10. 大矢 剛嗣, Alexandre Schmid*, 浅井 哲也, Yusuf Leblebici*, 雨宮 好仁, ”エラー補償アーキテクチャを応用した単電子スパイクニューロン回路,” 電子情報通信学会 ニューロコンピューティング研究会, (北九州), 2004 年 11 月. [*Swiss Federal Institute of Technology (EPFL)]
11. 大矢 剛嗣, 浅井 哲也, 加賀谷 亮, 廣瀬 哲也, 雨宮 好仁, ”単電子ニューロデバイスの熱雑音特性に関する数値的考察,” 電子情報通信学会 SDM/ED 合同研究会, (札幌), 2005 年 1 月.
12. 大矢 剛嗣, 浅井 哲也, 加賀谷 亮, 廣瀬 哲也, 雨宮 好仁, ”減衰シナプスの単電子回

路化とその熱雑音特性,” 電子情報通信学会 ニューロコンピューティング研究会, (東京), 2005 年 3 月.

13. 大矢 剛嗣, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, ”単電子反応拡散デバイスの計算幾何学への応用 ~ ボロノイ図の構成,” 応用物理学会春季大会, (埼玉), 2005 年 3 月.
14. 大矢 剛嗣, 加賀谷 亮, 元池 N. 育子*, 浅井 哲也, ”半導体デバイス上で成長する単電子ニューロン: 量子効果と熱雑音を利用した樹状突起生成モデルの回路実装,” 日本神経回路学会 第 15 回全国大会, (鹿児島), 2005 年 9 月. (* はこだて未来大学)

9. 国内学会研究会発表論文 (共著)

1. 高橋 良幸, 大矢 剛嗣, 浅井 哲也, 雨宮 好仁, ”多重トンネル接合による量子ドット振動子,” 応用物理学会春季大会, (神奈川), 2003 年 3 月.
2. 高橋 良幸, 大矢 剛嗣, 浅井 哲也, 雨宮 好仁, ”単電子回路における非線形写像,” 応用物理学会秋季大会, (福岡), 2003 年 9 月.
3. 高橋 基容, 大矢 剛嗣, 浅井 哲也, 雨宮 好仁, ”少数キャリアの拡散を利用した反応拡散デバイス,” 電子情報通信学会総合大会, (東京), 2004 年 3 月.
4. 高橋 良幸, 大矢 剛嗣, 浅井 哲也, 雨宮 好仁, ”単電子結合振動子の非線形ダイナミクス,” 応用物理学会春季大会, (東京), 2004 年 3 月.
5. 浅井 哲也, 大矢 剛嗣, 雨宮 好仁, 福井 孝志, ”量子ナノ構造による反応拡散コンピューティング,” 第 2 回ナノテクノロジー総合シンポジウム公募セッション, (東京), 2004 年 3 月.
6. 加賀谷 亮, 大矢 剛嗣, 浅井 哲也, 廣瀬 哲也, 雨宮 好仁, ”単電子スパイクニューロンによる抑制型相互結合ニューラルネットの温度特性,” 日本神経回路学会第 14 回全国大会, (京都), 2004 年 9 月.
7. 加賀谷 亮, 大矢 剛嗣, 浅井 哲也, 廣瀬 哲也, 雨宮 好仁, ”量子ナノ構造を用いた反応拡散型ニューラルネットワークの構成法,” 電子情報通信学会ソサイエティ大会,

(徳島), 2004 年 9 月.

8. 高橋 基容, 大矢 剛嗣, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "少数キャリア拡散を利用した CMOS 反応拡散デバイス," 電子情報通信学会ソサイエティ大会, (徳島), 2004 年 9 月.
9. 加賀谷 亮, 大矢 剛嗣, 浅井 哲也, 雨宮 好仁, "単電子ニューロデバイスのアンサンブルにおける確率共鳴現象," 電子情報通信学会 非線形問題研究会, (東京), 2005 年 3 月.
10. 高橋 基容, 大矢 剛嗣, 廣瀬 哲也, 浅井 哲也, 雨宮 好仁, "少数キャリア拡散による CMOS 反応拡散系のダイナミクス," 電子情報通信学会総合大会, (大阪), 2005 年 3 月.
11. 開澤 拓弥, 黒田 祐介, 大矢 剛嗣, 有田 正志, 高橋 康夫, "量子ドットアレイによる多機能デバイスの特性シミュレーション," 応用物理学会春季大会, (埼玉), 2005 年 3 月.
12. 葛西 誠也, 浅井 哲也, 大矢 剛嗣, 長谷川 英機, "位置および構造制御された並列多重量子ドット系の電子輸送特性," 応用物理学会春季大会, (東京), 2006 年 3 月.
13. キコンボ A.K., 大矢 剛嗣, 浅井 哲也, 雨宮 好仁, "単電子結合振動子による離散力学システムのダイナミクス," 応用物理学会春季大会, (東京), 2006 年 3 月.

付録

A 単電子回路のシミュレーション方法

本研究では、単電子回路のシミュレーション方法としてモンテカルロ法を使用している。ここでは、コンピュータによるモンテカルロシミュレーションの実行方法についてその手法を示す。

A.1 シミュレータプログラムの作成方針

単電子回路シミュレータは、ユーザーから入力として回路の構成を示すネットリスト(テキストデータ)を与えられることによって、その回路動作のシミュレーションを行う。ここで、ネットリストとは図 A.1 に示すような回路を図 A.2 にリストとして表現したものをいう。

ここで、図 A.2 のネットリスト例が示している意味は以下のとおりである。

- ・ トンネル接合 C_1 をノード 1 とノード 2 に接続。接合容量は 5.0 aF、トンネル抵抗は $1\text{ M}\Omega$ (m (ミリ) との混同を避けるため M (メガ) は X と表記) である。
- ・ トンネル接合 C_2 をノード 3 とノード 2 に接続。接合容量は 10.0 aF、トンネル抵抗は $1\text{ M}\Omega$ である。
- ・ トンネル接合 C_3 をノード 3 とノード 0 に接続。接合容量は 15.0 aF、トンネル抵抗は $1\text{ M}\Omega$ である。

- ・ キャパシタ C_4 をノード 4 とノード 0 に接続。容量は 2.0 aF である。
- ・ キャパシタ C_5 をノード 4 とノード 1 に接続。容量は 4.0 aF である。
- ・ キャパシタ C_6 をノード 4 とノード 2 に接続。容量は 6.0 aF である。
- ・ 電圧源 V_0 をノード 1 とノード 0 に接続。電圧は 10.0 mV である。

単電子回路シミュレータは上のネットリストを基に次の手順に従いシミュレーションを行う。具体的なプログラム手法に関しては後に述べる。なお、ここでは回路要素に電流源が含まれていないものとする。

- (1) ネットリストから接続行列をつくる。
- (2) ノード 0 を始点とする極大木 (全ての節点を含み、かつ閉ループを持たない部分グラフ) を検出する。
- (3) (2) を基に閉路行列をつくる。
- (4) 各キャパシタの電荷 $q_i (i = 1, 2, 3, \dots)$ を求めるための係数行列と定数ベクトルをつくる。
- (5) 各キャパシタの電荷 q_i を計算する。このとき、ノード 0 を基準 (電位 0) として各ノードの電位を計算する。

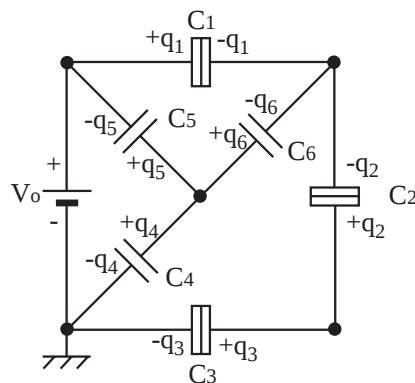


図 A.1 回路図 (例)

C1	1	2	5.0a	1.0x
C2	3	2	10.0a	1.0x
C3	3	0	15.0a	1.0x
C4	4	0	2.0a	
C5	4	1	4.0a	
C6	4	2	6.0a	
Vo	1	0	10.0m	

図 A.2 図 A.1 におけるネットリスト

- (6) 回路の静電エネルギー ($E_1 = \sum_i q_i^2 / 2C_i$) を計算する。
- (7) 回路中のあるトンネル接合において電子が1個、トンネルを起こしたとする。たとえば、ノード0からノード3に電子がトンネルしノード3に電子が1個保持されたとする。そのときの各キャパシタの電荷 q_i を改めて計算する。
- (8) 回路の静電エネルギー ($E_2 = \sum_i (q_i + \Delta q_i)^2 / 2C_i$) を計算する。
- (9) 電子のトンネルに際して電圧源が回路に供給したエネルギーを計算する (結果を E_3 とする)。
- (10) トンネルに際して熱になって失われるエネルギー ΔE を計算する。

$$\Delta E = E_1 - E_2 + E_3$$

温度が0 K のときは $\Delta E > 0$ ならばそのトンネルは生じる。そうではないときはそのようなトンネルは生じない。

- (11) トンネル事象の平均待ち時間 $1/\Gamma$ を計算する。

$$\Gamma = \frac{1}{e^2 R_j} \frac{\Delta E}{1 - \exp[-\Delta E / k_B T]}$$

ここで、 e は電荷素量、 R_j はトンネル抵抗、 k_B はボルツマン定数、 T は温度をそれぞれ意味している。

- (12) トンネルの待ち時間 τ を計算する。

$$\tau = \frac{1}{\Gamma} \ln\left[\frac{1}{r}\right]$$

ここで、 r は一様乱数の値 ($0 < r < 1$) である。この t は、「回路がある状態にセットされてから『あるキャパシタ』の『ある向き』にトンネルが生じるまでの時間」を意味している。

- (13) すべてのトンネル接合について上述のことを考える。つまり、トンネル接合の一つ一つに電子 1 個のトンネルが生じる場合のそれぞれの待ち時間を計算する。回路中のトンネル接合が N 個の時、可能なトンネル事象は $2N$ 個になる (1 つのトンネル接合についてトンネルの方向が 2 通りあるため)。したがって待ち時間の数値も $2N$ 個ある。このとき、それぞれの待ち時間は、同じ乱数の種から生成した異なる乱数値を用いて計算する。

計算した待ち時間のうち、最小の待ち時間に相当するトンネルが実際には生じると考える。そこで、そのトンネルが生じたとしてノードの電子数を変更する。次に時間を最小待ち時間だけ進める。その状態を新しい状態として (5) に戻って計算を繰り返すということをする。

- (14) もし、全ての可能なトンネルについて平均の待ち時間が無限大 (プログラム上では 10^6 秒以上などの大きな値) となったら、そこで回路状態の変化が終了する。

以上がシミュレータプログラムの行う処理の流れである。以下で上述のそれぞれの操作においてどのようなことをするのか具体的に述べる。

- ・ ネットリストから接続行列をつくる

ネットリストから接続行列をつくるには、行列の行には節点番号として 1, 2, ... を、列には素子を番号に置き換えたものとして同様に 1, 2, ... と与える。このとき、行列の要

		回路素子とその番号						
		V ₀	C1	C2	C3	C4	C5	C6
		1	2	3	4	5	6	7
節 点 番 号	1	1	1	0	0	0	-1	0
	2	0	-1	-1	0	0	0	-1
	3	0	0	1	1	0	0	0
	4	0	0	0	0	1	1	1
	0	-1	0	0	-1	-1	0	0

図 A.3 図 A.2 のネットリストに基づく接続行列

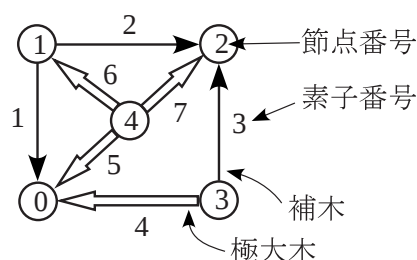


図 A.4 図 A.1 の回路に基づく極大木と補木

素には素子の + 端子が接続してある節点番号のところに 1 を、- 端子が接続してある節点番号のところに - 1 を代入し、残りは 0 とする (図 A.3)。

- ・ ノード 0 を始点とする極大木を検出する

回路方程式を計算するためには上述の係数行列を導出する必要がある。この導出のためには、接続行列から極大木を見つけ出す必要がある。極大木は図 A.1 を例に取れば、図 A.4 に示す太線がそれにあたる。また、接続行列上では図 A.5 のようになる。極大木はそれにもう 1 本、辺 (補木) を加えることによりその補木を含む閉ループを導き出せる。閉ループを求めることによって、係数行列を構成できる。

- ・ 極大木と補木を用いて閉路行列をつくる

	1	2	3	4	5	6	7
1	1	1	0	0	0	-1	0
2	0	-1	-1	0	0	0	-1
3	0	0	1	1	0	0	0
4	0	0	0	0	1	1	1
0	-1	0	0	-1	-1	0	0
	補木1	2	3	極大木			

図 A.5 接続行列における極大木と補木

	1	2	3	4	5	6	7
補木1を含むループ	-1	0	0	0	1	-1	0
補木2を含むループ	0	1	0	0	1	1	-1
補木3を含むループ	0	0	-1	1	-1	0	1

図 A.6 接続行列に基づく閉路行列

閉路行列をつくるには、上述の極大木と補木を利用する。具体的には、極大木 + 補木 1、極大木 + 補木 2、... というようにして補木を含む閉ループを補木の数だけ探し出し、それを行列としてまとめることをする。例として、図 A.5 の行列を基に閉路行列をつくと図 A.6 となる。ここで、図 A.5 において-1 から 1 に抜けた場合は 1、1 から-1 に抜けた場合は-1 として図 A.6 のように行列を構成する。

- ・ 各キャパシタの電荷 q_i を求めるための係数行列と定数ベクトルをつくる

係数行列と定数ベクトルは、それぞれ $AX = B$ という多元一次連立方程式の A と B にあたる。 X に q_i を代入すれば、行列計算によって q_i が求まる。

はじめに、係数行列 A は次のように構成する（図 A.7）。

- 係数行列の上半分は、接続行列中の電圧源および接地点に接続されていない行と電圧源の辺の列を取り除いた行列要素を適用する。
- 係数行列の下半分は、閉路行列から電圧源の列を取り除き、各キャパシタの容量の値で割った数値を適用する。

$$\begin{array}{l}
 \text{接続行列} \begin{array}{c} \begin{matrix} 1 & 2 & 3 & 4 & 5 & 6 & 7 \\ \begin{pmatrix} 1 & 1 & 0 & 0 & 0 & -1 & 0 \\ 0 & -1 & -1 & 0 & 0 & 0 & -1 \\ 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 1 & 1 \\ -1 & 0 & 0 & -1 & -1 & 0 & 0 \end{pmatrix} \end{matrix} \end{array} \\
 \text{閉路行列} \begin{array}{c} \begin{matrix} 1 & 2 & 3 & 4 & 5 & 6 & 7 \\ \begin{pmatrix} -1 & 0 & 0 & 0 & 1 & -1 & 0 \\ 0 & 1 & 0 & 0 & 1 & 1 & -1 \\ 0 & 0 & -1 & 1 & -1 & 0 & 1 \end{pmatrix} \end{matrix} \end{array}
 \end{array}
 \Rightarrow
 \begin{array}{c}
 \text{係数行列} \\
 \begin{pmatrix} -1 & -1 & 0 & 0 & 0 & -1 \\ 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \\ \hline 0 & 0 & 0 & \frac{1}{C_4} & -\frac{1}{C_5} & 0 \\ \frac{1}{C_1} & 0 & 0 & 0 & \frac{1}{C_5} & -\frac{1}{C_6} \\ 0 & -\frac{1}{C_2} & \frac{1}{C_3} & -\frac{1}{C_4} & 0 & \frac{1}{C_6} \end{pmatrix}
 \end{array}
 \end{array}$$

図 A.7 係数行列の構成

ここから、上述の多元一次連立方程式の左辺を書くと次のようになる。

$$\begin{pmatrix} -1 & -1 & 0 & 0 & 0 & -1 \\ 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & \frac{1}{C_4} & -\frac{1}{C_5} & 0 \\ \frac{1}{C_1} & 0 & 0 & 0 & \frac{1}{C_5} & -\frac{1}{C_6} \\ 0 & -\frac{1}{C_2} & \frac{1}{C_3} & -\frac{1}{C_4} & 0 & \frac{1}{C_6} \end{pmatrix}
 \begin{pmatrix} q_1 \\ q_2 \\ q_3 \\ q_4 \\ q_5 \\ q_6 \end{pmatrix}$$

以上において、右辺である定数ベクトルを考える。定数ベクトルの構成としては、上半分が各ノード（電圧源，接地点を除く）に蓄積されている電荷、下半分が閉ループの電位総和となる。ここから、定数ベクトルとして与える値がわかる。したがって、例における多元一次連立方程式は次のように書ける。

$$\begin{pmatrix} -1 & -1 & 0 & 0 & 0 & -1 \\ 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 0 & \frac{1}{C_4} & -\frac{1}{C_5} & 0 \\ \frac{1}{C_1} & 0 & 0 & 0 & \frac{1}{C_5} & -\frac{1}{C_6} \\ 0 & -\frac{1}{C_2} & \frac{1}{C_3} & -\frac{1}{C_4} & 0 & \frac{1}{C_6} \end{pmatrix}
 \begin{pmatrix} q_1 \\ q_2 \\ q_3 \\ q_4 \\ q_5 \\ q_6 \end{pmatrix}
 =
 \begin{pmatrix} Q_2 \\ Q_3 \\ Q_4 \\ V_0 \\ 0 \\ 0 \end{pmatrix}$$

ここで Q_2, Q_3, Q_4 はそれぞれノード 2, 3, 4 に蓄積されている総電荷量を示す。

これを用いて、各キャパシタの電荷量 q_i を求め回路の静電エネルギーを計算する。

- ・ トンネル事象が発生したあとの静電エネルギー E_2 を計算

トンネル事象が発生したとき（例えばノード 2 に電子がトンネルした場合）上の連立方程式の定数ベクトルに変更を加え（この場合は Q_2 を $Q_2 - e$ と変更する）改めて q_i を計算する。また、このときに Δq_i としてトンネル後の q_i からトンネル前の q_i を引いたものを用意する。これらの操作によってトンネル発生後の静電エネルギーを計算することが可能となる。

- ・ 電子のトンネルに際して電圧源が回路に供給したエネルギーを計算する

電子トンネルが発生するとき、電圧源が回路にする仕事は次の二通りがある。一つは電圧源に直接接続されていないトンネル接合でトンネルが発生するときの仕事であり、もう一つは、電圧源に直接接続されているトンネル接合でトンネルが発生するときの仕事である。前者の場合、電圧源がする仕事（エネルギー）は $\Delta q_i V_o$ となり、後者の場合は $\Delta q_i V_o - e V_o$ となる。なお、この項は電圧源に接続されているキャパシタ・トンネル接合においてのみ適用され、電圧源が複数個存在する場合は、それぞれの電圧源に関してエネルギーを計算し、その合計を E_3 とする。図 A.1 の回路においては、電圧源に接続されているキャパシタ・トンネル接合が C_1 と C_5 であるから、たとえば、 C_1 でノード 1 からノード 2 トンネルが起きた場合には、

$$E_3 = (\Delta q_1 V_o - e V_o) + (-\Delta q_5 V_o)$$

となり、 C_1 以外でトンネルが生じた場合は上式から $-e V_o$ の項が省略できる。

以上の操作をコンピュータ上にプログラムとしてつくることによって、単電子回路のシミュレータが完成する。なお、このシミュレーションでは「ある瞬間・状態においてトンネルする電子の数はただ一つ」という考えに基づいているため、たとえば、協

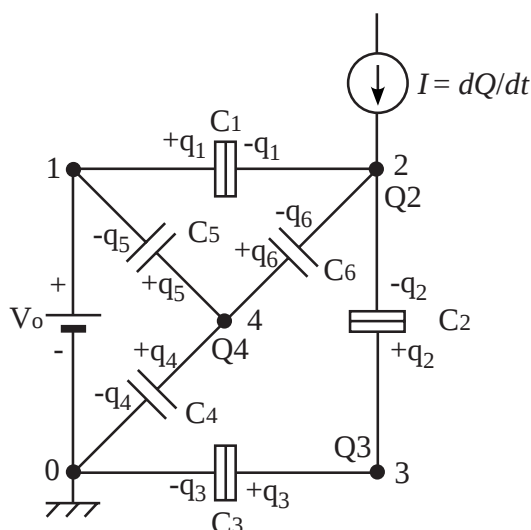


図 A.8 電流源を含む単電子回路

同トンネル現象など二つ以上が同時に協同トンネルする効果が含まれていない。協同トンネル効果を導入するときは、p. 133 の (7) で電子が 2ヶ所 (あるいはそれ以上) でトンネルを起こしたとして計算する。そのとき同ページ (11) に替えて協同トンネルの待ち時間の式を用いる。

(電流源がある場合の計算)

上述のシミュレーション手法は電圧源によるものである。つまり、電流源は考慮に入れておらず扱えない。ここで電流源を接続する場合にまで拡張し、そのプログラムの方針について述べる。

仮に今、図 A.1 の回路においてノード 2 に電流源が接続されているとする (図 A.8)。シミュレーションの手法としては基本的に上述の (1) ~ (14) の流れに従う。

電流源が含まれることによって電荷量を計算する量は増加する。なぜならば、刻み時間あたりに電荷の足し引きを行い、その都度回路の静電エネルギーを計算しトンネルの有無を確認する必要があるからである。

簡単にその流れを示す。

- (1) 刻み時間 dt 当たりの電荷 dQ を (この場合は $Q2$ に) 加える。

- (2) q_i を計算し、回路の静電エネルギーを計算する。
- (3-1) クーロンブロッケイドが破れないときにはトンネルが発生しない。その場合には、時間 (計算時間とは違う) を刻み時間だけ進めて (1) の手順に戻る。
- (3-2) クーロンブロッケイドは破れるが、トンネル待ち時間が dt より長いときには、上記 (3-1) と同じとして扱う。
- (3-3) クーロンブロッケイドが破れ、かつその待ち時間が dt より短いときにはトンネルが発生する。そのあと時間をトンネル待ち時間だけ進めて (1) に戻る。

以上のことを、上述の電流源が含まれない形のシミュレーション手法に加えることによって、電流源が含まれる単電子回路においてもそのシミュレーションが可能となる。

A.2 シミュレータプログラムの作成例

A.1 節で述べたシミュレーション手法は、回路情報を記載したネットリストをシミュレータ (プログラム) が読み込み、計算結果を出力するというものであった。単電子反応拡散システムのように構成要素が多数存在する場合、ネットリストを作成しシミュレーションを行う手法は膨大な時間を必要とするため非効率である。ここから、計算を行いたい回路についてあらかじめ回路方程式を構築し、その方程式について計算するという手法を考えたので以下に示す。これは、A.1 節で述べた「ネットリストを読み込み多元一次方程式を構築する」という工程を省略したことに相当する。

たとえば、図 A.9 のような振動子があった時、回路の式は以下のように書ける。なお、回路のエネルギー計算 (ΔE の式) は電子が接地点からノードにトンネルしたと仮定して行っている。

$$V_{\text{node}} = \frac{Q}{C_j}, \quad (\text{A.1})$$

$$\frac{dQ}{dt} = \frac{V_d - V_{\text{node}}}{R}, \quad (\text{A.2})$$

$$\Delta E = \frac{Q^2}{2C_j} - \frac{(Q - e)^2}{2C_j} \quad (\text{A.3})$$

ここで、 V_{node} はノードの電位を、 Q はノードに蓄積される電荷を、 C_j はトンネル接合の容量を、 dQ/dt は単位時間当たりの Q の変化を、 V_d はバイアス電圧を、 R は抵抗値をそれぞれ示している。単電子シミュレータにおいて抵抗は前節で説明した電流源と

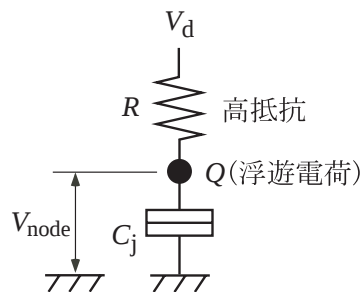


図 A.9 単電子振動子

同じように扱う。ただし、A.2 式の dQ/dt が 0 ではない場合にのみ適用される。

導出した式を利用し、A.1 節で述べた計算手順に従って計算を行うプログラムの例を以下に示す¹。

——— ここから ———

```
//simulator for single-electron oscillator

#include<stdio.h>
#include<stdlib.h>
#include<string.h>
#include<ctype.h>
#include<math.h>

#define Electron 0.1602 /*10-18)

double volt(double);
double rndm(int);
double wait(int, double, double);
double deltaE_up(double);
double deltaE_dw(double);

int flag;
double cj, rj, vd, ri, T;
double v, q, kv;

int
main(int argc, char **argv)
{
    int seed, i, j, i2, j2, u_v, count, count2;

    double wt, dt, time, et, q_old;
```

¹プログラム上では、温度が 0 K より大きい場合，接地点からノードへのトンネル及びノードから接地点へのトンネルのいずれの場合においても計算できるようにしてある。

```
char file1[20];
FILE *fp;

strcpy(file1, "seo.dat");

fp=fopen(file1, "w");

//***** parameters *****

if(argv[8]!=NULL){
    cj = (double)atof(argv[1]);    //aF
    rj = (double)atof(argv[2]);    //MOhm
    vd = (double)atof(argv[3]);    //mV
    ri = (double)atof(argv[4]);    //MOhm
    T  = (double)atof(argv[5]);    //K
    et = (double)atof(argv[6]);    //end time (ns)
    dt = (double)atof(argv[7]);    //time step (ns)
    seed = (int)atoi(argv[8]);    //random seed
}else{
    printf("input -> cj(aF), rj(MOhm), vd(mV), ri(MOhm), T(K), end time(ns),
           time step(ns), random seed\n");
    exit(0);
}

//*****

q=0;    //aC
q_old=0;
v=0;    //mV
time=0;//ns
flag=0;

printf("Now calculating...\n");

while(time<(double)et){
```

```

v=volt(cj);

wt=(double)dt;

fprintf(fp, "%f\t%f\n", time, v);

q_old=q;
q += (double)dt*( ((double)vd-(double)v)/(double)ri );

if(((double)dt>wait(seed,cj,rj))&&((0<wait(seed,cj,rj)))){
    wt=wait(seed,cj,rj);
    q=q_old;
    q+=(double)wt*( ((double)vd-(double)v)/(double)ri );
}

time+=wt;

if(flag==1)
    q-=(double)Electron;
else if(flag==2)
    q+=(double)Electron;

flag=0;

seed += 1;
if(seed <= 0)seed=241;

}

fclose(fp);

printf("The simulation was completed!\n");
}

double
rndm(int seed)
{

```

```
int i;
double j, r;
const double k=1.0/((double)RAND_MAX+1.0);

srand(seed);

r=0;

r=(double)k*(double)rand();

return r;
}

double
volt(double cj){
    return 1000.*(double)q/(double)cj;
}

double
wait(int seed, double cj, double rj)
{
    double wt1, wt2, wt3, kB=1.3807;

    wt1=(0.001*(double)Electron*(double)Electron*(double)rj)/(double)deltaE_up(cj);
    wt2=(0.001*(double)Electron*(double)Electron*(double)rj)/(double)deltaE_dw(cj);

    if(T!=0.){
        wt1=wt1*(1.-exp((-100000.*(double)deltaE_up(cj))/((double)kB*(double)T)))
            *log(1./(double)rndm(seed));
        wt2=wt2*(1.-exp((-100000.*(double)deltaE_dw(cj))/((double)kB*(double)T)))
            *log(1./(double)rndm(seed+1));
    }else{
        wt1=wt1*log(1./(double)rndm(seed));
        wt2=wt2*log(1./(double)rndm(seed+1));
    }
}
```

```

    if(wt1<=0.)wt1=10000.;
    if(wt2<=0.)wt2=10000.;
    if(wt1>10000.)wt1=10000.;
    if(wt2>10000.)wt2=10000.;

    if(wt1<wt2){
        flag=1;
        wt3 = wt1;
    }else if(wt1>wt2){
        flag=2;
        wt3 = wt2;
    }else{
        wt3 = 10000.;
    }
    return wt3;
}

double
deltaE_up(double cj)
{
    return (double)Electron*(2.*q-(double)Electron)/(2.*(double)cj);
}

double
deltaE_dw(double cj)
{
    return -1.*(double)Electron*(2.*q+(double)Electron)/(2.*(double)cj);
}

```

—— ここまで ——